

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-118033

(P2013-118033A)

(43) 公開日 平成25年6月13日 (2013.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4076 (2006.01)	G 1 1 C 11/34 3 5 4 C	5M024
G 1 1 C 11/407 (2006.01)	G 1 1 C 11/34 3 6 2 T	
H O 3 K 5/00 (2006.01)	H O 3 K 5/00 K	

審査請求 未請求 請求項の数 11 O L (全 25 頁)

(21) 出願番号 特願2011-265684 (P2011-265684)
 (22) 出願日 平成23年12月5日 (2011.12.5)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (74) 代理人 100130982
 弁理士 黒瀬 泰之
 (74) 代理人 100127199
 弁理士 三谷 拓也
 (72) 発明者 伊藤 浩士
 東京都中央区八重洲二丁目2番1号 エル
 ピーダメモリ株式会社内

最終頁に続く

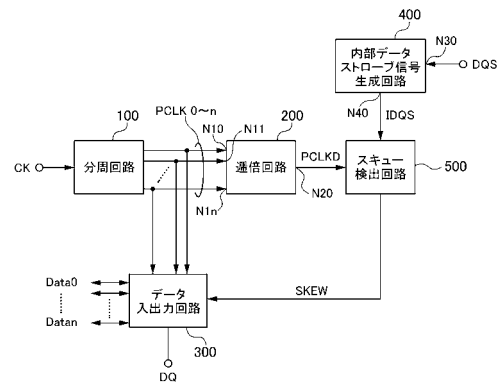
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 正確なライトレベリング動作を行う。

【解決手段】 例えば、外部クロック信号CKを分周することによって互いに位相が異なる複数の分周クロック信号PCLK0~nを生成する分周回路100と、複数の分周クロック信号PCLK0~nを逡倍することによって内部クロック信号PCLKDを生成する逡倍回路200と、逡倍回路200が有する遅延量を外部データストローブ信号DQSに加えることによって内部データストローブ信号IDQSを生成する内部データストローブ信号生成回路400と、内部クロック信号PCLKDと内部データストローブ信号IDQSとのスキューを測定するスキュー検出回路500とを備える。このように、内部データストローブ信号生成回路400の特性を逡倍回路200の特性と実質的に一致させれば、正確なライトレベリング動作を行うことが可能となる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

外部から外部クロック信号が供給されるクロック端子と、
前記外部クロック信号を分周することによって互いに位相が異なる複数の分周クロック信号を生成する分周回路と、

前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、

外部から外部データストロープ信号が供給されるデータストロープ端子と、
前記逡倍回路が有する遅延量を前記外部データストロープ信号に加えることによって内部データストロープ信号を生成する内部データストロープ信号生成回路と、

前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備える半導体装置。

10

【請求項 2】

前記逡倍回路は、前記複数の分周クロック信号がそれぞれ供給される第 1 の複数の入力ノードと、前記内部クロック信号が出力される第 1 の出力ノードとを有し、

前記内部データストロープ信号生成回路は、前記外部データストロープ信号が供給される第 2 の入力ノードと、前記内部データストロープ信号が出力される第 2 の出力ノードとを有し、

前記複数の第 1 の入力ノードのそれぞれから前記第 1 の出力ノードまでの論理ゲート段数と、前記第 2 の入力ノードから前記第 2 の出力ノードまでの論理ゲート段数は、互いに等しい、請求項 1 に記載の半導体装置。

20

【請求項 3】

前記複数の第 1 の入力ノードのそれぞれから前記第 2 の出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトと、前記第 2 の入力ノードから前記第 2 の出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトは、互いに等しい、請求項 2 に記載の半導体装置。

【請求項 4】

前記クロック端子は前記半導体装置の第 1 の辺に沿った第 1 のパッド領域に配置され、
前記データストロープ端子は前記半導体装置の前記第 1 の辺とは異なる第 2 の辺に沿った第 2 のパッド領域に配置される、請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

30

【請求項 5】

前記分周回路は、前記第 1 のパッド領域に沿った第 1 の周辺回路領域に配置され、
前記内部データストロープ信号生成回路及び前記スキュー検出回路は、前記第 2 のパッド領域に沿った第 2 の周辺回路領域に配置され、

複数のメモリセルが配置されるメモリアレイは、前記第 1 及び第 2 の周辺回路領域に挟まれたメモリセルアレイ領域に配置される、請求項 4 に記載の半導体装置。

【請求項 6】

更に、外部から供給されるライトデータを前記内部データストロープ信号に同期して受信する入力バッファ回路を備える、請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】

更に、前記入力バッファ回路からシリアルに出力される前記ライトデータを前記複数の分周クロック信号に同期してパラレルに変換するシリアルパラレル変換回路を備える、請求項 6 に記載の半導体装置。

40

【請求項 8】

外部から供給されるライトデータを内部データストロープ信号に同期して受信する入力バッファ回路と、

前記入力バッファ回路からシリアルに出力される前記ライトデータを複数の分周クロック信号に同期してパラレルに変換するシリアルパラレル変換回路と、

前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、

50

外部から供給される外部データストロープ信号に基づいて前記内部データストロープ信号を生成する内部データストロープ信号生成回路と、

前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備え、

前記逓倍回路の複数の入力ノードに前記複数の分周クロック信号のエッジがそれぞれ入力された後、前記逓倍回路の出力ノードから前記内部クロック信号のエッジが出力されるまでの時間は、前記内部データストロープ信号生成回路の入力ノードに前記外部データストロープ信号のエッジが入力された後、前記内部データストロープ信号生成回路の出力ノードから前記内部データストロープ信号のエッジが出力されるまでの時間と等しい、半導体装置。

10

【請求項 9】

前記逓倍回路の前記複数の入力ノードのそれぞれから前記出力ノードまでの論理ゲート段数と、前記内部データストロープ信号生成回路の前記入力ノードから前記出力ノードまでの論理ゲート段数は、互いに等しい、請求項 8 に記載の半導体装置。

【請求項 10】

前記逓倍回路の前記複数の入力ノードのそれぞれから前記出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトと、前記内部データストロープ信号生成回路の前記入力ノードから前記出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトは、互いに等しい、請求項 9 に記載の半導体装置。

20

【請求項 11】

前記複数の分周クロック信号は、外部から供給される外部クロック信号に対して位相制御されていないことを特徴とする請求項 8 乃至 10 のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置に関し、特に、クロック信号とデータストロープ信号とのスキューを測定するスキュー検出回路を備えた半導体装置に関する。

【背景技術】

【0002】

D R A M (Dynamic Random Access Memory) に代表される半導体記憶装置とメモリコントローラとの間におけるリードデータ及びライトデータの送受信は、データストロープ信号に同期して行われることがある。例えば、ライト動作時には、メモリコントローラから半導体記憶装置に対してデータストロープ信号とライトデータが供給され、半導体記憶装置は、データストロープ信号に同期してライトデータの取り込みを行う。

30

【0003】

しかしながら、半導体記憶装置に取り込まれたライトデータをメモリセルアレイに転送する動作は、データストロープ信号とは異なるクロック信号に同期して行われる。このため、データストロープ信号とクロック信号との間にスキューが存在すると、ライト動作を正しく行うことができなくなる。このような問題を解決すべく、半導体記憶装置には、クロック信号とデータストロープ信号とのスキューを測定するライトレベリングモードが備えられることがある(特許文献 1 参照)。

40

【0004】

ライトレベリングモードにエントリすると、半導体記憶装置はメモリコントローラから供給されるデータストロープ信号の立ち上がりエッジにてクロック信号をサンプリングし、これをデータ端子から出力する。これにより、メモリコントローラはデータストロープ信号とクロック信号のスキュー量を知ることができるため、これを考慮してデータストロープ信号の出力タイミングを調整することができる。

【0005】

特許文献 1 に記載された半導体記憶装置は、位相制御された内部クロック信号を生成する D L L (Delay Locked Loop) 回路を備えており、リードデータは位相制御された内部

50

クロック信号に同期して出力される。しかしながら、DLL回路は消費電力が比較的大きい回路ブロックであることから、低消費電力が求められる半導体記憶装置においてはDLL回路が備えられないことがある。この種の半導体記憶装置においては、位相制御されていない内部クロック信号を用いてパラレルシリアル変換されたリードデータが、位相制御されることなく外部に出力される。ライト動作時においても、データストロープ信号に同期して入力されたライトデータが、位相制御されていない内部クロック信号を用いてシリアルパラレル変換される(特許文献2参照)。このようなパラレルシリアル変換やシリアルパラレル変換は、互いに位相の異なる複数の分周クロック信号を用いて行われる。

【0006】

しかしながら、ライトレベリング動作はあくまで外部クロック信号と同じ周波数を有するクロック信号を用いる必要があり、分周クロック信号をそのまま用いることはできない。このため、DLL回路を持たない半導体記憶装置においては、複数の分周クロック信号を逡倍回路によって合成することによって、外部クロック信号と同じ周波数を有する内部クロック信号を再生し、この内部クロック信号を用いてライトレベリング動作を行う必要がある。分周回路や逡倍回路の一例については特許文献3に記載されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開2010-192030号公報

【特許文献2】特開2011-108300号公報

【特許文献3】特開2000-278103号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかしながら、逡倍回路を用いて内部クロック信号を生成すると、逡倍回路による遅延が内部クロック信号に重畳するため、正確なライトレベリング動作を行うことができなくなってしまふ。このような現象は、DRAMのような半導体記憶装置に限らず、複数の分周クロック信号を用いてライトデータの転送を行い、且つ、ライトレベリング動作が可能な全ての半導体装置において生じる現象である。

【課題を解決するための手段】

【0009】

本発明の一側面による半導体装置は、外部から外部クロック信号が供給されるクロック端子と、前記外部クロック信号を分周することによって互いに位相が異なる複数の分周クロック信号を生成する分周回路と、前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、外部から外部データストロープ信号が供給されるデータストロープ端子と、前記逡倍回路が有する遅延量を前記外部データストロープ信号に加えることによって内部データストロープ信号を生成する内部データストロープ信号生成回路と、前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備える。

【0010】

本発明の他の側面による半導体装置は、外部から供給されるライトデータを内部データストロープ信号に同期して受信する入力バッファ回路と、前記入力バッファ回路からシリアルに出力される前記ライトデータを複数の分周クロック信号に同期してシリアルパラレル変換するシリアルパラレル変換回路と、前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、外部から供給される外部データストロープ信号に基づいて前記内部データストロープ信号を生成する内部データストロープ信号生成回路と、前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備え、前記逡倍回路の複数の入力ノードに前記複数の分周クロック信号のエッジがそれぞれ入力された後、前記逡倍回路の出力ノードから前記内部クロック信号のエッジが出力されるまでの時間は、前記内部データストロープ信号生成回路の

10

20

30

40

50

入力ノードに前記外部データストロープ信号のエッジが入力された後、前記内部データストロープ信号生成回路の出力ノードから前記内部データストロープ信号のエッジが出力されるまでの時間と等しいことを特徴とする。

【0011】

また、本発明によるデータ処理システムは、上記の半導体装置と、これに接続されたコントローラとを備える。

【発明の効果】

【0012】

本発明によれば、内部データストロープ信号生成回路の特性が逡倍回路の特性と実質的に一致していることから、正確なライトレベリング動作を行うことが可能となる。

10

【図面の簡単な説明】

【0013】

【図1】本発明の一実施例による半導体装置を示すブロック図である。

【図2】本発明の好ましい実施形態によるデータ処理システムの構成を示す図である。

【図3】半導体装置10の構成を示すブロック図である。

【図4】半導体装置10のレイアウトを説明するための平面図である。

【図5】モードレジスタ54のうち、ライトレベリング動作に関わる部分を示す図である。

【図6】分周回路100の構成を示すブロック図である。

【図7】カウンタ回路110の回路図である。

20

【図8】ラッチ回路LT0の回路図である。

【図9】単位分周回路120の回路図である。

【図10】ラッチ回路LT8の回路図である。

【図11】ラッチ回路LT10の回路図である。

【図12】分周回路100の動作を説明するための波形図である。

【図13】逡倍回路200の回路図である。

【図14】逡倍回路200の動作を説明するための波形図である。

【図15】内部データストロープ信号生成回路400の回路図である。

【図16】スキュー検出回路500の回路図である。

【図17】スキュー検出回路500の動作を説明するためのタイミング図である。

30

【発明を実施するための形態】

【0014】

本発明の実施例の一つは以下に示される。但し、本願の請求内容はこの実施例に限定されない。すなわち、本発明の一実施例による半導体装置は、複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、外部データストロープ信号に基づいて内部データストロープ信号を生成する内部データストロープ信号生成回路と、内部クロック信号と内部データストロープ信号とのスキューを検出するスキュー検出回路とを備え、逡倍回路の持つ遅延量と内部データストロープ信号生成回路の持つ遅延量が実質的に等しいことを特徴とする。これにより、逡倍回路の遅延量に起因するライトレベリング動作時のオフセットがキャンセルされるため、正確なライトレベリング動作を行うことが可能となる。

40

【0015】

図1は、本発明の一実施例による半導体装置を示すブロック図である。

【0016】

図1に示す半導体装置は、外部クロック信号CKを分周することによって互いに位相が異なる複数の分周クロック信号PCLK0~PCLKnを生成する分周回路100と、複数の分周クロック信号PCLK0~PCLKnを逡倍することによって内部クロック信号PCLKDを生成する逡倍回路200とを備える。逡倍回路200によって生成される内部クロック信号PCLKDの周波数は、外部クロック信号CKの周波数と一致する。分周クロック信号PCLK0~PCLKnはデータ入出力回路300に供給される。データ入

50

出力回路300は、分周クロック信号PCLK0~PCLKnに同期してリードデータData0~Data nの平行シリアル変換を行うとともに、ライトデータDQのシリアル平行変換を行う。

【0017】

逓倍回路200によって生成される内部クロック信号PCLKDは、スキュー検出回路500に供給される。スキュー検出回路500は、内部クロック信号PCLKDと内部データストロープ信号IDQSとの間のスキューを検出することによって、スキュー検出信号SKEWを生成する。スキュー検出信号SKEWは、データ入出力回路300を介して外部に出力される。内部データストロープ信号IDQSは、外部データストロープ信号DQSに基づき、内部データストロープ信号生成回路400によって生成される。

10

【0018】

そして、内部データストロープ信号生成回路400の持つ遅延量は、逓倍回路200が持つ遅延量と実質的に等しくなるよう設計されている。その結果、逓倍回路200の複数の入力ノードN10~N1nに分周クロック信号PCLK0~PCLKnのエッジがそれぞれ入力された後、逓倍回路200の出力ノードN20から内部クロック信号PCLKDのエッジが出力されるまでの時間は、内部データストロープ信号生成回路400の入力ノードN30に外部データストロープ信号DQSのエッジが入力された後、内部データストロープ信号生成回路400の出力ノードN40から内部データストロープ信号IDQSのエッジが出力されるまでの時間と実質的に等しくなる。これにより、スキュー検出回路500は、逓倍回路200による遅延に起因するオフセットが相殺された状態でライトレベルリング動作を行うことが可能となる。

20

【0019】

図2は、本発明の好ましい実施形態によるデータ処理システムの構成を示す図である。

【0020】

図2に示すデータ処理システムは、メモリモジュール2とこれに接続されたメモリコントローラ4によって構成されている。メモリモジュール2は、モジュール基板6に複数の半導体装置10(DRAM0~DRAM7)が搭載された構成を有している。図2に示すメモリモジュール2は、モジュール基板6に8個のDRAM0~DRAM7が搭載された構成を有しているが、モジュール基板6に搭載する半導体装置10の数についてはこれに限定されるものではない。また、半導体装置10の搭載位置についても、モジュール基板6の片面のみであっても構わないし、両面であっても構わない。

30

【0021】

図2に示すように、データDQ(リードデータ及びライトデータ)及びデータストロープ信号DQS、/DQSについては、メモリモジュール2とメモリコントローラ4との間をほぼ等長且つ最短距離で接続し、これによって高速なデータ転送を実現している。一方、外部クロック信号CK、/CK、アドレス信号ADD及びコマンド信号CMDについては、モジュール基板6上に設けられた同じバス8にフライバイ(Fly By)接続されている。フライバイ接続とはいわゆる一筆書き方式の接続である。フライバイ方式を採用することによって、等長配線方式と比べて、モジュール基板6内の総配線長や配線数が削減される。これにより、バス8のレイアウト制約が緩和され、高品質な配線レイアウトが実現されるため、高速なアドレス・コマンド転送を実現している。

40

【0022】

但し、フライバイ方式を用いると、モジュール基板6上における半導体装置10の搭載位置によって、データストロープ信号DQSとクロック信号CKのスキューが大きく異なってしまう。図2に示す例では、メモリコントローラ4に最も近いDRAM0においてスキューが最も小さく、メモリコントローラ4から最も遠いDRAM7においてスキューが最大となる。このため、DRAM0のスキューに合わせてデータストロープ信号DQSを出力すると、DRAM1~DRAM7では、クロック信号CKがデータストロープ信号DQSに対して遅れてしまい、その遅れはDRAM7において最大となる。逆もまた然りであり、DRAM7のスキューに合わせてデータストロープ信号DQSを出力すると、DR

50

A M 0 ~ D R A M 6 では、クロック信号 C K がデータストロブ信号 D Q S に対して早すぎ、その進みは D R A M 0 において最大となる。

【 0 0 2 3 】

したがって、これら D R A M 0 ~ D R A M 7 に対しては、データストロブ信号 D Q S の出力タイミングをそれぞれ調整する必要がある。かかる調整に必要なスキュー量を測定する動作がライトレベリング動作である。メモリコントローラ 4 は、システム起動時はもちろんのこと、システム起動後の動作中においても周期的にこれら D R A M 0 ~ D R A M 7 をライトレベリングモードにエントリさせることにより、温度・電源電圧などの動作環境に応じて変化するスキューを定期的にモニタし、データストロブ信号 D Q S の出力タイミングを調整する。

10

【 0 0 2 4 】

ライトレベリングモードにエントリすると、D R A M 0 ~ D R A M 7 は、メモリコントローラから供給されるデータストロブ信号 D Q S の立ち上がりエッジにて外部クロック信号 C K をサンプリングし、これをデータ端子からデータ D Q として出力する。これにより、メモリコントローラ 4 は、データストロブ信号 D Q S とクロック信号 C K のスキュー量を知ることができるため、これを考慮してデータストロブ信号 D Q S の出力タイミングを調整することができる。

【 0 0 2 5 】

図 3 は、半導体装置 1 0 の構成を示すブロック図である。

【 0 0 2 6 】

20

本実施形態による半導体装置 1 0 は D R A M であり、外部端子として、クロック端子 1 1 a , 1 1 b 、コマンド端子 1 2 a ~ 1 2 e 、アドレス端子 1 3 、データ入出力端子 1 4 及びデータストロブ端子 1 5 a , 1 5 b を備えている。その他、電源端子なども備えられているが、これらについては図示を省略してある。

【 0 0 2 7 】

クロック端子 1 1 a , 1 1 b は、それぞれ外部クロック信号 C K , / C K が供給される端子であり、供給された外部クロック信号 C K , / C K は、クロック入力回路 2 1 に供給される。本明細書において信号名の先頭に「 / 」が付されている信号は、対応する信号の反転信号又はローアクティブな信号であることを意味する。したがって、外部クロック信号 C K , / C K は互いに相補の信号である。信号名の末尾に「 B 」が付されている信号も同様であり、対応する信号の反転信号又はローアクティブな信号であることを意味する。また、末尾に「 N 」が付された信号は、末尾に「 T 」が付された信号の反転信号である。したがって、末尾に「 T 」が付された信号と末尾に「 B 」が付された信号は、互いに相補の信号である。

30

【 0 0 2 8 】

クロック入力回路 2 1 の出力である内部クロック信号 C L K , C L K B は、タイミング発生回路 2 2 及び分周回路 1 0 0 に供給される。内部クロック信号 C L K , C L K B の位相は外部クロック信号 C K , / C K の位相と実質的に一致するため、本発明においては、内部クロック信号 C L K , C L K B と外部クロック信号 C K , / C K を同一視することができる。

40

【 0 0 2 9 】

タイミング発生回路 2 2 は各種の内部クロック I C L K を生成し、これを各種内部回路に供給する役割を果たす。また、分周回路 1 0 0 は、内部クロック信号 C L K , C L K B を分周することによって、互いに位相の異なる 8 相の分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 を生成する。分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 の周波数は、外部クロック信号 C K の周波数の 1 / 4 であり、互いに内部クロック信号 C L K , C L K B の 1 / 2 クロックサイクルずつ位相がずれている。分周回路 1 0 0 の具体的な回路構成については後述する。本実施形態においては分周回路 1 0 0 を用いて 8 相の分周クロック信号を生成しているが、本発明がこれに限定されるものではない。分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 は、データ入出力回路 3 0 0 に供給される

50

とともに、逡倍回路 200 にも供給される。

【0030】

逡倍回路 200 は、分周クロック信号 PCLKF0 ~ 3, PCLKR0 ~ 3 を逡倍することによって内部クロック信号 PCLKD を生成する回路である。逡倍回路 200 によって生成される内部クロック信号 PCLKD の周波数は、外部クロック信号 CK の周波数と同一である。つまり逡倍回路 200 は、分周回路 100 によって周波数が外部クロック信号 CK の 1/4 とされた分周クロック信号 PCLKF0 ~ 3, PCLKR0 ~ 3 を逡倍することによって、周波数が外部クロック信号 CK と同一である内部クロック信号 PCLKD を復元する役割を果たす。内部クロック信号 PCLKD はストロブ回路 80 に供給され、ライトレベリング動作に用いられる。逡倍回路 200 の具体的な回路構成については後述する。

10

【0031】

コマンド端子 12a ~ 12e は、それぞれロウアドレスストロブ信号 /RAS、カラムアドレスストロブ信号 /CAS、ライトイネーブル信号 /WE、チップセレクト信号 /CS、及びオンダイターミネーション信号 ODT が供給される端子である。これらのコマンド信号 CMD は、コマンド入力回路 31 に供給される。コマンド入力回路 31 に供給されたこれらコマンド信号 CMD は、コマンドデコーダ 32 に供給される。コマンドデコーダ 32 は、内部クロック ICLK に同期して、コマンド信号の保持、デコード及びカウントなどを行うことによって、各種内部コマンド ICMD を生成する回路である。生成された内部コマンド ICMD は、ロウ系制御回路 51、カラム系制御回路 52、リードライト制御回路 53 及びモードレジスタ 54 に供給される。

20

【0032】

アドレス端子 13 は、アドレス信号 ADD が供給される端子であり、供給されたアドレス信号 ADD は、アドレス入力回路 41 に供給される。アドレス入力回路 41 の出力は、アドレスラッチ回路 42 に供給される。アドレスラッチ回路 42 は、内部クロック ICLK に同期してアドレス信号 ADD をラッチする回路である。アドレスラッチ回路 42 にラッチされたアドレス信号 ADD のうち、ロウアドレスについてはロウ系制御回路 51 に供給され、カラムアドレスについてはカラム系制御回路 52 に供給される。また、モードレジスタセットにエントリしている場合には、アドレス信号 ADD はモードレジスタ 54 に供給され、これによってモードレジスタ 54 の内容が更新される。

30

【0033】

ロウ系制御回路 51 の出力は、ロウデコーダ 61 に供給される。ロウデコーダ 61 は、メモリセルアレイ 70 に含まれるいずれかのワード線 WL を選択する回路である。メモリセルアレイ 70 内においては、複数のワード線 WL と複数のビット線 BL が交差しており、その交点にはメモリセル MC が配置されている (図 3 では、1 本のワード線 WL、1 本のビット線 BL 及び 1 個のメモリセル MC のみを示している)。ビット線 BL は、センス回路 63 に含まれる対応するセンスアンプ SA に接続されている。

【0034】

また、カラム系制御回路 52 の出力は、カラムデコーダ 62 に供給される。カラムデコーダ 62 は、センス回路 63 に含まれるいずれかのセンスアンプ SA を選択する回路である。カラムデコーダ 62 によって選択されたセンスアンプ SA は、データアンプ 64 に接続される。データアンプ 64 は、リード動作時においてはセンス回路 63 によって増幅されたリードデータをさらに増幅し、これをデータ入出力回路 300 に供給する。一方、ライト動作時においては、データ入出力回路 300 から供給されるライトデータを増幅し、これをセンス回路 63 に供給する。データアンプ 64 及びデータ入出力回路 300 の動作は、リードライト制御回路 53 によって制御される。

40

【0035】

データ入出力端子 14 は、リードデータ DQ の出力及びライトデータ DQ の入力を行うための端子であり、データ入出力回路 300 に接続されている。データ入出力回路 300 にはパラレルシリアル変換回路 P/S、シリアルパラレル変換回路 S/P、出力バッファ

50

回路 310、入力バッファ回路 320 が含まれている。そして、リード動作時においては、データアンプ 64 からパラレルに供給されるリードデータをパラレルシリアル変換回路 P/S を用いてシリアルに変換し、シリアルに変換されたリードデータ DQ を出力バッファ回路 310 によってデータ入出力端子 14 に出力する。また、ライト動作時においては、データ入出力端子 14 にシリアルに供給されるライトデータ DQ を入力バッファ回路 320 によって受信し、受信されたライトデータをシリアルパラレル変換回路 S/P によってパラレルに変換する。

【0036】

ここで、パラレルシリアル変換回路 P/S 及びシリアルパラレル変換回路 S/P の動作は、分周クロック信号 PCLKF0~3, PCLKR0~3 に同期して行われる。また、
10
入力バッファ回路 320 によるライトデータ DQ の受信は、内部データストロープ信号 IDQS に同期して行われる。また、ライトレベリングモード時においては、ストロープ回路 80 より供給されるスキュー検出信号 SKEW を受け、これを分周クロック信号 PCLKF0~3, PCLKR0~3 とは非同期に出力する。

【0037】

データストロープ端子 15a, 15b は、それぞれ外部データストロープ信号 DQS, /DQS の入出力を行うための端子であり、ストロープ回路 80 に接続されている。図 3
20
に示すように、ストロープ回路 80 には内部データストロープ信号生成回路 400 及びスキュー検出回路 500 が含まれている。内部データストロープ信号生成回路 400 は、外部データストロープ信号 DQS に基づいて内部データストロープ信号 IDQS を生成する回路である。また、スキュー検出回路 500 は、ライトレベリングモード時において、内部データストロープ信号 IDQS と内部クロック信号 PCLKD のスキューを検出する回路であり、その出力であるスキュー検出信号 SKEW は、データ入出力回路 300 に供給される。内部データストロープ信号生成回路 400 及びスキュー検出回路 500 の具体的な回路構成については後述する。

【0038】

図 4 は、本実施形態による半導体装置 10 のレイアウトを説明するための平面図である。

【0039】

図 4 に示すように、本実施形態による半導体装置 10 は 1 つのシリコンチップ CP に集積
30
されている。シリコンチップ CP の主面は四角形であり、互いに平行な第 1 及び第 2 の辺 L1, L2 と、これらの辺 L1, L2 と直交し互いに平行な第 3 及び第 4 の辺 L3, L4 とを有している。本実施形態による半導体装置 10 は、第 1 の辺 L1 に沿って設けられた第 1 のパッド領域 P1 と、第 2 の辺 L2 に沿って設けられた第 2 のパッド領域 P2 とを有している。第 3 及び第 4 の辺 L3, L4 に沿ったパッド領域は設けられていない。第 1 及び第 2 のパッド領域 P1, P2 は、複数の外部端子が配列される領域である。第 1 のパッド領域 P1 にはクロック端子 11a, 11b が含まれ、第 2 のパッド領域 P2 にはデータストロープ端子 15a, 15b が含まれる。

【0040】

また、本実施形態による半導体装置 10 は、第 1 のパッド領域 P1 に沿った第 1 の周辺
40
回路領域 C1 と、第 2 のパッド領域 P2 に沿った第 2 の周辺回路領域 C2 と、第 1 及び第 2 の周辺回路領域 C1, C2 に挟まれたメモリセルアレイ領域 MA を有している。第 1 の周辺回路領域 C1 には、第 1 のパッド領域 P1 に含まれる外部端子に関連する周辺回路が配置され、第 2 の周辺回路領域 C2 には、第 2 のパッド領域 P2 に含まれる外部端子に関連する周辺回路が配置される。例えば、第 1 の周辺回路領域 C1 には分周回路 100 が配置され、第 2 の周辺回路領域 C2 には逓倍回路 200 やストロープ回路 80 が配置される。

【0041】

このようなレイアウトのため、外部クロック信号 CK, /CK を第 2 の周辺回路領域 C
2 に直接供給すると、長距離な配線の持つ比較的大きな寄生容量によって波形の鈍りが大
50

きくなる。このため、スキュー検出回路500に外部クロック信号CK, /CKを直接供給することによってスキューの測定を行う方法では、高い測定精度を得ることは困難となる。このような理由から、本実施形態による半導体装置10では、通倍回路200を用いて内部クロック信号CLKDを生成し、これをスキュー検出回路500に供給することによってスキューの測定を行っている。

【0042】

図5は、モードレジスタ54のうち、ライトレベリング動作に関わる部分を示す図である。

【0043】

図5に示すように、モードレジスタ54は少なくともレジスタ54aを含んでいる。レジスタ54aは、ライトレベリングモードにエントリするためのレジスタである。具体的には、レジスタ54aに「0」がセットされた場合には「通常動作モード」となり、レジスタ54aに「1」がセットされた場合には「ライトレベリングモード」となる。レジスタ54aに対する設定は、モードレジスタセットコマンドを発行するとともに、所定のアドレス端子（例えばA7端子）に設定すべき論理レベルの信号を供給することにより行うことができる。レジスタ54aの設定値は、ライトレベリング信号WriteLevとして出力される。

10

【0044】

図6は、分周回路100の構成を示すブロック図である。

【0045】

図6に示すように、分周回路100はカウンタ回路110及び4つの単位分周回路120~123を含む。カウンタ回路110は、内部クロック信号CLKに基づいてカウント信号CLK0N, CLK0T, CLK1N, CLK1Tを生成する回路である。単位分周回路120~123は、内部クロック信号CLK, CLKB及び対応するカウント信号CLK0N, CLK0T, CLK1N, CLK1Tに基づいて、分周クロック信号PCLKF0~3, PCLKR0~3を生成する回路である。内部クロック信号CLK, CLKBについては単位分周回路120~123に共通に供給される一方、カウント信号CLK0N, CLK0T, CLK1N, CLK1Tについては対応する2つの信号が単位分周回路120~123にそれぞれ供給される。

20

【0046】

具体的に説明すると、単位分周回路120は、カウント信号CLK0N, CLK1Nを受けて、分周クロック信号PCLKF0, PCLKR0を生成する。単位分周回路121は、カウント信号CLK0T, CLK1Nを受けて、分周クロック信号PCLKF1, PCLKR1を生成する。単位分周回路122は、カウント信号CLK0N, CLK1Tを受けて、分周クロック信号PCLKF2, PCLKR2を生成する。単位分周回路123は、カウント信号CLK0T, CLK1Tを受けて、分周クロック信号PCLKF3, PCLKR3を生成する。

30

【0047】

図7は、カウンタ回路110の回路図である。

【0048】

図7に示すように、カウンタ回路110は、内部クロック信号CLKに基づいて内部クロック信号CLKaBを生成するNANDゲート回路G0と、内部クロック信号CLKaBを反転させることによって内部クロック信号CLKaを生成するインバータ回路G1を備える。NANDゲート回路G0の他方の入力ノードにはラッチ回路LT0の出力信号が供給される。ラッチ回路LT0はイネーブル信号PCKEを受ける回路であり、イネーブル信号PCKEがハイレベルであればラッチ回路LT0の出力もハイレベルに固定される。このため、イネーブル信号PCKEがハイレベルであれば、内部クロック信号CLKa, CLKaBは、それぞれ内部クロック信号CLKと同相及び逆相の信号となる。

40

【0049】

図8は、ラッチ回路LT0の回路図である。

50

【 0 0 5 0 】

図 8 に示すように、ラッチ回路 L T 0 は、循環接続された 2 つのインバータ回路 G 2 , G 3 と、入力ノード I N とインバータ回路 G 2 の入力ノードとの間に接続されたトランスファゲート回路 T G 0 と、インバータ回路 G 3 の出力ノードとインバータ回路 G 2 の入力ノードとの間に接続されたトランスファゲート回路 T G 1 とを含む。トランスファゲート回路 T G 0 , T G 1 は、イネーブルノード E N T , E N B に供給される信号に基づいて一方がオン状態、他方がオフ状態となる。図 7 に示すように、ラッチ回路 L T 0 の入力ノード I N には反転されたイネーブル信号 P C L K E が供給される。また、ラッチ回路 L T 0 のイネーブルノード E N T , E N B には、内部クロック信号 C L K 及びその反転信号が供給される。

10

【 0 0 5 1 】

図 7 に戻って、内部クロック信号 C L K a , C L K a B は、ラッチ回路 L T 1 , L T 2 を含むビット出力回路 1 1 1 と、ラッチ回路 L T 3 , L T 4 を含むビット出力回路 1 1 2 に供給される。ラッチ回路 L T 1 , L T 3 は、図 8 に示したラッチ回路 L T 0 と同じ回路構成を有している。

【 0 0 5 2 】

ビット出力回路 1 1 1 は、ラッチ回路 L T 1 , L T 2 が循環接続された構成を有している。これにより、ビット出力回路 1 1 1 から出力されるカウント信号 C L K 0 N , C L K 0 T は、内部クロック信号 C L K の 1 サイクルごとに反転する。より具体的に説明すると、ラッチ回路 L T 2 は、インバータ回路 G 4 と N O R ゲート回路 G 5 が循環接続された構成を有しており、N O R ゲート回路 G 5 の出力ノードとインバータ回路 G 4 の入力ノードの間には、トランスファゲート回路 T G 2 が接続されている。トランスファゲート回路 T G 2 は、内部クロック信号 C L K a , C L K a B に同期してオン又はオフとなる。N O R ゲート回路の他方の入力ノードには、リセット信号 R S T が供給される。これにより、リセット信号 R S T がハイレベルに活性化すると、カウント信号 C L K 0 N はハイレベル、カウント信号 C L K 0 T はローレベルに初期化される。さらに、ラッチ回路 L T 1 とラッチ回路 L T 2 との間には、内部クロック信号 C L K a , C L K a B に同期して活性化されるクロックインバータ回路 G 6 が接続されている。かかる構成により、リセット信号 R S T がローレベルに非活性化した後、内部クロック信号 C L K が入力されると、1 クロックサイクルごとにカウント信号 C L K 0 N , C L K 0 T の論理レベルが反転することになる。

20

30

【 0 0 5 3 】

ビット出力回路 1 1 2 は、基本的にビット出力回路 1 1 1 と同様の回路構成を有しているが、ラッチ回路 L T 3 にフィードバックされる信号がビット出力回路 1 1 1 とは相違している。ビット出力回路 1 1 2 においては、N O R ゲート回路 G 9 の出力信号がラッチ回路 L T 3 にフィードバックされる。N O R ゲート回路 G 9 には、カウント信号 C L K 0 N , C L K 1 N を受ける N A N D ゲート回路 G 7 の出力と、カウント信号 C L K 0 T , C L K 1 T を受ける N A N D ゲート回路 G 8 の出力が供給される。このため、リセット信号 R S T がローレベルに非活性化した後、内部クロック信号 C L K が入力されると、2 クロックサイクルごとにカウント信号 C L K 1 N , C L K 1 T の論理レベルが反転することになる。

40

【 0 0 5 4 】

以上がカウンタ回路 1 1 0 の回路構成である。かかる構成により、カウンタ回路 1 1 0 は、カウント信号 C L K 0 N (C L K 0 T) を下位ビットとし、カウント信号 C L K 1 N (C L K 1 T) を上位ビットとするバイナリ信号を、内部クロック信号 C L K の 1 クロックサイクルごとに更新する。このようにして生成されるカウント信号 C L K 0 N , C L K 0 T , C L K 1 N , C L K 1 T は、図 6 に示すように単位分周回路 1 2 0 ~ 1 2 3 に供給される。

【 0 0 5 5 】

図 9 は、単位分周回路 1 2 0 の回路図である。

50

【 0 0 5 6 】

図 9 に示すように、単位分周回路 1 2 0 は、縦続接続された 3 つのラッチ回路 L T 5 ~ L T 7 を有している。ラッチ回路 L T 5 は、インバータ回路 G 1 0 , G 1 1 が循環接続された構成を有しており、インバータ回路 G 1 1 の出力ノードとインバータ回路 G 1 0 の入力ノードとの間にはトランスファゲート回路 T G 5 が接続されている。ラッチ回路 L T 5 への入力信号は、3 入力 NAND ゲート回路 G 1 6 からトランスファゲート回路 T G 4 を介して与えられる。NAND ゲート回路 G 1 6 への入力信号は、イネーブル信号 P C L K E 及びカウント信号 C L K 0 N , C L K 1 N である。

【 0 0 5 7 】

ラッチ回路 L T 6 は、インバータ回路 G 1 2 及び NAND ゲート回路 G 1 3 が循環接続された構成を有しており、NAND ゲート回路 G 1 3 の出力ノードとインバータ回路 G 1 2 の入力ノードとの間にはトランスファゲート回路 T G 7 が接続されている。また、NAND ゲート回路 G 1 3 の他方の入力ノードには、リセット信号 R S T が供給される。ラッチ回路 L T 6 への入力信号は、前段のラッチ回路 L T 5 からトランスファゲート回路 T G 6 を介して与えられる。

10

【 0 0 5 8 】

ラッチ回路 L T 7 は、インバータ回路 G 1 4 , G 1 5 が循環接続された構成を有しており、インバータ回路 G 1 5 の出力ノードとインバータ回路 G 1 4 の入力ノードとの間にはトランスファゲート回路 T G 9 が接続されている。ラッチ回路 L T 7 への入力信号は、前段のラッチ回路 L T 6 からトランスファゲート回路 T G 8 を介して与えられる。

20

【 0 0 5 9 】

トランスファゲート回路 T G 4 ~ T G 9 は、クロック信号 C L K に基づいてオン状態又はオフ状態となる。このうち、トランスファゲート回路 T G 4 , T G 7 , T G 8 は共通に制御され、トランスファゲート回路 T G 5 , T G 6 , T G 9 は共通に制御される。トランスファゲート回路 T G 4 , T G 7 , T G 8 の動作と、トランスファゲート回路 T G 5 , T G 6 , T G 9 は相補であり、一方がオン状態となり他方がオフ状態となる。かかる構成により、縦続接続された 3 つのラッチ回路 L T 5 ~ L T 7 は、クロック信号 C L K に同期してシフト動作を行うことになる。上述の通り、初段のラッチ回路 L T 5 への入力信号は NAND ゲート回路 G 1 6 によって与えられる。NAND ゲート回路 G 1 6 の出力がローレベルに活性化するのは 4 クロックサイクルに 1 回である。

30

【 0 0 6 0 】

ラッチ回路 L T 5 , L T 7 の出力は、いずれも NAND ゲート回路 G 1 7 , G 1 8 に供給される。NAND ゲート回路 G 1 7 の出力信号は、縦続接続された 3 つのラッチ回路 L T 8 ~ L T 1 0 の初段に供給される。一方、NAND ゲート回路 G 1 8 の出力信号は、ラッチ回路 L T 1 1 に供給される。

【 0 0 6 1 】

図 1 0 は、ラッチ回路 L T 8 の回路図である。

【 0 0 6 2 】

図 1 0 に示すように、ラッチ回路 L T 8 は、図 8 に示したラッチ回路 L T 0 のインバータ回路 G 3 が NAND ゲート回路 G 1 9 に置き換えられた構成を有している。その他の回路構成は、図 8 に示したラッチ回路 L T 0 と同じである。NAND ゲート回路 G 1 9 の他方の入力ノードには、リセット信号 R S T が供給される。図 9 に示すように、ラッチ回路 L T 8 の出力信号はラッチ回路 L T 9 に供給される。ラッチ回路 L T 9 は、図 8 に示したラッチ回路 L T 0 と同じ回路構成を有している。

40

【 0 0 6 3 】

図 1 1 は、ラッチ回路 L T 1 0 の回路図である。

【 0 0 6 4 】

図 1 1 に示すように、ラッチ回路 L T 1 0 は、循環接続されたインバータ回路 G 2 0 及び NOR ゲート回路 G 2 1 を備えている。NOR ゲート回路 G 2 1 の出力ノードとインバータ回路 G 2 0 の入力ノードとの間にはトランスファゲート回路 T G 1 0 が接続されてい

50

る。NORゲート回路G21の他方の入力ノードには、反転されリセット信号RSTBが供給される。また、インバータ回路G20の入力ノードには、クロックインバータ回路G22を介してラッチ回路LT9の出力信号LT9aが供給される。クロックインバータ回路G22とトランスファゲート回路TG10は、内部クロック信号CLKBに基づいて排他的に活性化される。

【0065】

ラッチ回路LT11についても基本的に図11に示すラッチ回路LT10と同じ回路構成を有している。ラッチ回路LT10との違いは、クロック信号CLKBの代わりにクロック信号CLKが供給される点、並びに、出力信号LT9aの代わりにNANDゲート回路G18の出力信号G18aが供給される点である。

10

【0066】

ラッチ回路LT10, LT11の出力は、それぞれ分周クロック信号PCLKF0, PCLKR0として用いられる。他の単位分周回路121~123についても、NANDゲート回路G16に供給されるカウント信号CLK0N, CLK0T, CLK1N, CLK1Tの組み合わせが異なる他は、図9に示した単位分周回路120と同じ回路構成を有している。

【0067】

図12は、分周回路100の動作を説明するための波形図である。

【0068】

図12に示すように、分周クロック信号PCLKF0~3, PCLKR0~3の周波数は、内部クロック信号CLK, CLKBの周波数の1/4であり、互いに内部クロック信号CLK, CLKBの1/2クロックサイクルずつ位相がずれている。このような分周クロック信号PCLKF0~3, PCLKR0~3は、図3に示すデータ入出力回路300に供給される。上述の通り、データ入出力回路300にはパラレルシリアル変換回路P/S及びシリアルパラレル変換回路S/Pが含まれている。これにより、リード動作時には分周クロック信号PCLKF0~3, PCLKR0~3に同期してパラレルシリアル変換が行われ、ライト動作時には分周クロック信号PCLKF0~3, PCLKR0~3に同期してシリアルパラレル変換が行われる。

20

【0069】

図13は、逓倍回路200の回路図である。

30

【0070】

図13に示すように、逓倍回路200は、分周クロック信号PCLKF0, PCLKR0を合成することによって内部クロック信号PCLK0を生成するNANDゲート回路G30と、分周クロック信号PCLKF1, PCLKR1を合成することによって内部クロック信号PCLK1を生成するNANDゲート回路G31と、分周クロック信号PCLKF2, PCLKR2を合成することによって内部クロック信号PCLK2を生成するNANDゲート回路G32と、分周クロック信号PCLKF3, PCLKR3を合成することによって内部クロック信号PCLK3を生成するNANDゲート回路G33と、を備えている。

【0071】

40

NANDゲート回路G30は3入力のNANDゲート回路であり、第1の入力ノードには分周クロック信号PCLKR0が供給され、第2の入力ノードにはNANDゲート回路G34の出力信号が供給され、第3の入力ノードにはイネーブル信号MDWL Vが供給される。NANDゲート回路G34は、2入力のNANDゲート回路であり、一方の入力ノードには分周クロック信号PCLKF0が供給され、他方の入力ノードにはイネーブル信号MDWL Vが供給される。かかる構成により、波形図である図14に示すように、内部クロック信号PCLKR0がハイレベルであり、且つ、内部クロック信号PCLKF0がローレベルである期間だけ、内部クロック信号PCLK0がローレベルとなる。その他の期間においては、内部クロック信号PCLK0の論理レベルはハイレベルに固定される。ここで、内部クロック信号PCLKRと内部クロック信号PCLKF0は、内部クロック

50

信号CLKの1/2クロックサイクル分だけ位相がずれていることから、内部クロック信号PCLK0がローレベルとなる期間は、内部クロック信号CLKの1/2クロックサイクルの期間となる。この期間は、内部クロック信号CLKの4クロックサイクルごとに出現する。

【0072】

他のNANDゲート回路G31～G33についても同様であり、生成される内部クロック信号PCLK1～PCLK3の波形は図14に示す通りとなる。

【0073】

図13に示すように、内部クロック信号PCLK0，PCLK1は、2入力のNANDゲート回路G40，G41に供給される。NANDゲート回路G40，G41の出力信号はワイヤードオア接続された後、インバータ回路G44に供給される。これにより、インバータ回路G44は内部クロック信号PCLK0，PCLK1を合成した内部クロック信号PCLK4を出力する。NANDゲート回路G40，G41は論理的には同一の回路であるが、出力ノードと接地電源配線との間に直列接続された2つのNチャンネル型MOSトランジスタへの入力位置が互いに逆転している。これは、内部クロック信号PCLK0のエッジが入力されてから内部クロック信号PCLK4のエッジが出力されるまでのタイミングと、内部クロック信号PCLK1のエッジが入力されてから内部クロック信号PCLK4のエッジが出力されるまでのタイミングを一致させるためである。

10

【0074】

内部クロック信号PCLK2，PCLK3についても、2入力のNANDゲート回路G42，G43に供給され、インバータ回路G45から内部クロック信号PCLK5として出力される。

20

【0075】

さらに、内部クロック信号PCLK4，PCLK5は、2入力のNANDゲート回路G46，G47に供給される。NANDゲート回路G46，G47の出力信号はワイヤードオア接続され、内部クロック信号PCLKDとして出力される。NANDゲート回路G46，G47は論理的には同一の回路であるが、出力ノードと接地電源配線との間に直列接続された2つのNチャンネル型MOSトランジスタへの入力位置が互いに逆転している。その理由は上述の通りである。

【0076】

このような回路構成により、内部クロック信号PCLKDは図14に示すように単相化され、内部クロック信号CLKと同じ周波数に復元される。このようにして生成された内部クロック信号PCLKDは、図3に示したストロブ回路80に供給される。ストロブ回路80には、内部データストロブ信号生成回路400と、スキュー検出回路500が含まれている。

30

【0077】

図15は、内部データストロブ信号生成回路400の回路図である。

【0078】

図15に示すように、内部データストロブ信号生成回路400は、3入力のNANDゲート回路G30rを有している。NANDゲート回路G30rの第1の入力ノードには外部データストロブ信号DQSが供給され、第2及び第3の入力ノードにはイネーブル信号MDWL Vが供給される。NANDゲート回路G30rは、図13に示したNANDゲート回路G30のレプリカである。したがって、NANDゲート回路G30rのファンアウトは、NANDゲート回路G30のファンアウトと実質的に一致するように設計される。

40

【0079】

NANDゲート回路G30rの出力信号は、2入力のNANDゲート回路G40r，G41rに供給される。NANDゲート回路G40r，G41rの出力信号はワイヤードオア接続された後、インバータ回路G44rに供給される。NANDゲート回路G40r，G41rの他方の入力ノードは、ハイレベルに固定されている。NANDゲート回路G4

50

0 r , G 4 1 r は、図 1 3 に示した N A N D ゲート回路 G 4 0 , G 4 1 のレプリカである。したがって、N A N D ゲート回路 G 4 0 r , G 4 1 r のファンアウトは、N A N D ゲート回路 G 4 0 , G 4 1 のファンアウトと実質的に一致するように設計される。同様に、インバータ回路 G 4 4 r は、図 1 3 に示したインバータ回路 G 4 4 のレプリカである。したがって、インバータ回路 G 4 4 r のファンアウトは、インバータ回路 G 4 4 のファンアウトと実質的に一致するように設計される。

【 0 0 8 0 】

インバータ回路 G 4 4 r の出力信号は、2 入力 of N A N D ゲート回路 G 4 6 r , G 4 7 r に供給される。N A N D ゲート回路 G 4 6 r , G 4 7 r の出力信号はワイヤードオア接続され、内部データストロープ信号 I D Q S として用いられる。N A N D ゲート回路 G 4 6 r , G 4 7 r の他方の入力ノードは、ハイレベルに固定されている。N A N D ゲート回路 G 4 6 r , G 4 7 r は、図 1 3 に示した N A N D ゲート回路 G 4 6 , G 4 7 のレプリカである。したがって、N A N D ゲート回路 G 4 6 r , G 4 7 r のファンアウトは、N A N D ゲート回路 G 4 6 , G 4 7 のファンアウトと実質的に一致するように設計される。

10

【 0 0 8 1 】

このように、内部データストロープ信号生成回路 4 0 0 は、逓倍回路 2 0 0 の信号パスと同じ論理ゲート段数を有しており、且つ、対応するゲート回路のファンアウトが実質的に一致するように設計されている。このため、逓倍回路 2 0 0 が有する遅延量と、内部データストロープ信号生成回路 4 0 0 が有する遅延量は実質的に一致する。このことは、逓倍回路 2 0 0 の複数の入力ノードに分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 のエッジがそれぞれ入力された後、逓倍回路 2 0 0 の出力ノードから内部クロック信号 P C L K D のエッジが出力されるまでの時間と、内部データストロープ信号生成回路 4 0 0 の入力ノードに外部データストロープ信号 D Q S のエッジが入力された後、内部データストロープ信号生成回路 4 0 0 の出力ノードから内部データストロープ信号 I D Q S のエッジが出力されるまでの時間は、実質的に等しいことを意味する。

20

【 0 0 8 2 】

図 1 6 は、スキュー検出回路 5 0 0 の回路図である。

【 0 0 8 3 】

図 1 6 に示すように、スキュー検出回路 5 0 0 は、縦続接続された 2 つのラッチ回路 L T 1 2 , L T 1 3 を有している。ラッチ回路 L T 1 2 は、インバータ回路 G 5 0 及びクロックトインバータ回路 G 5 1 が循環接続された構成を有している。クロックトインバータ回路 G 5 1 の動作は、内部データストロープ信号 I D Q S によって制御される。クロックトインバータ回路 G 5 1 の低位側制御ノード V L には、インバータ回路 G 5 2 を介して内部データストロープ信号 I D Q S が供給され、高位側制御ノード V H にはトランスファゲート回路 T G 1 1 を介して反転された内部データストロープ信号 I D Q S が供給される。トランスファゲート回路 T G 1 1 は、常時オン状態である。これは、インバータ回路 G 5 2 による遅延を考慮し、低位側制御ノード V L に供給される信号と高位側制御ノード V H に供給される信号とが同時に変化するように、タイミング調整するためである。

30

【 0 0 8 4 】

また、インバータ回路 G 5 0 の入力ノードには、クロックトインバータ回路 G 5 3 を介して内部クロック信号 P C L K D が供給される。クロックトインバータ回路 G 5 3 の低位側制御ノード V L には、インバータ回路 G 5 4 を介して反転された内部データストロープ信号 I D Q S が供給され、高位側制御ノード V H にはトランスファゲート回路 T G 1 2 を介して内部データストロープ信号 I D Q S が供給される。トランスファゲート回路 T G 1 2 は、常時オン状態である。これも、インバータ回路 G 5 4 による遅延を考慮し、低位側制御ノード V L に供給される信号と高位側制御ノード V H に供給される信号とが同時に変化するように、タイミング調整するためである。

40

【 0 0 8 5 】

インバータ回路 G 5 0 の出力信号は、クロックトインバータ回路 G 5 5 を介してラッチ回路 L T 1 3 に供給される。ラッチ回路 L T 1 3 は、インバータ回路 G 5 6 及び N A N D

50

ゲート回路 G 5 7 が循環接続された構成を有しており、NANDゲート回路 G 5 7 の出力ノードとインバータ回路 G 5 6 の入力ノードの間にはトランスファゲート回路 T G 1 3 が接続されている。NANDゲート回路 G 5 7 の他方の入力ノードには、リセット信号 R S T が供給される。クロックインバータ回路 G 5 5 とトランスファゲート回路 T G 1 3 は、内部データストロブ信号 I D Q S に同期して排他的に活性化される。

【 0 0 8 6 】

かかる構成により、内部データストロブ信号 I D Q S がローレベルの期間においては、クロックインバータ回路 G 5 3 は活性化しているが、クロックインバータ回路 G 5 5 が非活性状態であることから、ラッチ回路 L T 1 3 に保持されているデータがスキュー検出信号 S K E W として出力される。一方、内部データストロブ信号 I D Q S がローレベルの期間においては、クロックインバータ回路 G 5 3 が非活性化し、代わりにクロックインバータ回路 G 5 5 が活性化する。このため、内部データストロブ信号 I D Q S がローレベルからハイレベルに変化する時点における内部クロック信号 P C L K D の論理レベルによって、スキュー検出信号 S K E W の論理レベルが決まる。

10

【 0 0 8 7 】

図 1 7 は、スキュー検出回路 5 0 0 の動作を説明するためのタイミング図である。

【 0 0 8 8 】

図 1 7 に示す例においては、内部クロック信号 P C L K D の立ち上がりエッジ # 5 , # 1 2 を目標として、内部データストロブ信号 I D Q S がローレベルからハイレベルに変化している。このうち、内部クロック信号 P C L K D の立ち上がりエッジ # 5 においては、内部クロック信号 P C L K D よりも内部データストロブ信号 I D Q S の方が先にハイレベルに変化していることから、スキュー検出信号 S K E W はローレベルとなる。一方、内部クロック信号 P C L K D の立ち上がりエッジ # 1 2 においては、内部データストロブ信号 I D Q S よりも内部クロック信号 P C L K D の方が先にハイレベルに変化していることから、スキュー検出信号 S K E W はハイレベルとなる。

20

【 0 0 8 9 】

したがって、内部データストロブ信号 I D Q S の変化タイミングを徐々に変化させることによって、スキュー検出信号 S K E W が切り替わるタイミングを探せば、両者のスキューをほぼゼロにすることが可能となる。このようにしてライトレベリング動作を行う。

【 0 0 9 0 】

ここで、内部クロック信号 P C L K D は、分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 に対して逡倍回路 2 0 0 による遅延を有している。しかしながら、本実施形態では内部データストロブ信号 I D Q S が外部データストロブ信号 D Q S に対して内部データストロブ信号生成回路 4 0 0 による遅延を有しており、且つ、逡倍回路 2 0 0 の遅延量と内部データストロブ信号生成回路 4 0 0 の遅延量が実質的に等しいことから、上記のライトレベリング動作を実行すれば、分周クロック信号 P C L K F 0 ~ 3 , P C L K R 0 ~ 3 と外部データストロブ信号 D Q S との間のスキューをほぼゼロとすることが可能となる。このように、逡倍回路 2 0 0 の遅延量に起因するライトレベリング動作時のオフセットがキャンセルされるため、正確なライトレベリング動作を行うことが可能となる。

30

40

【 0 0 9 1 】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【 0 0 9 2 】

本願の半導体装置に含まれるメモリセルは、揮発性、不揮発性、及びそれらの混合でも構わない。

【 0 0 9 3 】

本願の技術思想は、信号伝送回路を有する半導体装置に適用できる。更に、図面で開示した各回路ブロック内の回路形式、その他の制御信号を生成する回路は、実施例が開示す

50

る回路形式限られない。

【 0 0 9 4 】

本発明の半導体装置の技術思想は、様々な半導体装置に適用することができる。例えば、C P U (Central Processing Unit)、M C U (Micro Control Unit)、D S P (Digital Signal Processor)、A S I C (Application Specific Integrated Circuit)、A S S P (Application Specific Standard Product)、メモリ (Memory) 等の半導体装置全般に、本発明を適用することができる。このような本発明が適用された半導体装置の製品形態としては、例えば、S O C (システムオンチップ)、M C P (マルチチップパッケージ) や P O P (パッケージオンパッケージ) などが挙げられる。これらの任意の製品形態、パッケージ形態を有する半導体装置に対して本発明を適用することができる。

10

【 0 0 9 5 】

また、トランジスタとして電界効果トランジスタ (Field Effect Transistor; FET) を用いる場合、M O S (Metal Oxide Semiconductor) 以外にも M I S (Metal-Insulator Semiconductor)、T F T (Thin Film Transistor) 等の様々な F E T に適用できる。更に、装置内に一部のバイポーラ型トランジスタを有しても良い。

【 0 0 9 6 】

更に、P M O S トランジスタ (P型チャネルM O S トランジスタ) は、第1導電型のトランジスタ、N M O S トランジスタ (N型チャネルM O S トランジスタ) は、第2導電型のトランジスタの代表例である。

【 0 0 9 7 】

また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

20

【 0 0 9 8 】

本発明によるデータ処理システムは、下記の特徴を有している。

[付記 1]

半導体装置と、
前記半導体装置に接続されたコントローラと、を備え、
前記半導体装置は、
前記コントローラから外部クロック信号が供給されるクロック端子と、
前記外部クロック信号を分周することによって互いに位相が異なる複数の分周クロック信号を生成する分周回路と、
前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、
前記コントローラから外部データストロープ信号が供給されるデータストロープ端子と、

30

前記逡倍回路が有する遅延量を前記外部データストロープ信号に加えることによって内部データストロープ信号を生成する内部データストロープ信号生成回路と、

前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備えるデータ処理システム。

40

[付記 2]

前記逡倍回路は、前記複数の分周クロック信号がそれぞれ供給される第1の複数の入力ノードと、前記内部クロック信号が出力される第1の出力ノードとを有し、

前記内部データストロープ信号生成回路は、前記外部データストロープ信号が供給される第2の入力ノードと、前記内部データストロープ信号が出力される第2の出力ノードとを有し、

前記複数の第1の入力ノードのそれぞれから前記第1の出力ノードまでの論理ゲート段数と、前記第2の入力ノードから前記第2の出力ノードまでの論理ゲート段数は、互いに等しい、付記1に記載のデータ処理システム。

[付記 3]

50

前記複数の第1の入力ノードのそれぞれから前記第2の出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトと、前記第2の入力ノードから前記第2の出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトは、互いに等しい、付記2に記載のデータ処理システム。

[付記4]

半導体装置と、

前記半導体装置に接続されたコントローラと、を備え、

前記半導体装置は、

前記コントローラから供給されるライトデータを内部データストロープ信号に同期して受信する入力バッファ回路と、

前記入力バッファ回路からシリアルに出力される前記ライトデータを複数の分周クロック信号に同期してシリアルパラレル変換するシリアルパラレル変換回路と、

前記複数の分周クロック信号を逡倍することによって内部クロック信号を生成する逡倍回路と、

前記コントローラから供給される外部データストロープ信号に基づいて前記内部データストロープ信号を生成する内部データストロープ信号生成回路と、

前記内部クロック信号と前記内部データストロープ信号とのスキューを測定するスキュー検出回路と、を備え、

前記逡倍回路の複数の入力ノードに前記複数の分周クロック信号のエッジがそれぞれ入力された後、前記逡倍回路の出力ノードから前記内部クロック信号のエッジが出力されるまでの時間は、前記内部データストロープ信号生成回路の入力ノードに前記外部データストロープ信号のエッジが入力された後、前記内部データストロープ信号生成回路の出力ノードから前記内部データストロープ信号のエッジが出力されるまでの時間と等しい、データ処理システム。

[付記5]

前記逡倍回路の前記複数の入力ノードのそれぞれから前記出力ノードまでの論理ゲート段数と、前記内部データストロープ信号生成回路の前記入力ノードから前記出力ノードまでの論理ゲート段数は、互いに等しい、付記4に記載のデータ処理システム。

[付記6]

前記逡倍回路の前記複数の入力ノードのそれぞれから前記出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトと、前記内部データストロープ信号生成回路の前記入力ノードから前記出力ノードまでの間に接続された複数の論理ゲート回路のそれぞれのファンアウトは、互いに等しい、付記5に記載のデータ処理システム。

【符号の説明】

【0099】

- 2 メモリモジュール
- 4 メモリコントローラ
- 6 モジュール基板
- 8 バス
- 10 半導体装置
- 11 a , 11 b クロック端子
- 12 a ~ 12 e コマンド端子
- 13 アドレス端子
- 14 データ入出力端子
- 15 a , 15 b データストロープ端子
- 21 クロック入力回路
- 22 タイミング発生回路
- 31 コマンド入力回路
- 32 コマンドデコーダ
- 41 アドレス入力回路

10

20

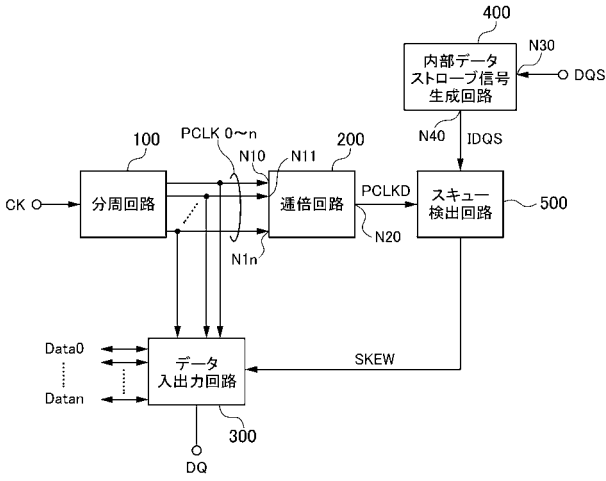
30

40

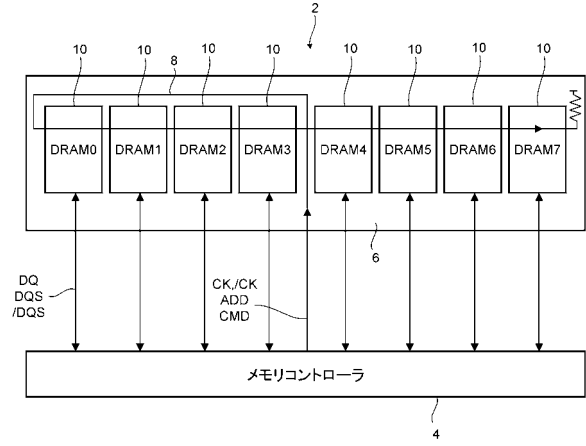
50

4 2	アドレスラッチ回路	
5 1	ロウ系制御回路	
5 2	カラム系制御回路	
5 3	リードライト制御回路	
5 4	モードレジスタ	
5 4 a	レジスタ	
6 1	ロウデコーダ	
6 2	カラムデコーダ	
6 3	センス回路	
6 4	データアンプ	10
7 0	メモリセルアレイ	
8 0	ストロープ回路	
1 0 0	分周回路	
1 1 0	カウンタ回路	
1 1 1 , 1 1 2	ビット出力回路	
1 2 0 ~ 1 2 3	単位分周回路	
2 0 0	逡倍回路	
3 0 0	データ入出力回路	
3 1 0	出力バッファ回路	
3 2 0	入力バッファ回路	20
4 0 0	内部データストロープ信号生成回路	
5 0 0	スキュー検出回路	
C 1 , C 2	周辺回路領域	
C K , / C K	外部クロック信号	
C L K , C L K B	内部クロック信号	
D Q S , / D Q S	外部データストロープ信号	
I D Q S	内部データストロープ信号	
P / S	パラレルシリアル変換回路	
P C L K D	内部クロック信号	
P C L K F 0 ~ 3 , P C L K R 0 ~ 3	分周クロック信号	30
S / P	シリアルパラレル変換回路	
S K E W	スキュー検出信号	

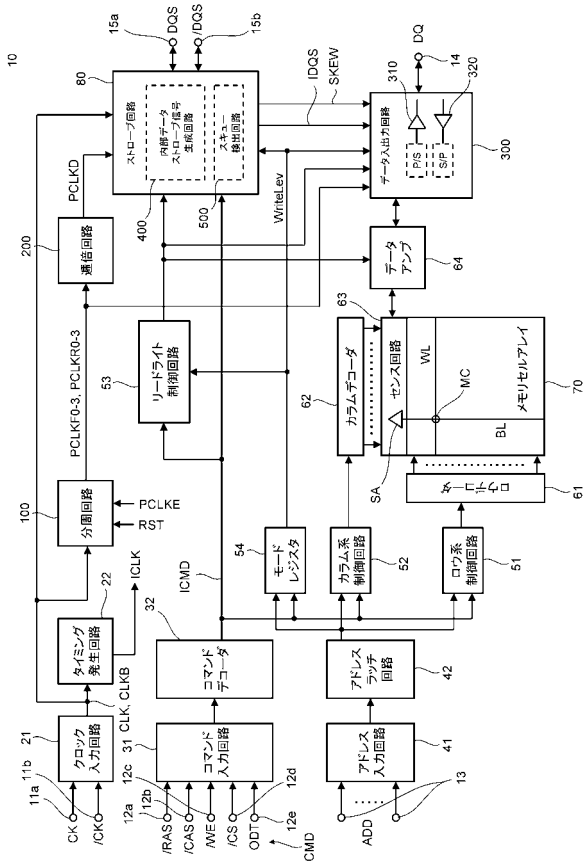
【図1】



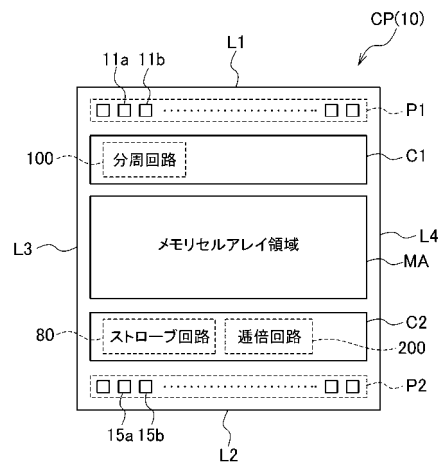
【図2】



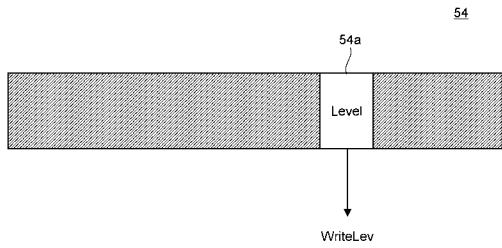
【図3】



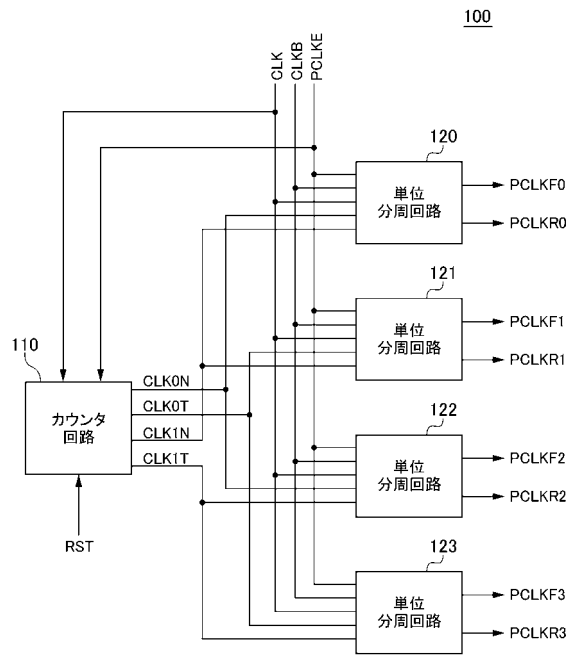
【図4】



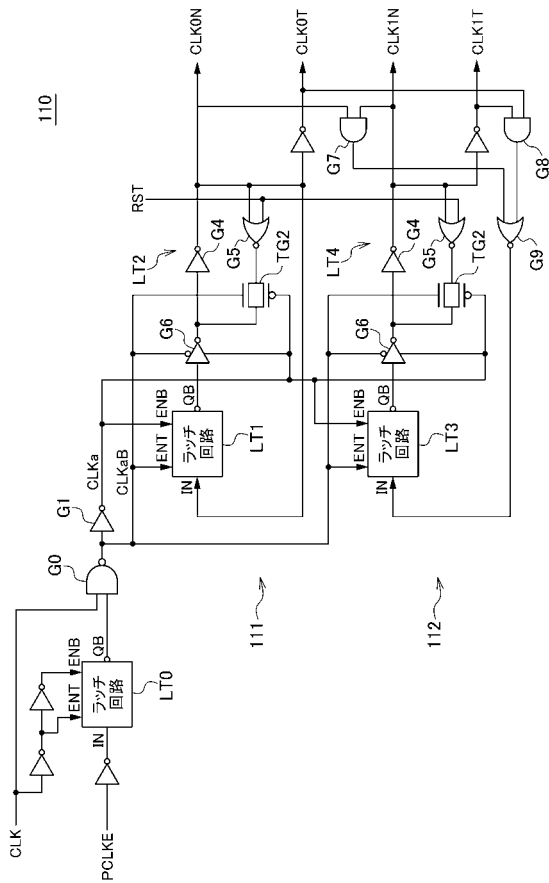
【 図 5 】



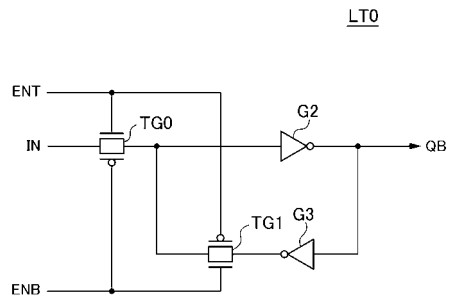
【 図 6 】



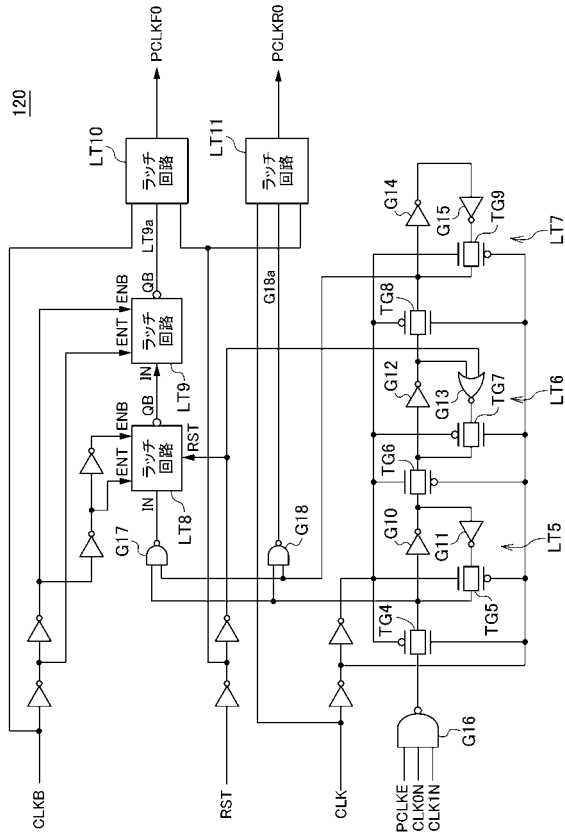
【 図 7 】



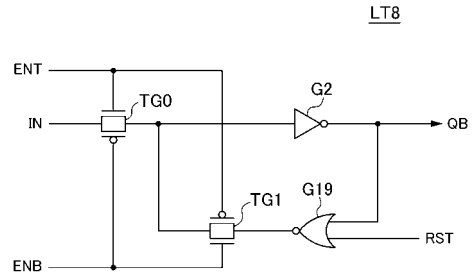
【 図 8 】



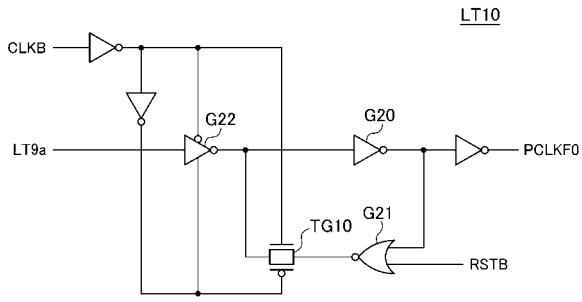
【 図 9 】



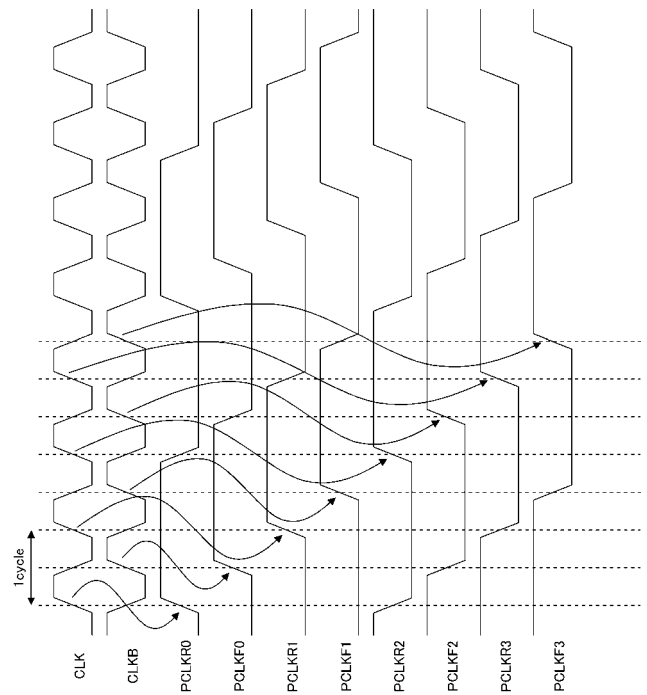
【 図 10 】



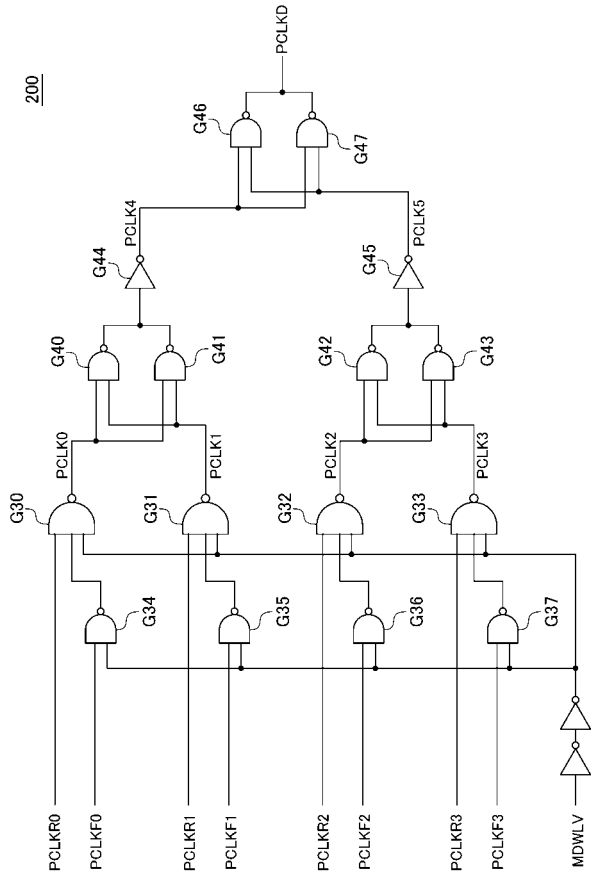
【 図 11 】



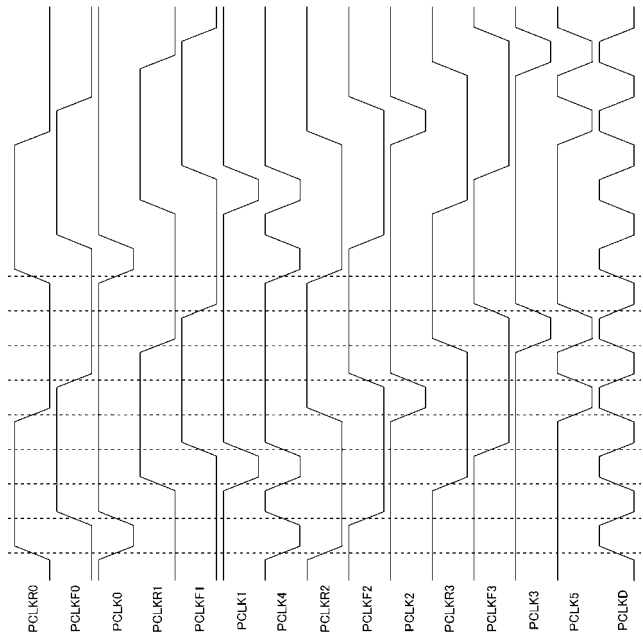
【 図 12 】



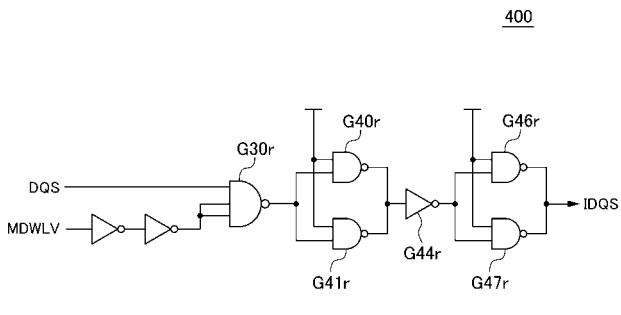
【 図 1 3 】



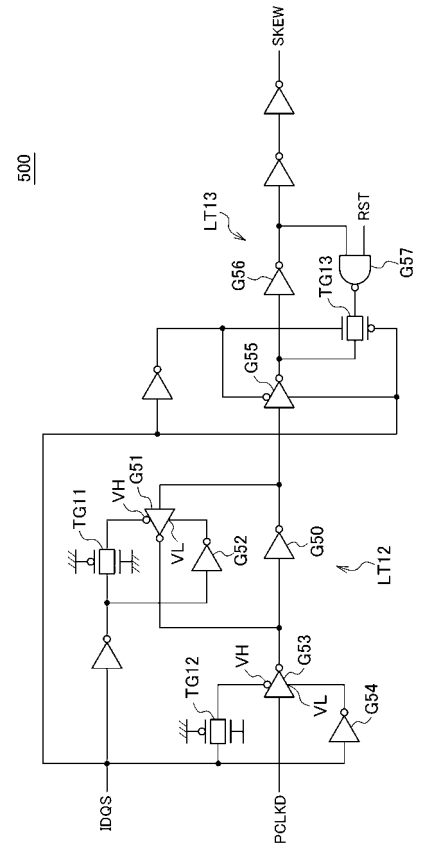
【 図 1 4 】



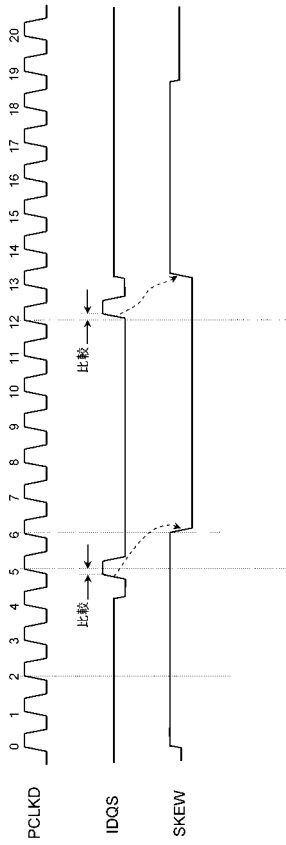
【 図 1 5 】



【 図 1 6 】



【 図 17 】



フロントページの続き

(72)発明者 松井 義徳

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5M024 AA36 AA44 AA49 BB27 BB34 DD83 JJ03 JJ04 JJ19 JJ32
JJ36 JJ58 PP01 PP02 PP03 PP07