

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6184698号
(P6184698)

(45) 発行日 平成29年8月23日(2017.8.23)

(24) 登録日 平成29年8月4日(2017.8.4)

(51) Int.Cl.

F I

HO 1 L 29/786 (2006.01)
 HO 1 L 21/336 (2006.01)
 HO 1 L 21/28 (2006.01)
 HO 1 L 29/417 (2006.01)
 GO 2 F 1/1368 (2006.01)

HO 1 L 29/78 6 1 7 V
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 9 A
 HO 1 L 21/28 3 0 1 B
 HO 1 L 29/50 M

請求項の数 3 (全 48 頁) 最終頁に続く

(21) 出願番号 特願2013-10898 (P2013-10898)
 (22) 出願日 平成25年1月24日(2013.1.24)
 (65) 公開番号 特開2013-175718 (P2013-175718A)
 (43) 公開日 平成25年9月5日(2013.9.5)
 審査請求日 平成27年12月28日(2015.12.28)
 (31) 優先権主張番号 特願2012-13816 (P2012-13816)
 (32) 優先日 平成24年1月26日(2012.1.26)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 川原 光司

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

酸化絶縁膜上に素子分離された酸化物半導体膜を形成し、
 前記酸化物半導体膜を覆う金属膜を形成し、
 前記金属膜にイオン注入法、イオンドーピング法、プラズマイメージョンイオンイン
 プランテーション法またはプラズマ処理を行うことで酸素を導入して、ゲート絶縁膜として
 機能する金属酸化膜を形成し、

前記金属酸化膜上にゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項2】

酸化絶縁膜上に形成される酸化物半導体膜と、前記酸化物半導体膜上に形成されるゲ
 ート電極と、前記酸化物半導体膜及び前記ゲート電極の間に形成されるゲート絶縁膜と、を
 形成した後、前記ゲート電極を少なくとも覆う金属膜を形成し、前記金属膜にイオン注
 入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法または
 プラズマ処理を行うことで酸素を導入して、金属酸化膜を形成することを特徴とする半導
 体装置の作製方法。

【請求項3】

第1の酸化絶縁膜上に素子分離された酸化物半導体膜を形成し、

前記酸化物半導体膜上に第2の酸化絶縁膜を形成し、

前記第2の酸化絶縁膜上にゲート電極を形成し、

前記ゲート電極の側面に接するサイドウォール絶縁膜を形成した後、前記ゲート電極及

10

20

び前記サイドウォール絶縁膜と重ならない前記第2の酸化絶縁膜の一部をエッチングし、前記エッチングにより露出した部分の前記酸化物半導体膜と前記サイドウォール絶縁膜に接する一対の電極を形成し、

前記一対の電極及び前記ゲート電極を覆う金属膜を形成した後、前記金属膜にイオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法またはプラズマ処理を行うことで酸素を導入して、金属酸化膜を形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置の作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、及び半導体回路は半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。当該トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0004】

ところで、酸化物半導体においては、水素などの不純物の侵入により、電氣的に浅いドナー準位が形成され、キャリアとなる電子が発生することが指摘されている。この結果、酸化物半導体を用いたトランジスタは、しきい値電圧がマイナスシフトしノーマリーオン型になってしまい、ゲートに電圧を印加していない状態（つまりオフ状態）におけるリーク電流が増大する。そのため、水素のブロッキング性を有する酸化アルミニウム膜を酸化物半導体膜のチャネル領域、ソース電極及びドレイン電極を被覆するように、基板の全面にわたって設けることで、酸化物半導体膜への水素の侵入を抑制し、リーク電流の発生を抑制している（特許文献1参照）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2010-16163号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

一般的に、酸化アルミニウム膜はスパッタリング法または原子層堆積法（ALD：Atomic Layer Deposition）により成膜することができる。しかしながら、スパッタリング法で酸化アルミニウム膜を成膜すると、スパッタリング装置の処理室内に粉状の酸化アルミニウムが生成されてしまう。堆積膜への粉状の酸化アルミニウムの混入は、歩留まり低下の原因となる。

【0007】

また、原子層堆積法による酸化アルミニウム膜の成膜方法は、トリメチルアルミニウム（TMA）と水蒸気を交互に処理室に導入するため、成膜時間が長くなり、スループットの低下の一因となる。

【0008】

また、酸化物半導体を用いたトランジスタにおいて、酸化物半導体膜を所望の形状にエッチングするためのエッチング処理や、酸化物半導体膜の側面の減圧雰囲気への暴露等により、酸化物半導体膜の側面から酸化物半導体膜中の酸素が脱離してしまい、酸素欠損が

10

20

30

40

50

形成されてしまう。酸素欠損がキャリアの供給源になるため、酸化物半導体膜において酸素欠損が形成された領域はトランジスタの電気特性に影響する。特に、酸素欠損が形成された領域がソース及びドレインの間にあると、当該領域が意図しないキャリアの移動経路、即ち寄生チャネルとなる。酸化物半導体膜の側面に発生した寄生チャネル領域は、酸化物半導体膜の膜内部において意図して形成したチャネル領域と比べてキャリア濃度が高い（抵抗が小さい）ため、寄生チャネル領域におけるしきい値電圧はマイナスシフトした電流電圧特性となる。そのため、側面における寄生チャネルと、膜内部におけるチャネルとが形成されると、並列にトランジスタが形成されたのと同等の電気特性を示してしまう。つまり電流電圧特性において、２つの電流電圧曲線が重複していると思われる電流電圧曲線が計測される。その２つの電流電圧曲線はそれぞれしきい値が異なっている。その結果、全体のトランジスタにおいて、しきい値電圧がマイナスシフトした特性のように見えてしまう。さらに、膜内部におけるチャネルのしきい値電圧より低い電圧がゲート電極に印加される場合において、リーク電流が流れてしまう。

10

【０００９】

そこで、本発明の一態様は、電気特性の優れた酸化物半導体を用いるトランジスタの生産性を高めることを課題の一とする。

【課題を解決するための手段】

【００１０】

本発明の一態様は、酸化物半導体膜上にゲート絶縁膜及びゲート電極を有するトップゲート構造のトランジスタにおいて、酸化物半導体膜上に金属膜を形成し、該金属膜に酸素を導入して金属酸化膜を形成し、該金属酸化膜をゲート絶縁膜として用いることを要旨とする。なお、酸化物半導体膜上に酸化絶縁膜を形成した後、酸化絶縁膜上に金属膜を形成してもよい。

20

【００１１】

また、金属膜に酸素を導入して金属酸化膜を形成すると共に、金属膜と接する酸化物半導体膜または酸化絶縁膜に酸素を導入することができる。

【００１２】

本発明の一態様は、酸化物半導体膜を有するトップゲート構造のトランジスタ上に設けられる保護膜において、トランジスタ上に金属膜を形成し、該金属膜に酸素を導入して金属酸化膜を形成し、該金属酸化膜を保護膜として用いることを要旨とする。なお、トランジスタ上に酸化絶縁膜を形成した後、酸化絶縁膜上に金属膜を形成してもよい。

30

【００１３】

また、金属膜に酸素を導入して金属酸化膜を形成すると共に、金属膜と接する酸化絶縁膜に酸素を導入することができる。

【００１４】

また、本発明の一態様は、酸化絶縁膜上に素子分離された酸化物半導体膜を形成し、酸化物半導体膜上に金属膜を形成した後、金属膜に酸素を導入して、金属酸化膜を形成する。次に、金属酸化膜上にゲート電極を形成し、ゲート電極の側面に接するサイドウォール絶縁膜を形成すると共に、金属酸化膜の一部をエッチングして、酸化物半導体膜の一部を露出させた後、酸化物半導体膜及びサイドウォール絶縁膜に少なくとも接する一対の電極を形成する半導体装置の作製方法である。

40

【００１５】

なお、酸化物半導体膜上に酸化絶縁膜を形成した後、該酸化絶縁膜上に上記金属膜を形成してもよい。

【００１６】

また、本発明の一態様は、第１の酸化絶縁膜上に素子分離された酸化物半導体膜と、酸化物半導体膜上に形成されるゲート電極と、酸化物半導体膜及びゲート電極の間に形成されるゲート絶縁膜と、ゲート電極の側面に接するサイドウォール絶縁膜と、酸化物半導体膜及びサイドウォール絶縁膜に少なくとも接する一対の電極とを形成した後、ゲート電極及び一対の電極上に金属膜を形成し、金属膜に酸素を導入して、金属酸化膜を形成する半

50

導体装置の作製方法である。

【0017】

なお、ゲート電極及び一对の電極上に酸化絶縁膜を形成した後、該酸化絶縁膜上に上記金属膜を形成してもよい。

【0018】

イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等により金属膜に酸素を導入し、金属膜を酸化して、金属酸化膜を形成することができる。なお、酸素の導入処理は、加熱をしながら行ってもよい。金属膜に酸素を導入して金属酸化膜を形成することで、金属酸化膜を成膜するのに比べ、粉状の汚染物質の発生を抑制することが可能であるため、歩留まりを高めることができ、実験はもとより、量産プロセスに適している。

10

【0019】

また、酸化物半導体膜上に金属膜を形成し、当該金属膜に酸素を導入すると共に、酸化物半導体膜に酸素を導入することができる。

【0020】

また、当該金属酸化膜を、酸化物半導体膜を有するトランジスタのゲート絶縁膜として用いる。金属膜に酸素を導入すると共に、酸化物半導体膜に酸素を導入することが可能であるため、酸化物半導体膜の酸素欠損を低減することができる。

【0021】

また、酸化絶縁膜上に金属膜を形成し、当該金属膜に酸素を導入すると共に、酸化絶縁膜または酸化物半導体膜に酸素を導入することができる。

20

【0022】

また、当該酸素が導入された酸化絶縁膜及び金属酸化膜を、酸化物半導体膜を有するトランジスタのゲート絶縁膜として用いる。すなわち、酸化物半導体膜に接する酸化絶縁膜に酸素が導入されている。また、金属酸化膜は、酸素の拡散防止膜として機能する。これらのため、加熱処理により、酸化絶縁膜中の酸素を効率的に酸化物半導体膜に拡散させ、酸化物半導体膜の酸素欠損を低減することができる。

【0023】

また、酸化物半導体膜を有するトップゲート構造のトランジスタ上に酸化絶縁膜を形成し、当該酸化絶縁膜上に金属膜を形成した後、当該金属膜に酸素を導入すると共に、酸化絶縁膜に酸素を導入することができる。すなわち、酸化絶縁膜には酸素が導入されている。また、金属酸化膜は、酸素の拡散防止膜として機能する。これらのため、加熱処理により、酸化絶縁膜中の酸素を効率的に酸化物半導体膜に拡散させ、酸化物半導体膜の酸素欠損を低減することができる。また、金属酸化膜は、水素、水等の侵入防止膜としても機能するため、外部からトランジスタの酸化物半導体膜に水素、水等が侵入することを抑制することができる。このため、トランジスタのリーク電流を低減することができる。

30

【0024】

特に、酸化物半導体膜の側面における酸素欠損を当該酸素の拡散により補償することで、寄生チャネルの発生を抑制することが可能である。この結果、ゲート電極と重畳する酸化物半導体膜の側面を介して発生するソース電極及びドレイン電極の間のリーク電流を低減することができる。

40

【発明の効果】

【0025】

本発明の一態様によって、リーク電流が低減された、電気特性の優れたトランジスタを生産性高く作製することができる。

【図面の簡単な説明】

【0026】

【図1】本発明の一態様に係る半導体装置を説明する上面図及び断面図である。

【図2】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図3】本発明の一態様に係る半導体装置を説明する断面図である。

50

【図４】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図５】本発明の一態様に係る半導体装置を説明する断面図である。

【図６】本発明の一態様に係る半導体装置を説明する断面図である。

【図７】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図８】本発明の一態様に係る半導体装置を説明する断面図である。

【図９】本発明の一態様に係る半導体装置を説明する断面図である。

【図１０】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図１１】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図１２】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図１３】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図１４】本発明の一態様に係る半導体装置の作製方法を説明する断面図である。

【図１５】半導体装置の一形態を示す断面図、上面図及び回路図である。

【図１６】半導体装置の一形態を示す回路図及び斜視図である。

【図１７】半導体装置の一形態を示す断面図及び上面図である。

【図１８】半導体装置の一形態を示す回路図である。

【図１９】半導体装置の一形態を示すブロック図である。

【図２０】半導体装置の一形態を示すブロック図である。

【図２１】半導体装置の一形態を示すブロック図である。

【発明を実施するための形態】

【００２７】

本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分または同様な機能を有する部分には、同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【００２８】

なお、本明細書で説明する各図において、各構成の大きさ、膜の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【００２９】

また、本明細書にて用いる第１、第２、第３などの用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第１の」を「第２の」または「第３の」などと適宜置き換えて説明することができる。

【００３０】

（実施の形態１）

本実施の形態では、電気特性の優れたトランジスタの構造、及びそれを生産性高く作製する方法について、図１乃至図５を用いて説明する。

【００３１】

図１は、本実施の形態に示すトランジスタの上面図及び断面図である。図１（Ａ）は、本実施の形態に示すトランジスタの上面図であり、図１（Ｂ）は、図１（Ａ）の一点鎖線Ａ－Ｂに対応する、トランジスタのチャネル幅方向の断面図であり、図１（Ｃ）は図１（Ａ）の一点鎖線Ｃ－Ｄに対応する、トランジスタのチャネル長方向の断面図である。なお、図１（Ａ）では、明瞭化のため、トランジスタの構成要素の一部（例えば、ゲート絶縁膜１２３、サイドウォール絶縁膜１２１、絶縁膜１１６、絶縁膜１２７等）を省略している。

【００３２】

図１（Ａ）乃至（Ｃ）に示すトランジスタは、基板１０１上に設けられる酸化絶縁膜１０３と、酸化絶縁膜１０３上に設けられる酸化物半導体膜１１９と、酸化物半導体膜１１９に接する、ソース電極及びドレイン電極として機能する一対の電極１２５と、酸化物半

10

20

30

40

50

導体膜 119 の少なくとも一部と接するゲート絶縁膜 123 と、ゲート絶縁膜 123 上であって、且つ酸化物半導体膜 119 と重畳するゲート電極 115 とを有する。

【0033】

また、ゲート電極 115 の側面に接するサイドウォール絶縁膜 121 を有する。また、酸化物半導体膜 119 は、ゲート電極 115 と重畳する第 1 の領域 119 a と、第 1 の領域 119 a を挟むドーパントを含む一対の第 2 の領域 119 b とを有する。第 2 の領域 119 b はチャネル領域より低抵抗領域である。なお、酸化物半導体膜 119 において、第 1 の領域 119 a はチャネル領域として機能し、ドーパントを含む一対の第 2 の領域 119 b において、一対の電極 125 と接する領域はソース領域及びドレイン領域として機能する。また、酸化絶縁膜 103、ゲート電極 115、サイドウォール絶縁膜 121、及び一対の電極 125 上に絶縁膜 127 を有してもよい。また、ゲート電極 115 及び絶縁膜 127 の間に絶縁膜 116 を設けることが好ましい。

10

【0034】

図 1 に示すトランジスタにおいて、ゲート絶縁膜 123 が、酸化物半導体膜 119 に接する酸化絶縁膜 123 a と、ゲート電極 115 に接する金属酸化膜 123 b の積層構造であり、金属酸化膜 123 b として、金属膜に酸素を導入して形成された金属酸化膜を用いていることを特徴とする。

【0035】

基板 101 の材質などに大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 101 として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウム等の化合物半導体基板、SOI 基板等を適用することも可能であり、これらの基板上に半導体素子が設けられたものを、基板 101 として用いてもよい。

20

【0036】

また、基板 101 として、可撓性基板を用い、可撓性基板上に直接、酸化絶縁膜 103 及びトランジスタを形成してもよい。または、基板 101 と酸化絶縁膜 103 の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板 101 より分離し、他の基板に転載するのに用いることができる。その際、半導体装置は耐熱性の劣る基板や可撓性の基板にも転載できる。

30

【0037】

酸化絶縁膜 103 は、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成することが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜としては、化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いることが好ましい。加熱により酸素の一部が脱離する酸化絶縁膜は、加熱により酸化物半導体膜に酸素を拡散させることができる。酸化絶縁膜 103 の代表例としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。

【0038】

酸化絶縁膜 103 は、50 nm 以上、好ましくは 200 nm 以上 3000 nm 以下、好ましくは 300 nm 以上 500 nm 以下とする。酸化絶縁膜 103 を厚くすることで、酸化絶縁膜 103 の酸素脱離量を増加させることができると共に、酸化絶縁膜 103 及び後に形成される酸化物半導体膜との界面における界面準位を低減することが可能である。

40

【0039】

ここで、「加熱により酸素の一部が脱離する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0040】

ここで、TDS 分析にて、酸素原子に換算しての酸素の脱離量の測定方法について、以

50

下に説明する。

【 0 0 4 1 】

TDS分析したときの気体の脱離量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料の基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【 0 0 4 2 】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の脱離量 (N_{O_2}) は、数式1で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

【 0 0 4 3 】

$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \quad (\text{数式1})$$

【 0 0 4 4 】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 N_{H_2} / S_{H_2} とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。 \times は、TDS分析におけるスペクトル強度に影響する係数である。数式1の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の脱離量は、電子科学株式会社製の昇温脱離分析装置 EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^2$ の水素原子を含むシリコンウェハを用いて測定する。

【 0 0 4 5 】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述の \times は酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の脱離量についても見積もることができる。

【 0 0 4 6 】

なお、 N_{O_2} は酸素分子の脱離量である。絶縁膜においては、酸素原子に換算したときの酸素の放出量は、酸素分子の脱離量の2倍となる。

【 0 0 4 7 】

上記構成において、加熱により酸素放出される絶縁膜は、酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) であってもよい。酸素が過剰な酸化シリコン (SiO_x ($x > 2$)) とは、シリコン原子数の2倍より多い酸素原子を単位体積当たりを含むものである。単位体積当たりのシリコン原子数及び酸素原子数は、ラザフォード後方散乱法により測定した値である。

【 0 0 4 8 】

酸化絶縁膜103から酸化物半導体膜119に酸素が供給されることで、酸化絶縁膜103及び酸化物半導体膜119の界面準位を低減できる。この結果、トランジスタの動作などに起因して生じる電荷などが、上述の酸化絶縁膜103及び酸化物半導体膜119の界面に捕獲されることを抑制することができ、しきい値電圧のマイナスシフトが低減され、電気特性の劣化の少ないトランジスタを得ることができる。

【 0 0 4 9 】

さらに、酸化物半導体膜119の酸素欠損に起因して電荷が生じる場合がある。一般に、酸化物半導体膜の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。この傾向はバックチャネル側で生じる酸素欠損において顕著である。なお、本明細書におけるバックチャ

10

20

30

40

50

ネルとは、図 1 (B) に示す酸化物半導体膜 1 1 9 の第 1 の領域 1 1 9 a において酸化絶縁膜 1 0 3 との界面近傍を指す。酸化絶縁膜 1 0 3 から酸化物半導体膜 1 1 9 に酸素が十分に供給されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体膜 1 1 9 の酸素欠損を補償することができる。

【 0 0 5 0 】

即ち、酸化物半導体膜 1 1 9 に酸素欠損が生じると、酸化絶縁膜 1 0 3 と酸化物半導体膜 1 1 9 との界面において電荷が捕獲され、当該電荷がトランジスタの電気特性に影響してしまうところ、酸化絶縁膜 1 0 3 に、加熱により酸素脱離される絶縁膜を設けることで、酸化物半導体膜 1 1 9 及び酸化絶縁膜 1 0 3 の界面準位、ならびに酸化物半導体膜 1 1 9 の酸素欠損を低減し、酸化物半導体膜 1 1 9 及び酸化絶縁膜 1 0 3 の界面における電荷捕獲の影響を小さくすることができる。

10

【 0 0 5 1 】

酸化物半導体膜 1 1 9 としては、少なくともインジウム (I n) 若しくは亜鉛 (Z n) を含むことが好ましい。または、I n と Z n の双方を含むことが好ましい。また、該酸化物半導体膜を用いたトランジスタの電気特性のばらつきを減らすため、それらと共に、スタビライザーの一または複数を有することが好ましい。

【 0 0 5 2 】

スタビライザーとしては、ガリウム (G a) 、スズ (S n) 、ハフニウム (H f) 、アルミニウム (A l) 、またはジルコニウム (Z r) 等がある。

【 0 0 5 3 】

また、他のスタビライザーとしては、ランタノイドである、ランタン (L a) 、セリウム (C e) 、プラセオジウム (P r) 、ネオジウム (N d) 、サマリウム (S m) 、ユウロピウム (E u) 、ガドリニウム (G d) 、テルビウム (T b) 、ジスプロシウム (D y) 、ホルミウム (H o) 、エルビウム (E r) 、ツリウム (T m) 、イッテルビウム (Y b) 、ルテチウム (L u) 等がある。

20

【 0 0 5 4 】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属酸化物である I n - Z n 系酸化物、S n - Z n 系酸化物、A l - Z n 系酸化物、Z n - M g 系酸化物、S n - M g 系酸化物、I n - M g 系酸化物、I n - G a 系酸化物、三元系金属酸化物である I n - G a - Z n 系酸化物 (I G Z O と表記する) 、I n - A l - Z n 系酸化物、I n - S n - Z n 系酸化物、S n - G a - Z n 系酸化物、A l - G a - Z n 系酸化物、S n - A l - Z n 系酸化物、I n - H f - Z n 系酸化物、I n - L a - Z n 系酸化物、I n - C e - Z n 系酸化物、I n - P r - Z n 系酸化物、I n - N d - Z n 系酸化物、I n - S m - Z n 系酸化物、I n - E u - Z n 系酸化物、I n - G d - Z n 系酸化物、I n - T b - Z n 系酸化物、I n - D y - Z n 系酸化物、I n - H o - Z n 系酸化物、I n - E r - Z n 系酸化物、I n - T m - Z n 系酸化物、I n - Y b - Z n 系酸化物、I n - L u - Z n 系酸化物、四元系金属酸化物である I n - S n - G a - Z n 系酸化物、I n - H f - G a - Z n 系酸化物、I n - A l - G a - Z n 系酸化物、I n - S n - A l - Z n 系酸化物、I n - S n - H f - Z n 系酸化物、I n - H f - A l - Z n 系酸化物を用いることができる。

30

40

【 0 0 5 5 】

なお、ここで、例えば、I n - G a - Z n 系酸化物とは、I n と G a と Z n を主成分として有する酸化物という意味であり、I n と G a と Z n の比率は問わない。また、I n と G a と Z n 以外の金属元素が入っていてもよい。

【 0 0 5 6 】

また、酸化物半導体として、 $I n M O_3 (Z n O)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、G a 、F e 、M n 及び C o から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $I n_2 S n O_5 (Z n O)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【 0 0 5 7 】

50

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)、あるいは $\text{In} : \text{Ga} : \text{Zn} = 3 : 1 : 2$ ($= 1/2 : 1/6 : 1/3$)の原子数比の $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$)あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$)の原子数比の $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いるとよい。

【0058】

しかし、これらに限られず、必要とする半導体特性（移動度、しきい値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとするのが好ましい。

10

【0059】

例えば、 $\text{In} - \text{Sn} - \text{Zn}$ 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $\text{In} - \text{Ga} - \text{Zn}$ 系酸化物でも、バルク内欠陥密度を低くすることにより移動度を上げることができる。

【0060】

また、酸化物半導体膜119に形成することが可能な金属酸化物は、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上である。このように、エネルギーギャップの広い酸化物半導体を用いることで、トランジスタのオフ電流を低減することができる。

20

【0061】

また、酸化物半導体膜119は、非晶質構造、単結晶構造、または多結晶構造であってもよい。

【0062】

また、酸化物半導体膜119として、結晶部分を有するCAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜を用いてもよい。

【0063】

CAAC-OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC-OS膜は、非晶質相に結晶部及び非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100 nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 (TEM: Transmission Electron Microscope) による観察像では、CAAC-OS膜に含まれる非晶質部と結晶部との境界は明確ではない。また、TEMによってCAAC-OS膜には粒界 (グレインバウンダリー) ともいう。) は確認できない。そのため、CAAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

30

【0064】

CAAC-OS膜に含まれる結晶部は、c軸がCAAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつab面に垂直な方向から見て三角形または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸及びb軸の向きが異なってもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。なお、酸化物半導体膜を構成する酸素の一部は窒素で置換されてもよい。

40

【0065】

なお、CAAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、C

50

AAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0066】

C AAC-OS膜に含まれる結晶部のc軸は、C AAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、C AAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、C AAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0067】

C AAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0068】

また、酸化物半導体膜119は、複数の酸化物半導体膜が積層された構造でもよい。例えば、酸化物半導体膜119を、第1の酸化物半導体膜と第2の酸化物半導体膜の積層として、第1の酸化物半導体膜と第2の酸化物半導体膜に、異なる組成の金属酸化物を用いてもよい。例えば、第1の酸化物半導体膜に二元系金属酸化物乃至四元系金属酸化物の一を用い、第2の酸化物半導体膜に第1の酸化物半導体膜と異なる二元系金属酸化物乃至四元系金属酸化物を用いてもよい。

【0069】

また、第1の酸化物半導体膜と第2の酸化物半導体膜の構成元素を同一とし、両者の組成を異ならせてもよい。例えば、第1の酸化物半導体膜の原子数比を $In:Ga:Zn=1:1:1$ とし、第2の酸化物半導体膜の原子数比を $In:Ga:Zn=3:1:2$ としてもよい。また、第1の酸化物半導体膜の原子数比を $In:Ga:Zn=1:3:2$ とし、第2の酸化物半導体膜の原子数比を $In:Ga:Zn=2:1:3$ としてもよい。

【0070】

この時、第1の酸化物半導体膜と第2の酸化物半導体膜のうち、ゲート電極に近い側（チャネル側）の酸化物半導体膜の In と Ga の含有率を $In>Ga$ とするとよい。またゲート電極から遠い側（バックチャネル側）の酸化物半導体膜の In と Ga の含有率を $In<Ga$ とするとよい。

【0071】

酸化物半導体では主として重金属のs軌道がキャリア伝導に寄与しており、 In の含有率を多くすることによりs軌道のオーバーラップが多くなる傾向があるため、 $In>Ga$ の組成となる酸化物は $In<Ga$ の組成となる酸化物と比較して高い移動度を備える。また、 Ga は In と比較して酸素欠損の形成エネルギーが大きく酸素欠損が生じにくいいため、 $In<Ga$ の組成となる酸化物は $In>Ga$ の組成となる酸化物と比較して安定した特性を備える。

【0072】

チャネル側に $In>Ga$ の組成となる酸化物半導体を適用し、バックチャネル側に $In<Ga$ の組成となる酸化物半導体を適用することで、トランジスタの移動度および信頼性をさらに高めることが可能となる。

【0073】

また、第1の酸化物半導体膜と第2の酸化物半導体膜に、結晶性の異なる酸化物半導体を適用してもよい。すなわち、単結晶酸化物半導体、多結晶酸化物半導体、非晶質酸化物半導体、またはC AAC-OSを適宜組み合わせた構成としてもよい。また、第1の酸化物半導体膜と第2の酸化物半導体膜の少なくともどちらか一方に非晶質酸化物半導体を適用すると、酸化物半導体膜119の内部応力や外部からの応力を緩和し、トランジスタの特性ばらつきが低減され、また、トランジスタの信頼性をさらに高めることが可能となる。

【0074】

10

20

30

40

50

一方で、非晶質酸化物半導体は水素、水等のドナーとなる不純物を吸収しやすく、また、水素により酸素欠損が生じやすいためn型化（低抵抗化）されやすい。このため、チャネル側の酸化物半導体膜は、C A A C - O Sなどの結晶性を有する酸化物半導体を適用することが好ましい。

【0075】

酸化物半導体膜119の厚さは、1nm以上50nm以下、更に好ましくは1nm以上30nm以下、更に好ましくは1nm以上10nm以下、更に好ましくは3nm以上7nm以下とすることが好ましい。酸化物半導体膜119の厚さを上記厚さとすることで、トランジスタのチャネル長が短いときのしきい値電圧のマイナスシフトを抑制することができる。

10

【0076】

酸化物半導体膜119において、アルカリ金属またはアルカリ土類金属の濃度は、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下であることが望ましい。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流の上昇の原因となるためである。

【0077】

酸化物半導体膜119の第1の領域119aには、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下の窒素が含まれてもよい。

【0078】

20

酸化物半導体膜119の第1の領域119aは、水素濃度を $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸化物半導体及び水素の結合により、水素の一部がドナーとなり、キャリアである電子が生じてしまう。これらのため、酸化物半導体膜119の第1の領域119a中の水素濃度を低減することで、しきい値電圧のマイナスシフトを低減することができる。

【0079】

ドーパントを含む一対の第2の領域119bは、ドーパントとして、ホウ素、窒素、リン、及びヒ素の少なくとも一以上が含まれる。または、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上が含まれる。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とが適宜組み合わせられて含まれていてもよい。

30

【0080】

ドーパントを含む一対の第2の領域119bに含まれるドーパントの濃度は、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $1 \times 10^{22} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以上 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満とする。

【0081】

ドーパントを含む一対の第2の領域119bはドーパントを含むため、キャリア密度または欠陥を増加させることができる。このため、ドーパントを含まない第1の領域119aと比較して導電性を高めることができる。なお、ドーパント濃度を増加させすぎると、ドーパントがキャリアの移動を阻害することになり、ドーパントを含む一対の第2の領域119bの導電性を低下させることになる。

40

【0082】

ドーパントを含む一対の第2の領域119bは、導電率が 0.1 S/cm 以上 1000 S/cm 以下、好ましくは 10 S/cm 以上 1000 S/cm 以下とすることが好ましい。第2の領域119bを設けることで、ソース・ドレイン耐圧を高めることが可能である。

【0083】

酸化物半導体膜119において、第1の領域119a及び第2の領域119bが同じ結

50

晶構造を有していてもよい。例えば、第1の領域119a及び第2の領域119bが、単結晶構造、多結晶構造、または非晶質構造であってもよい。または、第1の領域119a及び第2の領域119bがCAAC-OS膜で形成されていてもよい。

【0084】

または、酸化物半導体膜119において、第1の領域119a及び第2の領域119bが異なる結晶構造を有していてもよい。例えば、第1の領域119aが、単結晶構造または多結晶構造で、第2の領域119bが非晶質構造であってもよい。または、第1の領域119aが、CAAC-OS膜で、第2の領域119bが非晶質構造であってもよい。非晶質構造の酸化物半導体には水素が拡散されやすいので、第1の領域119aの水素を第2の領域119bに拡散させ、チャネル領域となる第1の領域119aの水素濃度を低減しつつ、第2の領域119bをn型化（低抵抗化）することができる。

10

【0085】

図1(A)及び図1(C)に示すように、一对の電極125は、酸化物半導体膜119の露出部及び側面、特にチャネル長方向と平行な側面、及びチャネル幅方向と平行な側面、それぞれを覆う場合、酸化物半導体膜119との接触面積を広くすることができる。このため、酸化物半導体膜119と、一对の電極125との接触抵抗を低減でき、またチャネル幅を広げることが可能であり、トランジスタのオン電流を高めることができる。

【0086】

ゲート絶縁膜123は、酸化物半導体膜119に接する酸化絶縁膜123aと、ゲート電極115に接する金属酸化膜123bの積層構造であり、金属酸化膜123bとして、金属膜に酸素を導入して形成された金属酸化膜を用いている。

20

【0087】

酸化絶縁膜123aは、酸化シリコン、酸化窒化シリコン、Ga-Zn系金属酸化物膜等を用いればよく、積層または単層で設ける。

【0088】

なお、酸化絶縁膜123aとして、酸化絶縁膜103に示すような、加熱により酸素が脱離する酸化絶縁膜を用いてもよい。ゲート絶縁膜123に加熱により酸素が脱離する膜を用いることで、後の加熱処理により酸化物半導体膜119に生じる酸素欠損を補償することができ、トランジスタの電気特性の劣化を抑制できる。

【0089】

30

金属酸化膜123bは、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の単層または積層を用いればよい。

【0090】

なお、上記金属酸化膜は、酸素、水素、水等のブロッキング効果を有するため、後の加熱処理において、酸化絶縁膜103、酸化物半導体膜119、及び酸化絶縁膜123aに含まれる酸素が外部に拡散することを抑制することができる。

【0091】

また、金属酸化膜123bとして、酸化ハフニウム、酸化窒化ハフニウム、酸化イットリウム、酸化窒化イットリウム等のhigh-k材料を用いることで、トランジスタのゲートリークを低減できる。

40

【0092】

ゲート絶縁膜123の厚さは、5nm以上300nm以下、より好ましくは10nm以上50nm以下、より好ましくは10nm以上30nm以下とするとよい。

【0093】

ゲート電極115は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか—または複数から選択された金属元素を用いてもよい。また、ゲート電極115は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含

50

むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の膜、または複数組み合わせた合金膜、もしくは窒化膜を用いてもよい。

【0094】

また、ゲート電極115は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

【0095】

また、ゲート電極115とゲート絶縁膜123との間に、窒素を含むIn-Ga-Zn-O膜、窒素を含むIn-Sn-O膜、窒素を含むIn-Ga-O膜、窒素を含むIn-Zn-O膜、窒素を含むSn-O膜、窒素を含むIn-O膜、金属窒化膜(InN、ZnN等)等を設けることが好ましい。これらの膜は5eV以上、好ましくは5.5eV以上の仕事関数を有し、トランジスタの電気特性のしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。例えば、窒素を含むIn-Ga-Zn-O膜を用いる場合、少なくとも酸化物半導体膜119より高い窒素濃度、具体的には7原子%以上の窒素を含むIn-Ga-Zn-O膜を用いる。

【0096】

絶縁膜116は、ゲート電極115及び一对の電極125の接触を防ぐために、ゲート電極115上に設けることが好ましい。絶縁膜116は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜121よりもエッチング速度の遅い絶縁膜を選択することで、後のサイドウォール絶縁膜121を形成する際に、ゲート電極115の膜減りを低減するためのエッチング保護膜として機能させることができる。

【0097】

サイドウォール絶縁膜121は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。なお、サイドウォール絶縁膜121として、酸化絶縁膜103と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。

【0098】

一对の電極125は導電材料として、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、タングステン膜上にチタン膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。なお、一对の電極125は配線としても機能させてもよい。

【0099】

トランジスタの一对の電極 1 2 5 の端部が、サイドウォール絶縁膜 1 2 1 上に位置し、更に酸化物半導体膜 1 1 9 において、一对の電極 1 2 5 が、ドーパントを含む一对の第 2 の領域 1 1 9 b の露出部を全て覆っている。このため、チャンネル長方向におけるソース・ドレイン間の距離（より正確には、ソース電極及びドレイン電極と接する酸化物半導体の間の距離）を、サイドウォール絶縁膜 1 2 1 の長さで制御することができる。つまりマスクを用いてパターンを形成するのが困難な微細なデバイスにおいて、酸化物半導体膜 1 1 9 と接する一对の電極 1 2 5 のチャンネル側の端部を、マスクを用いずに形成することができる。また、マスクを使用しないため、複数のトランジスタにおける加工ばらつきを低減することができる。

【 0 1 0 0 】

10

絶縁膜 1 2 7 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。なお、絶縁膜 1 2 7 を積層構造とし、一对の電極と接する側の絶縁膜として、酸化絶縁膜 1 0 3 と同様に、加熱により酸素の一部が脱離する酸化絶縁膜を用いて形成してもよい。また、一对の電極と接する側の絶縁膜として、酸化アルミニウム、酸化窒化アルミニウム等の外部への酸素の拡散を防ぐ絶縁膜を用いることで、一对の電極と接する側の絶縁膜から脱離する酸素を酸化物半導体膜に供給することができる。また、絶縁膜 1 2 7 として、外部からの水素、水等の侵入を防ぐ酸化絶縁膜を用いることで、外部から酸化物半導体膜への水素、水等の侵入を低減することが可能であり、酸化物半導体膜の欠損を低減することができる。外部からの水素、水等の侵入を防ぐ酸化絶縁膜の代表例としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム、酸化アルミニウム、酸化窒化アルミニウム等がある。

20

【 0 1 0 1 】

なお、本実施の形態においては、一对の電極 1 2 5 の対向している側面の上面形状が直線状のトランジスタを用いて説明したが、一对の電極 1 2 5 の対向している側面の上面形状を適宜、U 字状、C 字状等としてもよい。このような構造のトランジスタは、チャンネル幅を大きくすることが可能であり、オン電流を高くすることができる。

【 0 1 0 2 】

次に、図 1 に示すトランジスタの作製方法について、図 2 及び図 4 を用いて説明する。なお、各図において、(A)、(C)、(E)、(G) は図 1 (B) に示す A - B 断面図（トランジスタのチャンネル幅方向）の作製工程を説明し、(B)、(D)、(F)、(H) は図 1 (C) に示す C - D 断面図（トランジスタのチャンネル長方向）の作製工程を説明する。

30

【 0 1 0 3 】

図 2 (A)、図 2 (B) に示すように、基板 1 0 1 上に酸化絶縁膜 1 0 3 を形成する。

【 0 1 0 4 】

なお、酸化絶縁膜 1 0 3 を形成する前に、加熱処理またはプラズマ処理により、基板に含まれる水素または水を脱離させることが好ましい。この結果、後の加熱処理において、酸化絶縁膜及び酸化物半導体膜中に水素または水が拡散することを防ぐことができる。なお、加熱処理は、不活性雰囲気、減圧雰囲気または乾燥空気雰囲気にて、1 0 0 以上基板の歪み点未満の温度で行う。また、プラズマ処理は、希ガス、酸素、窒素または酸化窒素（亜酸化窒素、一酸化窒素、二酸化窒素等）を用いる。

40

【 0 1 0 5 】

酸化絶縁膜 1 0 3 は、スパッタリング法、C V D 法等により形成する。

【 0 1 0 6 】

加熱により酸素の一部が脱離する酸化絶縁膜をスパッタリング法により形成する場合は、成膜ガス中の酸素量が高いことが好ましく、酸素、または酸素及び希ガスの混合ガス等を用いることができる。代表的には、成膜ガス中の酸素濃度を 6 % 以上 1 0 0 % 以下にすることが好ましい。

【 0 1 0 7 】

50

加熱により酸素の一部が脱離する酸化絶縁膜の代表例として酸化シリコン膜を形成する場合、石英（好ましくは合成石英）をターゲットに用い、基板温度30 以上450 以下（好ましくは70 以上200 以下）、基板とターゲットの間の距離（T-S間距離）を20mm以上400mm以下（好ましくは40mm以上200mm以下）、圧力を0.1Pa以上4Pa以下（好ましくは0.2Pa以上1.2Pa以下）、高周波電源を0.5kW以上12kW以下（好ましくは1kW以上5kW以下）、成膜ガス中の $O_2/(O_2 + Ar)$ 割合を1%以上100%以下（好ましくは6%以上100%以下）として、RFスパッタリング法により酸化シリコン膜を形成することが好ましい。なお、石英（好ましくは合成石英）ターゲットに代えてシリコンターゲットを用いることもできる。なお、成膜ガスとしては、酸素のみを用いてもよい。

10

【0108】

また、酸化絶縁膜103としてCVD法で酸化絶縁膜を形成する場合、原料ガス由来の水素または水が酸化絶縁膜中に混入される場合がある。このため、CVD法で酸化絶縁膜を形成した後、脱水素化または脱水化として、加熱処理を行うことが好ましい。

【0109】

該加熱処理の温度は、酸化絶縁膜から水素または水を放出させる温度が好ましく、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0110】

また、該加熱処理は、電気炉、RTA（Rapid Thermal Annealing）装置等を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化絶縁膜からの水素または水の放出の時間を短縮することができる。

20

【0111】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよいが、上記窒素、酸素、超乾燥空気、または希ガス等の雰囲気に水素、水等が含まれないことが好ましい。また、加熱処理装置に導入する窒素、酸素、または希ガスの純度を、6N（99.9999%）以上好ましくは7N（99.99999%）以上（即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。なお、加熱処理は真空雰囲気で行ってもよい。

30

【0112】

熱処理によって、酸化絶縁膜の脱水素化または脱水化を行うことができ、酸化物半導体膜への水素または水の拡散を抑制することができる。

【0113】

さらに、CVD法で形成した酸化絶縁膜に、酸素を導入することで、加熱により脱離する酸素量を増加させることができる。酸化絶縁膜に酸素を導入する方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等がある。

【0114】

また、脱水化または脱水素化のための熱処理は、複数回行ってもよく、他の熱処理と兼ねてもよい。

40

【0115】

なお、酸化絶縁膜103が平坦であると、後に形成する酸化物半導体膜の断切れ防止が可能であるため好ましい。

【0116】

次に、酸化絶縁膜103上に酸化物半導体膜105を形成する。

【0117】

酸化物半導体膜105は、スパッタリング法、塗布法、パルスレーザー蒸着法、レーザーアブレーション法等により酸化絶縁膜103上に酸化物半導体膜を形成し、該酸化物半

50

導体膜上にマスクを形成した後、該マスクを用いて酸化物半導体膜の一部をエッチングすることで、素子分離された酸化物半導体膜 105 を形成することができる。また、酸化物半導体膜 105 の作製方法として印刷法を用いることで、素子分離された酸化物半導体膜 105 を直接的に形成することができる。

【0118】

ここでは、酸化物半導体膜 105 は、スパッタリング法により、1 nm 以上 50 nm 以下、更に好ましくは 3 nm 以上 30 nm 以下の厚さで酸化物半導体膜を形成した後、当該酸化物半導体膜上にマスクを形成し、酸化物半導体膜の一部を選択的にエッチングすることで形成する。

【0119】

なお、酸化物半導体膜を形成する際に、例えば、スパッタリング法を用いる場合、基板温度を 150 以上 750 以下、好ましくは 150 以上 450 以下、さらに好ましくは 200 以上 350 以下として、酸化物半導体膜を成膜することで、酸化物半導体膜中への水素または水等の混入を低減しつつ、CAAC-OS 膜を形成することができる。

【0120】

また、CAAC-OS 膜に含まれる結晶部の配向を高めるためには、酸化物半導体膜の下地絶縁膜である、酸化絶縁膜 103 の表面の平坦性を良好にすることが好ましい。代表的には、酸化絶縁膜 103 の平均面粗さ (Ra) を、0.1 nm 以上 0.5 nm 未満とすることが好ましい。なお、本明細書等において、平均面粗さ (Ra) とは、JIS B 0601:2001 (ISO 4287:1997) で定義されている中心線平均粗さ (Ra) を曲面に対して適用できるように三次元に拡張したものであり、基準面から指定面までの偏差の絶対値を平均した値で表現できる。また、平坦化処理としては、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) 処理、ドライエッチング処理、真空のチャンバーに不活性ガス、例えばアルゴンガスを導入し、被処理面を陰極とする電界をかけて、表面の微細な凹凸を平坦化するプラズマ処理 (いわゆる逆スパッタ) 等の一または複数を適用することができる。

【0121】

ここで、酸化物半導体膜を成膜するスパッタリング装置について、以下に詳細を説明する。

【0122】

酸化物半導体膜を成膜する処理室は、リークレートを $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3 / \text{秒}$ 以下とすることが好ましく、それによりスパッタリング法により成膜する際、膜中への不純物の混入を低減することができる。

【0123】

また、スパッタリング装置の処理室の排気は、ドライポンプ等の粗引きポンプと、スパッタイオンポンプ、ターボ分子ポンプ及びクライオポンプ等の高真空ポンプとを適宜組み合わせで行うとよい。ターボ分子ポンプは大きいサイズの分子の排気が優れる一方、水素及び水の排気能力が低い。さらに、水素の排気能力の高いスパッタイオンポンプまたは水の排気能力の高いクライオポンプを組み合わせることが有効となる。

【0124】

処理室の内側に存在する吸着物は、内壁に吸着しているために処理室の圧力に影響しないが、処理室を排気した際のガス放出の原因となる。そのため、リークレートと排気速度に相関はないが、排気能力の高いポンプを用いて、処理室に存在する吸着物をできる限り脱離し、予め排気しておくことが重要である。なお、吸着物の脱離を促すために、処理室をベーキングしてもよい。ベーキングすることで吸着物の脱離速度を 10 倍程度大きくすることができる。ベーキングは 100 以上 450 以下で行えばよい。このとき、不活性ガスを導入しながら吸着物の除去を行うと、排気するだけでは脱離しにくい水などの脱離速度をさらに大きくすることができる。

【0125】

このように、酸化物半導体膜の成膜工程において、更に好ましくは酸化絶縁膜の成膜工程において、処理室の圧力、処理室のリークレートなどにおいて、不純物の混入を極力抑えることによって、酸化物半導体膜に含まれる水素を含む不純物の混入を低減することができる。また、酸化絶縁膜から酸化物半導体膜への水素、水等の不純物の拡散を低減することができる。

【0126】

酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水となると共に、酸素が脱離した格子（あるいは酸素が脱理した部分）には欠損が形成されてしまう。このため、酸化物半導体膜の成膜工程において、水素を含む不純物を極めて減らすことにより、酸化物半導体膜の欠損を低減することが可能である。このため、不純物をできるだけ除去し、高純度化させた酸化物半導体膜をチャネル領域とすることにより、トランジスタの信頼性を高めることができる。

10

【0127】

スパッタリング法において、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0128】

なお、スパッタリングガスは、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、希ガス及び酸素の混合ガスを適宜用いる。なお、希ガス及び酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。また、スパッタリングガスには、水素を含む不純物が除去された高純度ガスを用いることが好ましい。

20

【0129】

なお、酸化物半導体膜をスパッタリング装置で成膜する前に、スパッタリング装置にダミー基板を搬入し、ダミー基板上に酸化物半導体膜を成膜して、ターゲット表面、または防着板に付着した水素、水等を取り除く工程を行ってもよい。

【0130】

また、酸化絶縁膜103及び酸化物半導体膜は大気に触れず連続的に成膜することで、界面に大気中の水素、水等の不純物の混入を抑制することができるため、好ましい。例えば、マルチチャンバー型のスパッタリング装置において、第1の処理室で酸化絶縁膜103を形成する。次に、予備加熱室で酸化絶縁膜103が形成された基板101を加熱し、基板101及び酸化絶縁膜103に含まれる水素、水等の不純物を脱離させる。なお、このときの加熱温度は、酸化絶縁膜103から酸素が脱離しない温度範囲内とすることが好ましい。次に、第2の処理室で酸化物半導体膜を形成することで、大気に触れず連続的に酸化絶縁膜及び酸化物半導体膜を成膜することができる。

30

【0131】

ここでは、基板としてガラス基板を用いる。まず、マルチチャンバー型のスパッタリング装置の予備加熱室において基板を加熱して、基板に含まれる水分等を脱離させる。次に、大気暴露せずに第1の処理室において、酸化絶縁膜103として厚さ300nmの酸化シリコン膜を形成する。次に、第2の処理室において、厚さ20nmの酸化物半導体膜（In-Ga-Zn系酸化物）を形成する。次に、酸化物半導体膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて酸化物半導体膜をドライエッチングして、酸化物半導体膜105を形成する。

40

【0132】

次に、基板101に加熱処理を行うことが好ましい。当該加熱処理により、酸化物半導体膜105の脱水素化または脱水化をすることができる。

【0133】

また、酸化絶縁膜103に含まれる酸素の一部を、酸化物半導体膜105と、酸化絶縁膜103及び酸化物半導体膜105の界面近傍に拡散させることができる。

【0134】

加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

50

【 0 1 3 5 】

加熱処理は、電気炉、ＲＴＡ装置等を用いることができる。ＲＴＡを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化物半導体膜からの水素または水の放出、及び酸化絶縁膜１０３から酸化物半導体膜１０５への酸素拡散の時間を短縮することができる。

【 0 1 3 6 】

加熱処理は、ヘリウム、ネオン、アルゴン、キセノン、クリプトン等の希ガス、または窒素を含む不活性ガス雰囲気で行う。または、不活性ガス雰囲気加熱した後、酸素雰囲気加熱してもよい。なお、上記不活性雰囲気及び酸素雰囲気に水素、水などが含まれないことが好ましい。処理時間は３分～２４時間とする。

10

【 0 1 3 7 】

なお、酸化絶縁膜１０３上に酸化物半導体膜を形成し、上記脱水素化または脱水化のための加熱処理を行った後、該酸化物半導体膜の一部をエッチングして、素子分離した酸化物半導体膜１０５を形成してもよい。このような工程を経ることで、脱水素化または脱水化のための加熱処理において、酸化絶縁膜１０３が全て酸化物半導体膜で覆われているため、酸化絶縁膜１０３に含まれる酸素を酸化物半導体膜に効率よく拡散させることができる。

【 0 1 3 8 】

また、上記脱水素化または脱水化のための加熱処理を、後に形成する酸化絶縁膜１０７を形成した後に行ってもよい。この結果、加熱処理工程数を削減しつつ、酸化物半導体膜１０５及び酸化絶縁膜１０７から水または水素を脱離させることができる。

20

【 0 1 3 9 】

また、脱水化または脱水素化のための加熱処理は、複数回行ってもよく、他の加熱処理と兼ねてもよい。

【 0 1 4 0 】

次に、図２（Ｃ）及び図２（Ｄ）に示すように、酸化絶縁膜１０３及び酸化物半導体膜１０５上に酸化絶縁膜１０７を形成した後、酸化絶縁膜１０７上に金属膜１０９を形成する。

【 0 1 4 1 】

酸化絶縁膜１０７は、後に酸化絶縁膜１２３ａとなるため、図１に示す酸化絶縁膜１２３ａに列挙する材料を適宜用いることができる。また、酸化絶縁膜１０７は、スパッタリング法、ＣＶＤ法等により形成する。

30

【 0 1 4 2 】

なお、金属膜１０９を形成する前に、酸化絶縁膜１０７を形成することで、酸化物半導体膜１０５と金属膜１０９が直接接することがなく、酸化物半導体膜１０５と金属膜との反応を低減することが可能である。このため、酸化物半導体膜１０５において、後にチャネル領域となる領域の変質を防ぐことができる。

【 0 1 4 3 】

金属膜１０９は、酸化された金属酸化膜が、酸素、水素、水等のブロッキング効果を有する金属膜を用いることが好ましく、代表的には、アルミニウム、ガリウム、イットリウム、ハフニウム等を用いる。また、金属膜１０９は、スパッタリング法、蒸着法等により形成する。

40

【 0 1 4 4 】

金属膜１０９の厚さを５ｎｍ以上３０ｎｍ以下、好ましくは１０ｎｍ以上２０ｎｍ以下とすることが好ましい。金属膜１０９を上記厚さとすることで、後の酸素導入処理において、金属膜１０９を酸化すると共に、酸化絶縁膜１０７に酸素を導入することができる。

【 0 1 4 5 】

次に、金属膜１０９に酸素１１１を導入して、金属膜１０９を酸化すると共に、酸化絶縁膜１０７に酸素を導入し、図２（Ｅ）及び図２（Ｆ）に示すように、酸素が添加された酸化絶縁膜１１２及び金属酸化膜１１３を形成する。このとき、金属酸化膜１１３は、金

50

属膜 109 に対応する金属酸化膜または金属酸化窒化膜となる。例えば、金属膜 109 としてアルミニウムを用いると、金属酸化膜 113 としては、酸化アルミニウム膜または酸化窒化アルミニウム膜が形成される。

【0146】

酸素が添加された酸化絶縁膜 112 は、化学量論比を満たす酸化絶縁膜、または化学量論比を満たす酸素よりも多くの酸素を含む酸化絶縁膜であることが好ましい。

【0147】

金属酸化膜 113 は、化学量論比を満たす金属酸化膜、または化学量論比を満たす酸素よりも多くの酸素を含む金属酸化膜であることが好ましい。

【0148】

酸化絶縁膜 107 及び金属膜 109 に酸素を導入する方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理等を用いることができる。なお、イオン注入法として、ガスクラスタイオンビームを用いてもよい。また、酸素 111 の導入は、基板 101 の全面を一度に処理してもよいし、例えば、線状のイオンビームを用いてもよい。線状のイオンビームを用いる場合には、基板またはイオンビームを相対的に移動（スキャン）させることで、酸化絶縁膜 107 及び金属膜 109 全面に酸素 111 を導入することができる。また、酸素の導入処理は、加熱をしながら行ってもよい。

【0149】

また、酸化絶縁膜 107 及び金属膜 109 に導入される酸素 111 の代表例としては、酸素ラジカル、オゾン、酸素原子、酸素イオン等がある。また、酸素 111 は、酸素を含むガスによって生成することが可能であり、酸素を含むガスの代表例としては、酸素ガス、一酸化二窒素ガス、二酸化一窒素ガス、オゾンガス、水蒸気、酸素及び水素の混合ガス等がある。なお、上記酸素を含むガスと共に、窒素、希ガス等の不活性ガスを導入してもよい。

【0150】

なお、イオン注入法で酸素の導入を行う場合、酸素 111 のドーズ量は 1×10^{13} ions/cm² 以上 5×10^{16} ions/cm² 以下とすることが好ましい。このようなドーズ量とすることで、化学量論比を満たす酸素を含む金属酸化膜、または化学量論比を満たす酸素よりも多くの酸素を含む金属酸化膜を形成することができる。

【0151】

また、プラズマ処理で酸素の導入を行う場合は、酸素プラズマ中の酸素を金属膜及び酸化絶縁膜 107 に導入する。プラズマ処理で酸素の導入を行う場合は、プラズマ CVD 装置、ドライエッチング装置等のプラズマ処理装置を用いることができる。また、プラズマ処理装置を用いる場合、金属膜 109 を酸化すると共に、酸素の一部を酸化絶縁膜 107 に導入させるため、基板 101 が搭載される支持台または電極にバイアスを印加することが好ましい。この結果、エネルギーを有する酸素 111、代表的には酸素イオンを基板 101 側に引き寄せることが可能であり、酸化絶縁膜 112 及び金属酸化膜 113 への酸素導入量をより増加させることができる。

【0152】

また、プラズマ処理で酸素の導入を行う場合、 μ 波で酸素を励起し、高密度な酸素プラズマを発生させることで、酸素が添加された酸化絶縁膜 112 への酸素導入量を増加させることができる共に、緻密な金属酸化膜 113 を形成することができる。なお、 μ 波で酸素を励起し、高密度な酸素プラズマを発生させる場合、酸素の導入処理は、酸化絶縁膜及び酸化物半導体膜から酸素が脱離されない温度、代表的には 250 以下、好ましくは 200 以下で行うことが好ましい。

【0153】

なお、プラズマ処理で金属膜に酸素の導入を行うことで、スループットを向上させることができる。

【0154】

また、金属膜 109 の形成と、金属膜 109 への酸素の導入処理を同一装置で行うことができる。代表的には、スパッタリング装置において、処理室に不活性ガスを導入してターゲットをスパッタリングして金属膜 109 を形成した後、処理室内に酸素を導入して、基板 101 が搭載される支持台または電極にバイアスを印加して、酸素、代表的には酸素イオンを金属膜に引き寄せることで、金属膜に酸素を導入し、金属酸化膜を形成すると共に、酸化絶縁膜 112 に酸素を導入することができる。さらには、処理室へ導入するガスを交互に切り替えることで、金属膜の形成と、金属膜への酸素の導入を交互に行うことが可能であり、金属酸化膜の膜厚を厚くすることができる。

【0155】

ここで、金属膜 109 及び酸化絶縁膜 107 への酸素の導入の様子について、図 3 を用いて説明する。図 3 (A) は、図 2 (C) に対応する図面であり、図 3 (B) は、図 2 (D) に対応する図面である。酸化絶縁膜 107 及び金属膜 109 に酸素を導入すると、図 3 (A) 及び図 3 (B) に示すように、酸素 111 は、金属膜 109 及び酸化絶縁膜 107 に導入される。また、酸素 111 は、酸化物半導体膜 105 に導入される。このとき、酸化物半導体膜 105 の側面における酸素欠損が当該酸素の導入により補償される。また、酸素 111 は、酸化絶縁膜 103 に導入される。酸化絶縁膜 103 に導入された酸素は、横矢印で示すように、酸化絶縁膜 103 中を拡散する。拡散した酸素は、酸化物半導体膜 105 に拡散し、この結果、酸化物半導体膜 105 の酸素欠損が補償される。

【0156】

この後、加熱処理を行ってもよい。当該加熱処理により、金属酸化膜 113 の金属原子と酸素の結合をより強固にすることが可能であり、後の加熱処理において、金属酸化膜 113 からの酸素脱離を抑制することができる。このときの加熱温度は 300 以上 500 以下、好ましくは 400 以上 450 以下とする。

【0157】

また、金属膜 109 を形成する前に、酸化絶縁膜 107 に酸素を導入してもよい。この結果、複数の酸素導入により、酸素が添加された酸化絶縁膜 112 の酸素含有量をさらに増やすことができる。

【0158】

ここでは、酸化絶縁膜 107 として、CVD 法により厚さ 20 nm の酸化窒化シリコン膜を形成する。次に、金属膜 109 として、スパッタリング法により、厚さ 10 nm のアルミニウム膜を形成する。次に、金属膜 109 への酸素導入処理として、誘導結合型プラズマ方式を用い、基板 101 と対向する電極の電力を 0 W、基板 101 を設置する電極の電力を 4500 W、プラズマ発生処理装置の処理室の圧力を 15 Pa、処理室に導入する酸素の流量を 250 sccm として、酸素プラズマを発生させる。また、当該酸素プラズマに金属膜 109 を曝すことで、金属膜を酸化して、酸化アルミニウムを形成する。

【0159】

酸化物半導体膜 105 に接する絶縁膜として、酸素が添加された酸化絶縁膜 112 を有し、当該絶縁膜上に金属酸化膜 113 を有する。酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化膜 113 は、酸素、水素、水等のプロッキング効果を有するため、酸素が添加された酸化絶縁膜 112 から酸素を酸化物半導体膜 105 に効率よく拡散させることができる。酸化物半導体膜 105 に直接酸素 111 を添加するのではなく、酸素が添加された酸化絶縁膜 112 からの固相拡散により、酸化物半導体膜 105 へのダメージが少なく、酸素を酸化物半導体膜 105 に添加することができる。特に、酸化物半導体膜の側面における酸素欠損が当該酸素の拡散により補償される。この結果、図 1 (A) の破線 129 で示すゲート電極 115 と重畳する酸化物半導体膜の側面を介して発生するソース電極及びドレイン電極の間のリーク電流を低減することができる。

【0160】

また、CAAC-OS 膜は、被形成面または表面に沿って酸素が移動しやすい。このた

10

20

30

40

50

め、素子分離した酸化物半導体膜 105 の側面から酸素の脱離が生じやすく、酸素欠損が形成されやすい。しかしながら、酸化物半導体膜 105 上に酸化絶縁膜と、当該酸化絶縁膜上に金属酸化膜を設けることにより、酸化物半導体膜 105 の側面からの酸素脱離を抑制することが可能である。この結果、酸化物半導体膜 105 の側面の導電性が高くなることを抑制することができる。

【0161】

次に、図 2 (G) 及び図 2 (H) に示すように、金属酸化膜 113 上にゲート電極 115 及び絶縁膜 116 を形成する。

【0162】

ゲート電極 115 および絶縁膜 116 は、導電膜及び絶縁膜を積層し、絶縁膜上にフォトリソグラフィ工程によりマスクを形成する。次に、該マスクを用いて絶縁膜の一部をエッチングして絶縁膜 116 を形成する。つぎに、絶縁膜 116 をハードマスクとして導電膜をエッチングし、ゲート電極 115 を形成する。

【0163】

ゲート電極 115 となる導電膜は、スパッタリング法、CVD 法、蒸着法等で形成する。

【0164】

絶縁膜 116 となる絶縁膜は、スパッタリング法、CVD 法、蒸着法等で形成する。

【0165】

ここでは、厚さ 30 nm の窒化タンタル膜と、厚さ 200 nm のタングステン膜とをスパッタリング法により形成する。次に、CVD 法により厚さ 50 nm の窒化シリコン膜を形成する。次に、フォトリソグラフィ工程によりマスクを形成し、当該マスクを用いて窒化タンタル膜、タングステン膜、及び窒化シリコン膜をドライエッチングして、ゲート電極 115 及び絶縁膜 116 を形成する。

【0166】

次に、ゲート電極 115 をマスクとして、酸化物半導体膜 105 にドーパント 117 を導入する処理 (図 2 (G) 及び図 2 (H) 参照) を行って、図 4 (B) に示すように、ドーパントを含む一対の第 2 の領域 119 b を形成する。ゲート電極 115 をマスクにしてドーパントを導入するため、セルフアラインでドーパントを含む一対の第 2 の領域 119 b、及びドーパントが導入されない第 1 の領域 119 a を形成することができる (図 4 (A) 及び図 4 (B) 参照)。なお、ゲート電極 115 と重畳する第 1 の領域 119 a はチャネル領域として機能する。また、ドーパントを含む一対の第 2 の領域 119 b の一部は、ソース領域、及びドレイン領域として機能する。また、第 1 の領域 119 a、及びドーパントを含む一対の第 2 の領域 119 b を酸化物半導体膜 119 と示す。

【0167】

酸化物半導体膜 119 にドーパントを導入する方法として、イオンドーピング法またはイオンインプランテーション法を用いることができる。また、導入するドーパントとしては、ホウ素、窒素、リン、及びヒ素の少なくとも一以上がある。または、ドーパントとしては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの少なくとも一以上がある。なお、ドーパントとして、ホウ素、窒素、リン、及びヒ素の一以上と、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノンの一以上とを適宜組み合わせてもよい。

【0168】

また、酸化物半導体膜 119 へのドーパントの導入は、酸化物半導体膜 119 を覆って、絶縁膜などが形成されている状態を示したが、酸化物半導体膜 119 が露出している状態でドーパントの導入を行ってもよい。

【0169】

さらに、上記ドーパントの導入はイオンドーピング法またはイオンインプランテーション法等による注入する以外の方法でも行うことができる。例えば、導入する元素を含むガス雰囲気にてプラズマを発生させて、被導入物に対してプラズマ処理を行うことによって、ドーパントを導入することができる。上記プラズマを発生させる装置としては、ドライ

10

20

30

40

50

エッチング装置やプラズマCVD装置、高密度プラズマCVD装置等を用いることができる。

【0170】

なお、ドーパントの導入処理は、加熱をしながら行ってもよい。

【0171】

酸化物半導体膜119にドーパントを導入することで、第2の領域119bを非晶質化することができる。非晶質酸化物半導体には水素が拡散されやすいので、第1の領域119aの水素を第2の領域119bに拡散させ、チャネル領域となる第1の領域119aの水素濃度を低減し、第2の領域119bをn型化（低抵抗化）することができる。この結果、トランジスタのオン電流を高めることが可能である。

10

【0172】

ここでは、イオンインプランテーション法により、リンを酸化物半導体膜119に導入する。

【0173】

この後、加熱処理を行ってもよい。当該加熱処理の温度は、代表的には、150 以上450 以下、好ましくは250 以上325 以下とする。または、250 から325 まで徐々に温度上昇させながら加熱してもよい。

【0174】

当該加熱処理により、ドーパントを含む一対の第2の領域119bの抵抗を低減することができる。なお、当該加熱処理において、ドーパントを含む一対の第2の領域119bは、結晶状態でも非晶質状態でもよい。

20

【0175】

次に、図4（C）及び図4（D）に示すように、ゲート電極115の側面にサイドウォール絶縁膜121及びゲート絶縁膜123を形成する。ここで、サイドウォール絶縁膜121の形成方法について説明する。

【0176】

まず、ゲート絶縁膜123およびゲート電極115上に、後にサイドウォール絶縁膜121となる絶縁膜を形成する。絶縁膜は、スパッタリング法、CVD法等により形成する。また、当該絶縁膜の厚さは特に限定はないが、ゲート電極115の形状に応じる被覆性を考慮して、適宜選択すればよい。

30

【0177】

次に、絶縁膜をエッチングすることによりサイドウォール絶縁膜121を形成する。サイドウォール絶縁膜121は、絶縁膜に異方性の高いエッチング工程を行うことでセルフアラインに形成することができる。ここで、異方性の高いエッチングとしては、ドライエッチングが好ましく、例えば、エッチングガスとして、トリフルオロメタン（ CHF_3 ）、オクタフルオロシクロブタン（ C_4F_8 ）、テトラフルオロメタン（ CF_4 ）等のフッ素を含むガスを用いることができ、ヘリウム（ He ）やアルゴン（ Ar ）等の希ガスまたは水素（ H_2 ）を添加しても良い。さらに、ドライエッチングとして、基板に高周波電圧を印加する、反応性イオンエッチング法（RIE法）を用いるのが好ましい。

【0178】

なお、サイドウォール絶縁膜121となる絶縁膜より、エッチング選択性の高い絶縁膜を用いて絶縁膜116を形成することで、絶縁膜116がゲート電極115のエッチング保護膜として機能するため好ましい。

40

【0179】

ここでは、CVD法により厚さ90nmの酸化窒化シリコン膜を形成する。次に、酸化絶縁膜112である酸化窒化シリコン膜、金属酸化膜113である酸化アルミニウム膜をドライエッチングして、サイドウォール絶縁膜121を形成する。なお、ここでは、絶縁膜116としてサイドウォール絶縁膜と異なる組成、例えば窒化シリコン膜を用いて形成し、選択比のあるエッチング条件を選択することで、ゲート電極115のエッチング保護膜として機能させることができる。

50

【 0 1 8 0 】

また、断面におけるサイドウォール絶縁膜 1 2 1 の幅は、ゲート電極 1 1 5 の厚さに依存することから、サイドウォール絶縁膜 1 2 1 の幅が、所望の範囲となるように、ゲート電極 1 1 5 の厚さを決めればよい。

【 0 1 8 1 】

また、サイドウォール絶縁膜 1 2 1 の形成工程と共に、異方性の高いエッチングを用いて酸化絶縁膜 1 1 2 及び金属酸化膜 1 1 3 をエッチングし、酸化物半導体膜 1 1 9 を露出させることで、ゲート絶縁膜 1 2 3 を形成することができる。

【 0 1 8 2 】

次に、図 4 (E) 及び図 4 (F) に示すように、一对の電極 1 2 5 を形成する。

10

【 0 1 8 3 】

一对の電極 1 2 5 は、スパッタリング法、C V D 法、蒸着法等で導電膜を形成した後、該導電膜上にマスクを形成して導電膜をエッチングして形成する。導電膜上に形成するマスクは、印刷法、インクジェット法、フォトリソグラフィ法を適宜用いることができる。なお、マスクを用いて一对の電極 1 2 5 を形成した場合は、この後マスクを除去する。

【 0 1 8 4 】

一对の電極 1 2 5 は、少なくともサイドウォール絶縁膜 1 2 1 及びゲート絶縁膜 1 2 3 の側面と接するように、形成することが好ましい。即ち、トランジスタの一对の電極 1 2 5 の端部が、少なくともサイドウォール絶縁膜 1 2 1 上に位置し、酸化物半導体膜 1 1 9 において、一对の電極 1 2 5 が、ドーパントを含む一对の第 2 の領域 1 1 9 b の露出部を全て覆っていることが好ましい。更には、一对の電極 1 2 5 の端部が絶縁膜 1 1 6 上に位置してもよい。この結果、ドーパントが含まれる一对の第 2 の領域 1 1 9 b において、一对の電極 1 2 5 と接する領域 1 1 9 b 1 がソース領域及びドレイン領域として機能すると共に、サイドウォール絶縁膜 1 2 1 及びゲート絶縁膜 1 2 3 と重なる領域 1 1 9 b 2 により、ソース - ドレイン耐圧を高めることができる。また、サイドウォール絶縁膜 1 2 1 の長さによりソース - ドレイン間の距離が制御できるため、酸化物半導体膜 1 1 9 と接する一对の電極 1 2 5 のチャンネル側の端部を、マスクを用いずに形成させることができる。また、マスクを使用しないため、複数のトランジスタにおける加工ばらつきを低減することができる。

20

【 0 1 8 5 】

ここでは、スパッタリング法により厚さ 3 0 n m のタングステン膜を形成する。次に、タングステン膜上にフォトリソグラフィ工程によりマスクを形成し、当該マスクを用いてタングステン膜をドライエッチングして、一对の電極 1 2 5 を形成する。

30

【 0 1 8 6 】

なお、一对の電極 1 2 5 を形成した後、エッチング残渣を除去するため、洗浄処理を行うことが好ましい。この洗浄処理を行うことで、一对の電極 1 2 5 の短絡を抑制することができる。当該洗浄処理は、T M A H (T e t r a m e t h y l a m m o n i u m H y d r o x i d e) 溶液などのアルカリ性の溶液、希フッ酸、シュウ酸などの酸性の溶液、または水を用いて行うことができる。

【 0 1 8 7 】

次に、図 4 (E) 及び図 4 (F) に示すように、絶縁膜 1 2 7 を形成する。

40

【 0 1 8 8 】

絶縁膜 1 2 7 は、スパッタリング法、C V D 法、塗布法、印刷法等により形成する。

【 0 1 8 9 】

なお、絶縁膜 1 2 7 に、イオン注入法またはイオンドーピング法、プラズマ法等により、酸素を導入してもよい。

【 0 1 9 0 】

ここでは、絶縁膜 1 2 7 として C V D 法により厚さ 4 6 0 n m の酸化窒化シリコン膜を形成する。

【 0 1 9 1 】

50

この後、加熱処理を行ってもよい。該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは250 以上450 以下、更に好ましくは300 以上450 以下とする。

【0192】

また、該加熱処理は、電気炉、RTA装置等を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。そのため、酸化絶縁膜からの水素または水の放出の時間を短縮することができる。

【0193】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が20 ppm以下、好ましくは1 ppm以下、好ましくは10 ppb以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。

【0194】

ここでは、電気炉を用い、酸素雰囲気において400 で1時間の加熱を行う。

【0195】

以上の工程により、トランジスタを作製することができる。

【0196】

本実施の形態により、酸化絶縁膜上に金属膜を形成し、金属膜に酸素を導入して金属酸化膜を形成すると共に、酸化絶縁膜に酸素を導入することができる。また、当該酸素が導入された酸化絶縁膜及び金属酸化膜を、酸化物半導体膜を有するトランジスタのゲート絶縁膜として用いる。酸化物半導体膜に接する酸化絶縁膜に酸素が導入されているため、加熱処理により当該酸素を酸化物半導体膜に固相拡散することが可能であり、酸化物半導体膜の酸素欠損を低減することができる。特に、酸化物半導体膜の側面における酸素欠損が当該酸素の拡散により補償され、寄生チャネルの発生を抑制することが可能である。この結果、ゲート電極と重畳する酸化物半導体膜の側面を介して発生するソース電極及びドレイン電極の間のリーク電流を低減することができる。

【0197】

また、加熱により酸素の一部が脱離する酸化絶縁膜及び酸素が導入された酸化絶縁膜で酸化物半導体膜を包んでいる。このため、加熱処理工程において、酸化絶縁膜に含まれる酸素を効率よく酸化物半導体膜に拡散させることが可能であり、酸化物半導体膜と、酸化物半導体膜及び酸化絶縁膜の界面の近傍とにおける酸素欠損を低減することができる。

【0198】

このため、トランジスタのしきい値電圧のマイナスシフトを低減すると共に、トランジスタのソース及びドレインにおけるリーク電流を低減することが可能であり、トランジスタの電気特性を向上させることができる。また、このようなトランジスタ及びその周辺部分（下地絶縁膜を含む）の構造により、トランジスタのチャネル長を100 nm以下、例えば30 nmにまで微細化することができ、このような場合であっても、オフ電流密度（オフ電流をトランジスタのチャネル幅で除した数値）を数y A / μm ~ 数z A / μm とすることが可能となる。

【0199】

また、金属膜に酸素を導入して金属酸化膜を形成するため、生産性を高めることができる。

【0200】

（実施の形態2）

本実施の形態では、金属膜を酸化した金属酸化膜をゲート絶縁膜に用いたトランジスタ及びその作製方法について、図1乃至図5を用いて説明する。なお、実施の形態1と比較して、ゲート絶縁膜が、金属膜に酸素を導入し酸化した金属酸化膜のみである点が異なる。

【0201】

図5は、本実施の形態に示すトランジスタの断面図である。図5に示すトランジスタの

10

20

30

40

50

上面形状は実施の形態 1 に示す図 1 (A) と同様であるため、ここでは省略する。図 5 (A) は、図 1 (A) の一点鎖線 A - B に対応する、トランジスタのチャネル幅方向の断面図であり、図 5 (B) は図 1 (A) の一点鎖線 C - D に対応する、トランジスタのチャネル長方向の断面図である。

【 0 2 0 2 】

図 5 (A) 及び図 5 (B) に示すトランジスタは、基板 1 0 1 上に設けられる酸化絶縁膜 1 0 3 と、酸化絶縁膜 1 0 3 上に設けられる酸化物半導体膜 1 1 9 と、酸化物半導体膜 1 1 9 に接する、ソース電極及びドレイン電極として機能する一対の電極 1 2 5 と、酸化物半導体膜 1 1 9 の少なくとも一部と接するゲート絶縁膜 1 5 3 と、ゲート絶縁膜 1 5 3 上であって、且つ酸化物半導体膜 1 1 9 と重畳するゲート電極 1 1 5 とを有する。

10

【 0 2 0 3 】

また、ゲート電極 1 1 5 の側面に接するサイドウォール絶縁膜 1 2 1 を有する。また、酸化物半導体膜 1 1 9 は、ゲート電極 1 1 5 と重畳する第 1 の領域 1 1 9 a と、第 1 の領域 1 1 9 a を挟むドーパントを含む一対の第 2 の領域 1 1 9 b とを有する。第 2 の領域 1 1 9 b は低抵抗領域である。なお、酸化物半導体膜 1 1 9 において、第 1 の領域 1 1 9 a はチャネル領域として機能し、ドーパントを含む一対の第 2 の領域 1 1 9 b において、一対の電極 1 2 5 と接する領域はソース領域及びドレイン領域として機能する。また、酸化絶縁膜 1 0 3、ゲート電極 1 1 5、サイドウォール絶縁膜 1 2 1、及び一対の電極 1 2 5 上に絶縁膜 1 2 7 を有してもよい。また、ゲート電極 1 1 5 及び絶縁膜 1 2 7 の間に絶縁膜 1 1 6 を設けることが好ましい。

20

【 0 2 0 4 】

図 5 に示すトランジスタにおいて、ゲート絶縁膜 1 5 3 として、金属膜に酸素を導入して形成された金属酸化膜を用いていることを特徴とする。

【 0 2 0 5 】

次に、図 5 に示すトランジスタの作製方法について説明する。図 5 に示すトランジスタは、実施の形態 1 に示す図 2 (A) 及び図 2 (B) の工程を経た後、酸化物半導体膜 1 0 5 上に金属膜を形成する。金属膜は実施の形態 1 に示す金属膜 1 0 9 と同様の材料及び形成方法を適宜用いることができる。

【 0 2 0 6 】

次に、実施の形態 1 と同様に、金属膜に酸素を導入して、金属膜を酸化すると共に、酸化物半導体膜に酸素を導入する。

30

【 0 2 0 7 】

当該金属膜に酸素を導入すると共に、酸化物半導体膜に接する酸化絶縁膜に酸素が導入されているため、酸化物半導体膜の酸素欠損を低減することができる。特に、酸化物半導体膜の側面における酸素欠損が当該酸素の拡散により補償され、寄生チャネルの発生を抑制することが可能である。この結果、図 1 (A) の破線 1 2 9 で示す、ゲート電極と重畳する酸化物半導体膜の側面を介して発生するソース電極及びドレイン電極の間のリーク電流を低減することができる。

【 0 2 0 8 】

次に、加熱処理を行ってもよい。

40

【 0 2 0 9 】

ここでは、金属膜の形成及び金属膜への酸素導入方法は、実施の形態 1 と同様とすることができる。

【 0 2 1 0 】

この後、実施の形態 1 と同様に、図 2 (G) 及び図 2 (H)、並びに図 4 の工程を経ることで、図 5 に示すトランジスタを作製することができる。

【 0 2 1 1 】

以上の工程により、しきい値電圧のマイナスシフトが低減され、ソース及びドレインにおけるリーク電流が低減された、電気特性の優れたトランジスタを生産性高く作製することができる。

50

【 0 2 1 2 】

(実施の形態 3)

本実施の形態では、金属膜を酸化した金属酸化膜をトランジスタの保護膜に用いたトランジスタ及びその作製方法について、図 1 乃至図 4、及び図 6 を用いて説明する。

【 0 2 1 3 】

図 6 は、本実施の形態に示すトランジスタの断面図である。図 6 に示すトランジスタの上面形状は実施の形態 1 に示す図 1 (A) と同様であるため、ここでは省略する。図 6 (A) は、図 1 (A) の一点鎖線 A - B に対応する、トランジスタのチャネル幅方向の断面図であり、図 6 (B) は図 1 (A) の一点鎖線 C - D に対応する、トランジスタのチャネル長方向の断面図である。

10

【 0 2 1 4 】

図 6 (A) 及び図 6 (B) に示すトランジスタは、基板 1 0 1 上に設けられる酸化絶縁膜 1 0 3 と、酸化絶縁膜 1 0 3 上に設けられる酸化物半導体膜 1 1 9 と、酸化物半導体膜 1 1 9 に接する、ソース電極及びドレイン電極として機能する一対の電極 1 2 5 と、酸化物半導体膜 1 1 9 の少なくとも一部と接するゲート絶縁膜 1 6 3 と、ゲート絶縁膜 1 6 3 上であって、且つ酸化物半導体膜 1 1 9 と重畳するゲート電極 1 1 5 とを有する。また、ゲート電極 1 1 5 の側面に接するサイドウォール絶縁膜 1 2 1 を有する。また、酸化絶縁膜 1 0 3、ゲート電極 1 1 5、サイドウォール絶縁膜 1 2 1、及び一対の電極 1 2 5 上に保護膜 1 6 7 を有する。

【 0 2 1 5 】

20

また、酸化物半導体膜 1 1 9 は、ゲート電極 1 1 5 と重畳する第 1 の領域 1 1 9 a と、第 1 の領域 1 1 9 a を挟むドーパントを含む一対の第 2 の領域 1 1 9 b とを有する。第 2 の領域 1 1 9 b は低抵抗領域である。なお、酸化物半導体膜 1 1 9 において、第 1 の領域 1 1 9 a はチャネル領域として機能し、ドーパントを含む一対の第 2 の領域 1 1 9 b において、一対の電極 1 2 5 と接する領域はソース領域及びドレイン領域として機能する。また、ゲート電極 1 1 5 及び酸化絶縁膜 1 6 7 a の間に絶縁膜 1 1 6 を設けることが好ましい。

【 0 2 1 6 】

図 6 に示すトランジスタにおいて、保護膜 1 6 7 が、ゲート電極 1 1 5 側に形成される酸化絶縁膜 1 6 7 a と、酸化絶縁膜 1 6 7 a に接する金属酸化膜 1 6 7 b の積層構造であり、金属酸化膜 1 6 7 b が金属膜に酸素を導入して形成された金属酸化膜であることを特徴とする。

30

【 0 2 1 7 】

また、ゲート絶縁膜 1 6 3 は、酸化物半導体膜 1 1 9 に接する第 1 のゲート絶縁膜 1 6 3 a と、ゲート電極 1 1 5 に接する第 2 のゲート絶縁膜 1 6 3 b の積層構造である。第 1 のゲート絶縁膜 1 6 3 a、第 2 のゲート絶縁膜 1 6 3 b はそれぞれ、実施の形態 1 に示す酸化絶縁膜 1 2 3 a、金属酸化膜 1 2 3 b の材料及び作製方法を適宜適用することができる。また、第 2 のゲート絶縁膜 1 6 3 b は、実施の形態 1 に示す作製方法の他、CVD法、スパッタリング法を適宜適用してもよい。

【 0 2 1 8 】

40

また、ここでは、ゲート絶縁膜 1 6 3 を積層構造としたが、実施の形態 2 に示すゲート絶縁膜 1 5 3 のように単層構造とし、ゲート絶縁膜 1 5 3 に示す材料及び作製方法を適宜適用することができる。実施の形態 2 に示す作製方法の他、CVD法、スパッタリング法を適宜適用してもよい。

【 0 2 1 9 】

次に、図 6 に示すトランジスタの作製方法について説明する。図 6 に示すトランジスタは、実施の形態 1 に示す図 2、及び図 4 (A) 乃至 (D) の工程を経た後、図 7 (A) 及び図 7 (B) に示すように、酸化絶縁膜 1 6 4 を形成し、酸化絶縁膜 1 6 4 上に金属膜 1 6 5 を形成する。

【 0 2 2 0 】

50

酸化絶縁膜 164 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよく、積層または単層で設ける。

【0221】

酸化絶縁膜 164 は、スパッタリング法、CVD法、塗布法、印刷法等により形成する。

【0222】

金属膜 165 は、実施の形態 1 に示す金属膜 109 と同様の材料及び形成方法を適宜適用することができる。

【0223】

次に、実施の形態 1 と同様に、金属膜 165 に酸素 111 を導入して、金属膜 165 を酸化すると共に、酸化絶縁膜 164 に酸素を導入し、図 7 (C) 及び図 7 (D) に示すように、酸素が添加された酸化絶縁膜 167 a と、金属酸化膜 167 b を形成する。

【0224】

また、金属膜 165 を形成する前に、酸化絶縁膜 164 に酸素を導入してもよい。この結果、複数の酸素導入により、酸素が添加された酸化絶縁膜 164 の酸素含有量をさらに高めることができる。

【0225】

ここでは、酸化絶縁膜 164 として、CVD法により厚さ 50 nm の酸化窒化シリコン膜を形成する。次に、金属膜 165 として、スパッタリング法により、厚さ 10 nm のアルミニウム膜を形成する。次に、実施の形態 1 と同様の条件を用いて金属膜 165 への酸素導入処理を行い、酸化アルミニウムを形成する。

【0226】

なお、絶縁膜 116 として、酸化シリコン膜または酸化窒化シリコン膜等の酸化絶縁膜を用いる場合の、金属膜 165 及び酸化絶縁膜 164 への酸素の導入の様子について、図 8 を用いて説明する。図 8 (A) は、図 7 (A) に対応する図面であり、図 8 (B) は、図 7 (B) に対応する図面である。酸化絶縁膜 164 及び金属膜 165 に酸素を導入すると、図 7 (A) 及び図 7 (B) に示すように、酸素 111 は、金属膜 165 及び酸化絶縁膜 164 に導入される。また、酸素 111 は、絶縁膜 116 を経由して、サイドウォール絶縁膜 121 に拡散する。この結果、サイドウォール絶縁膜 121 に酸素が導入される。また、酸素 111 は、酸化絶縁膜 103 に導入される。酸化絶縁膜 103 に導入された酸素は、横矢印で示すように、酸化絶縁膜 103 中を拡散する。拡散した酸素は、酸化物半導体膜 105 に拡散し、この結果、酸化物半導体膜 105 の酸素欠損が補償される。

【0227】

この後、加熱処理を行ってもよい。該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは 300 以上 500 以下、より好ましくは 400 以上 450 以下とする。この結果、複数の酸素導入により、酸素が添加された酸化絶縁膜 164 の酸素含有量をさらに増やすことができる。

【0228】

また、該加熱処理は、電気炉、RTA装置等を用いることができる。RTAを用いることで、短時間に限り、基板の歪み点以上の温度で熱処理を行うことができる。

【0229】

加熱処理は、窒素、酸素、超乾燥空気（水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下の空気）、または希ガス（アルゴン、ヘリウム等）の雰囲気下で行えばよい。なお、上記窒素、酸素、超乾燥空気、または希ガスに水素、水等が含まれないことが好ましい。

【0230】

ここでは、電気炉を用い、酸素雰囲気において 400 で 1 時間の加熱を行う。

【0231】

トランジスタ上に酸素が添加された酸化絶縁膜 167 a が設けられ、該酸化絶縁膜 16

10

20

30

40

50

7 a 上に金属酸化膜 1 6 7 b が設けられる。金属酸化膜は、酸素の拡散防止膜として機能するため、加熱処理において、酸化絶縁膜 1 0 3 に含まれる酸素を効率的に酸化物半導体膜に拡散させることができる。また、酸化絶縁膜 1 6 7 a の酸素を酸化絶縁膜 1 0 3 を介して、効率的に酸化物半導体膜に拡散させることができる。また、金属酸化膜は、水素、水等の侵入防止膜としても機能するため、外部からトランジスタの酸化物半導体膜に水素、水等が侵入することを抑制することができる。このため、トランジスタのリーク電流を低減することができる。

【 0 2 3 2 】

以上の工程により、図 6 に示すトランジスタを作製することができる。

【 0 2 3 3 】

以上の工程により、しきい値電圧のマイナスシフトが低減され、ソース及びドレインにおけるリーク電流が低減された、電気特性の優れたトランジスタを生産性高く作製することができる。

【 0 2 3 4 】

(実施の形態 4)

本実施の形態では、金属膜を酸化した金属酸化膜をトランジスタの保護膜に用いたトランジスタ及びその作製方法について、図 1 乃至図 4、及び図 9 を用いて説明する。なお、実施の形態 3 と比較して、トランジスタの保護膜が、金属膜に酸素を導入し酸化した金属酸化膜のみである点が異なる。

【 0 2 3 5 】

図 9 は、本実施の形態に示すトランジスタの断面図である。図 9 に示すトランジスタの上面形状は実施の形態 1 に示す図 1 (A) と同様であるため、ここでは省略する。図 9 (A) は、図 1 (A) の一点鎖線 A - B に対応する、トランジスタのチャネル幅方向の断面図であり、図 9 (B) は図 1 (A) の一点鎖線 C - D に対応する、トランジスタのチャネル長方向の断面図である。

【 0 2 3 6 】

図 9 (A) 及び図 9 (B) に示すトランジスタは、基板 1 0 1 上に設けられる酸化絶縁膜 1 0 3 と、酸化絶縁膜 1 0 3 上に設けられる酸化物半導体膜 1 1 9 と、酸化物半導体膜 1 1 9 に接する、ソース電極及びドレイン電極として機能する一対の電極 1 2 5 と、酸化物半導体膜 1 1 9 の少なくとも一部と接するゲート絶縁膜 1 6 3 と、ゲート絶縁膜 1 6 3 上であって、且つ酸化物半導体膜 1 1 9 と重畳するゲート電極 1 1 5 とを有する。また、ゲート電極 1 1 5 の側面に接するサイドウォール絶縁膜 1 2 1 を有する。また、酸化絶縁膜 1 0 3、ゲート電極 1 1 5、サイドウォール絶縁膜 1 2 1、及び一対の電極 1 2 5 上に金属酸化膜 1 7 7 で形成される保護膜を有する。

【 0 2 3 7 】

また、酸化物半導体膜 1 1 9 は、ゲート電極 1 1 5 と重畳する第 1 の領域 1 1 9 a と、第 1 の領域 1 1 9 a を挟むドーパントを含む一対の第 2 の領域 1 1 9 b とを有する。第 2 の領域 1 1 9 b は低抵抗領域である。なお、酸化物半導体膜 1 1 9 において、第 1 の領域 1 1 9 a はチャネル領域として機能し、ドーパントを含む一対の第 2 の領域 1 1 9 b において、一対の電極 1 2 5 と接する領域はソース領域及びドレイン領域として機能する。また、ゲート電極 1 1 5 及び金属酸化膜 1 7 7 の間に絶縁膜 1 1 6 を設けることが好ましい。

【 0 2 3 8 】

図 9 に示すトランジスタにおいて、金属酸化膜 1 7 7 が、単層構造であり、金属膜に酸素を導入して形成された金属酸化膜であることを特徴とする。

【 0 2 3 9 】

次に、図 9 に示すトランジスタの作製方法について、説明する。図 9 に示すトランジスタは、実施の形態 1 に示す図 2、及び図 4 (A) 乃至 (D) の工程を経た後、絶縁膜 1 1 6 及びサイドウォール絶縁膜 1 2 1 上に金属膜を形成する。金属膜は実施の形態 1 に示す金属膜 1 0 9 と同様の材料及び形成方法を適宜用いることができる。

【 0 2 4 0 】

次に、実施の形態 1 と同様に、金属膜に酸素を導入し金属膜を酸化して、金属酸化膜 1 7 7 を形成すると共に、酸化物半導体膜に酸素を導入する。この後、加熱処理を行ってもよい。

【 0 2 4 1 】

ここでは、実施の形態 1 と同様の金属膜の形成及び酸素導入処理により、金属酸化膜 1 7 7 を形成する。

【 0 2 4 2 】

なお、金属酸化膜 1 7 7 上に、厚さ 1 0 0 n m 以上 5 0 0 n m 以下、好ましくは 2 0 0 n m 以上 4 0 0 n m 以下の絶縁膜を形成してもよい。

10

【 0 2 4 3 】

この後、実施の形態 3 と同様に、加熱処理を行ってもよい。

【 0 2 4 4 】

ここでは、電気炉を用い、酸素雰囲気において 4 0 0 で 1 時間の加熱を行う。

【 0 2 4 5 】

トランジスタ上に金属酸化膜 1 7 7 が設けられる。金属酸化膜は、酸素の拡散防止膜として機能するため、当該加熱処理において、酸化絶縁膜 1 0 3 に含まれる酸素を効率的に酸化物半導体膜に拡散させることができる。また、金属酸化物膜は、水素、水等の侵入防止膜としても機能するため、外部からトランジスタの酸化物半導体膜に水素、水等が侵入することを抑制することができる。このため、トランジスタのリーク電流を低減することができる。

20

【 0 2 4 6 】

以上の工程により、図 9 に示すトランジスタを作製することができる。

【 0 2 4 7 】

以上の工程により、しきい値電圧のマイナスシフトが低減され、ソース及びドレインにおけるリーク電流が低減された、電気特性の優れたトランジスタを生産性高く作製することができる。

【 0 2 4 8 】

(実施の形態 5)

本実施の形態では、実施の形態 1 に示す一对の電極と異なる形状の一对の電極を有するトランジスタの作製方法について、図 2、図 4、及び図 1 0 を用いて説明する。なお、本実施の形態では、実施の形態 1 を用いて説明するが、適宜実施の形態 2 乃至実施の形態 4 に本実施の形態を適用することができる。

30

【 0 2 4 9 】

実施の形態 1 と同様に、図 2 及び図 4 (A) 乃至図 4 (D) に示す工程を経たのち、図 1 0 (A) に示すように、導電膜 1 8 1 を形成し、導電膜 1 8 1 上にレジスト 1 8 3 を塗布する。

【 0 2 5 0 】

導電膜 1 8 1 は後に一对の電極となるため、一对の電極 1 2 5 に示す材料を適宜適用することができる。また、導電膜 1 8 1 は、スパッタリング法、C V D 法、蒸着法等を用いて形成する。

40

【 0 2 5 1 】

次に、図 1 0 (B) に示すように、レジスト 1 8 3 を加工して導電膜 1 8 1 を露出するマスク 1 8 5 を形成する。

【 0 2 5 2 】

マスク 1 8 5 の第 1 の形成方法として、レジスト 1 8 3 を加熱した後、導電膜 1 8 1 を露出させるように全面をエッチングする方法がある。加熱されたレジストのエッチングは、ウェットエッチングまたはドライエッチングを適宜用いることができる。

【 0 2 5 3 】

マスク 1 8 5 の第 2 の形成方法として、レジスト 1 8 3 の全面を露光した後、現像する

50

方法がある。ここでは、ゲート電極 115 及びサイドウォール絶縁膜 121 が形成される領域は凸形状であるため、当該領域上方にあるレジストの厚さが薄い。そこで、当該領域のレジストが除去され、酸化物半導体膜の第 2 の領域 119b の上方にあるレジストが残存するような露光量によって、レジスト 183 を全面露光すると、導電膜 181 の一部を露出するマスク 185 を形成することができる。

【0254】

次に、図 10 (C) に示すように、マスク 185 を用いて導電膜 181 をエッチングすることで、一対の電極 187 を形成することができる。

【0255】

なお、レジスト 183 の代わりに、CVD 法または塗布法により導電膜 181 上に絶縁膜を形成した後、該絶縁膜及び導電膜 181 を化学的機械的研磨処理することで、分離された一対の電極を形成することができる。なお、該工程の場合、絶縁膜 116 として化学的機械的研磨されにくい絶縁膜を用いて形成することで、選択的に導電膜 181 を分離すると共に、ゲート電極 115 のエッチングを防ぐことができる。

【0256】

本実施の形態により、一対の電極 187 を形成するマスクをフォトリソマスクを用いずとも形成することが可能であるため、フォトリソマスクのアライメント精度、縮小投影露光による加工技術の精度に関わらず、歩留まりの高く微細構造のトランジスタを形成することができる。

【0257】

(実施の形態 6)

本実施の形態では、実施の形態 1 に示す酸化物半導体膜と異なる形状の酸化物半導体膜を有するトランジスタの構造及び作製方法について、図 2、図 4、及び図 11 を用いて説明する。なお、本実施の形態では、実施の形態 1 を用いて説明するが、適宜実施の形態 2 乃至実施の形態 5 に本実施の形態を適用することができる。

【0258】

図 11 に示すトランジスタの酸化物半導体膜 191 は、ゲート絶縁膜 123 と側面が略一致し、酸化物半導体膜 191 の側面と一対の電極 193 とが接することを特徴とする。酸化物半導体膜 191 は導電性が高いため、酸化物半導体膜 191 及び一対の電極 193 の接触面積が実施の形態 1 乃至実施の形態 5 と比較して小さくとも、酸化物半導体膜と一対の電極とを導通させることができる。

【0259】

次に、図 11 に示すトランジスタの作製方法について説明する。

【0260】

実施の形態 1 と同様に、図 2 及び図 4 (A) 乃至図 4 (D) に示す工程を経たのち、絶縁膜 116、サイドウォール絶縁膜 121、及びゲート絶縁膜 123 をマスクとして、酸化物半導体膜 119 をエッチングして、図 11 に示す酸化物半導体膜 191 を形成する。酸化物半導体膜 119 のエッチングは、ウェットエッチングまたはドライエッチングを適宜用いることができる。

【0261】

次に、図 4 (E) 及び図 4 (F) の工程を経て、図 11 に示すトランジスタを作製することができる。

【0262】

本実施の形態に示すトランジスタは、酸化物半導体膜の面積を縮小することが可能である。このため、実施の形態 1 乃至実施の形態 5 に示すトランジスタと比較して、より小さい面積のトランジスタを作製することが可能であり、半導体装置の高集積化が可能である。

【0263】

(実施の形態 7)

本実施の形態では、トランジスタを覆う絶縁膜と、該絶縁膜を貫通してトランジスタの

10

20

30

40

50

一对の電極に接続するコンタクトプラグと、該コンタクトプラグと接続する配線を有する構造について、図 12 を用いて説明する。なお、本実施の形態では、実施の形態 1 を用いて説明するが、適宜実施の形態 2 乃至実施の形態 5 に本実施の形態を適用することができる。

【0264】

図 12 に示すトランジスタを覆う絶縁膜 127 上に絶縁膜 201 を有する。また、絶縁膜 201 の開口部において、トランジスタの一对の電極 125 に接するコンタクトプラグ 203 を有する。また、絶縁膜 201 上に、コンタクトプラグ 203 に接する配線 205 を有する。絶縁膜 201 及びコンタクトプラグ 203 の表面は平坦化されている。このため、絶縁膜 201 上に他の半導体素子を積層して設けることが可能であり、高集積化が可能である。

10

【0265】

絶縁膜 201 は、絶縁膜 127 に示す材料を適宜適用することができる。なお、絶縁膜 201 は、後の工程で平坦化処理したときに、一对の電極 125 が露出しない程度の厚さとする。コンタクトプラグ 203 及び配線 205 は、一对の電極 125 に示す材料を適宜適用することができる。

【0266】

次に、図 12 に示すトランジスタの作製方法について、説明する。

【0267】

絶縁膜 127 上に CVD 法、塗布法、印刷法等により、後に絶縁膜 201 となる絶縁膜を形成する。次に、絶縁膜 127 及び絶縁膜のそれぞれ一部をエッチングして、一对の電極 125 に達する開口部を形成する。

20

【0268】

ここで、開口部を形成する際、ゲート電極 115 を挟んで設けられる一对の開口部を 2 回に分けて個別に形成することにより、露光装置の解像限界よりも開口部の間の距離を小さくすることができる。例えば、ゲート電極 115 に限りなく近づけて一方の開口部を形成した後、ゲート電極 115 に限りなく近づけて他方の開口部を形成する。特に、ゲート電極 115 の加工の際にスリミング処理を行った場合では、ゲート電極 115 の幅が露光機の解像限界よりも小さいため、このような方法を用いて開口部の間の距離を解像限界よりも近づけることにより、より微細なトランジスタを形成することができる。

30

【0269】

なお、ここでは、開口部を別々に形成する工程を説明したが、同時に形成してもよい。

【0270】

次に、開口部が形成された絶縁膜上に導電膜を形成する。当該導電膜は、後の工程で平坦化処理したときに、開口部を埋められる程度の厚さとする。

【0271】

次に、絶縁膜及び導電膜の上部に対して平坦化処理を行い、絶縁膜 201 及びコンタクトプラグ 203 を形成する。なお、当該平坦化処理は、導電膜が分離される深さまで行う。

【0272】

40

次に、絶縁膜 201 及びコンタクトプラグ 203 上に導電膜を形成する。次に、当該導電膜上にフォトリソグラフィ工程によりマスクを形成した後、当該マスクを用いて導電膜の一部をエッチングして、配線 205 を形成する。

【0273】

なお、コンタクトプラグ 203 及び配線 205 は適宜ダマシン法を用いて形成してもよい。

【0274】

以上の工程により、図 12 に示すトランジスタを作製することができる。

【0275】

(実施の形態 8)

50

本実施の形態では、酸化物半導体膜のソース領域及びドレイン領域を低抵抗化する方法について、図2、図4、及び図13を用いて説明する。なお、本実施の形態では、実施の形態1を用いて説明するが、適宜実施の形態2乃至実施の形態5に本実施の形態を適用することができる。

【0276】

実施の形態1と同様に、図2及び図4(A)乃至図4(D)に示す工程を経たのち、図13(A)に示す絶縁膜116、酸化物半導体膜119、サイドウォール絶縁膜121、及びゲート絶縁膜123上に金属膜211を形成する。

【0277】

金属膜211は、アルミニウム、インジウム、チタン、スズ、モリブデン、タングステン、亜鉛、ハフニウム、タンタル、ランタン、バリウム、マグネシウム、ジルコニウム、及びニッケルのいずれかから選択される一以上の金属元素を含む金属膜を用いることができる。

10

【0278】

金属膜211は、CVD法、スパッタリング法、蒸着法等により形成する。また、金属膜211は、厚さ1nm以上30nm以下、好ましくは2nm以上5nm以下とすればよい。

【0279】

次に、酸素雰囲気、窒素雰囲気、不活性ガス雰囲気、または減圧雰囲気において加熱処理を行う。このときの加熱温度は100 以上700 以下、好ましくは200 以上400 以下とすればよい。

20

【0280】

当該加熱処理により、金属膜211及び酸化物半導体膜119が接する領域において、金属膜211の金属元素が酸化物半導体膜119に拡散すると共に、酸化物半導体膜119に含まれる酸素が金属膜122に拡散し、酸化物半導体膜119には酸素欠損が形成される。

【0281】

この結果、図13(B)に示すように、ゲート電極115と重畳する第1の領域213aと、第1の領域213aを挟む、ドーパントを含む一対の第2の領域213bと、一対の第2の領域213bを挟む、ドーパント及び金属元素を有する第3の領域213cを有する酸化物半導体膜213が形成される。なお、第2の領域213bはチャネル領域として機能する第1の領域213aより低抵抗領域である。また、第3の領域213cは、ドーパント、金属元素、及び酸素欠損を含むため、第2の領域213bより低抵抗である。

30

【0282】

また、上記加熱処理の条件においては、金属膜211が酸化され金属酸化膜となる場合がある。図13(B)においては、金属膜が酸化された金属酸化膜215を示す。

【0283】

次に、金属酸化膜215を除去することで、図13(C)に示すように、酸化物半導体膜213の第3の領域213cを露出する。なお、加熱処理の条件によっては、金属膜211が酸化されない場合もあるが、その場合は金属膜211を除去する。

40

【0284】

この後、図4(E)及び図4(F)の工程を経ることで、ソース領域及びドレイン領域として機能する酸化物半導体膜において、実施の形態1に示す第2の領域より低抵抗である第3の領域を有するトランジスタを作製することができる。この結果、オン電流の高いトランジスタを作製することができる。

【0285】

(実施の形態9)

本実施の形態では、露光装置の解像限界以下の幅にまで微細化されたゲート電極の作製方法の一例について、図2及び図14を用いて説明する。なお、本実施の形態では、実施の形態1を用いて説明するが、適宜実施の形態2乃至実施の形態8に本実施の形態を適用

50

することができる。本実施の形態で説明するトランジスタは、実施の形態 1 に示すトランジスタとゲート電極の構造が異なる。

【0286】

実施の形態 1 と同様に、図 2 に示す工程を経たのち、図 14 (A) に示すように、金属酸化膜 113 上に断面形状が三角形のゲート電極 221 を形成する。次に、金属酸化膜 113 及びゲート電極 221 上に絶縁膜 225 を形成する。

【0287】

ここで、断面形状が三角形のゲート電極 221 の形成方法について説明する。ゲート電極 221 の形成に用いるマスクに対してスリミング処理を行い、より微細な構造のマスクとすることが好ましい。スリミング処理としては、例えば、酸素ラジカルなどを用いるアッシング処理を適用することができる。ただし、スリミング処理はフォトリソグラフィ法などによって形成されたマスクをより微細な構造に加工できる処理であれば、アッシング処理以外の方法を用いてもよい。また、スリミング処理によって形成されるマスクによって、トランジスタのチャネル長が決定されることになるため、制御性の良好な処理を適用することが好ましい。スリミング処理の結果、フォトリソグラフィ法などによって形成されたマスクを、露光装置の解像限界以下、好ましくは、 $1/2$ 以下、より好ましくは $1/3$ 以下の幅にまで微細化することが可能である。例えば、形成されたマスクの幅は、 30 nm 以上 2000 nm 以下、好ましくは 50 nm 以上 350 nm 以下を達成することができる。また、スリミングしたマスクを後退させながら、導電膜をエッチングすることで、断面形状が三角形のゲート電極 221 を形成することができる。

【0288】

絶縁膜 225 は、絶縁膜 127 に示す材料を適宜適用することができる。なお、絶縁膜 225 は、後の工程で平坦化処理したときに、ゲート電極 221 が露出しない程度の厚さとする。

【0289】

次に、図 14 (B) に示すように、絶縁膜 225 の平坦化処理を行って、表面が平坦な絶縁膜 227 を形成する。次に、絶縁膜上にフォトリソグラフィ工程によりマスク 229 を形成する。ここでは、絶縁膜 227 の表面が平坦であるため、微細な構造のマスク 229 を形成することができる。

【0290】

次に、マスク 229 を用いて酸化絶縁膜 112、金属酸化膜 113、及び絶縁膜 227 のそれぞれ一部をエッチングして、図 14 (C) に示すように、酸化絶縁膜 233a 及び金属酸化膜 233b で構成されるゲート絶縁膜 233 と、サイドウォール絶縁膜 231 を形成する。なお、ここでは、サイドウォール絶縁膜 231 は、ゲート電極 221 の側面だけでなく、頂部も覆う。

【0291】

次に、図 14 (D) に示すように一対の電極 235 及び絶縁膜 237 を形成する。なお、一対の電極 235 及び絶縁膜 237 はそれぞれ、実施の形態 1 に示す一対の電極 125 及び絶縁膜 127 と同様に形成することができる。

【0292】

以上の工程により、露光装置の解像限界以下の幅にまで微細化されたゲート電極を有するトランジスタを作製することができる。

【0293】

(実施の形態 10)

本実施の形態では、本明細書に示すトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置の一例を、図面を用いて説明する。なお、ここでは、半導体装置の一例として記憶装置を用いて説明する。

【0294】

図 15 は、半導体装置の構成の一例である。図 15 (A) に、半導体装置の断面図を、

10

20

30

40

50

図 15 (B) に半導体装置の上面図を、図 15 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 15 (A) は、図 15 (B) の C 1 - C 2、及び D 1 - D 2 における断面に相当する。なお、図 15 (B) においては、明瞭化のため、半導体装置の構成要素の一部 (例えば、基板 300、ゲート絶縁膜 308、絶縁膜 328、絶縁膜 329、絶縁膜 330、ゲート絶縁膜 346、層間絶縁膜 335、絶縁膜 349、絶縁膜 350、絶縁膜 352、配線 356 等) を省略している。

【0295】

図 15 (A) 及び図 15 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 360 を有し、上部に第 2 の半導体材料を用いたトランジスタ 362 を有するものである。トランジスタ 362 は、適宜実施の形態 1 乃至実施の形態 9 で示したトランジスタと同様な構造を有する例である。

10

【0296】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第 1 の半導体材料を酸化物半導体以外の半導体材料 (シリコンなど) とし、第 2 の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【0297】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのはいうまでもない。また、情報を保持するために酸化物半導体膜を用いた実施の形態 1 乃至実施の形態 9 で示すトランジスタを適宜用いる。なお、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成は、ここで示すものに限定されない。

20

【0298】

図 15 (A) におけるトランジスタ 360 は、半導体材料 (例えば、シリコンなど) を含む基板 300 に設けられたチャネル領域 316 と、チャネル領域 316 を挟むように設けられた不純物領域 320 と、不純物領域 320 に接する金属間化合物領域 324 と、チャネル領域 316 上に設けられたゲート絶縁膜 308 と、ゲート絶縁膜 308 上に設けられたゲート電極 310 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

30

【0299】

基板 300 上にはトランジスタ 360 を囲むように素子分離絶縁膜 306 が設けられており、トランジスタ 360 を覆うように絶縁膜 328、及び絶縁膜 330 が設けられている。なお、トランジスタ 360 において、ゲート電極 310 の側面にサイドウォール絶縁膜を設け、不純物濃度が異なる領域を含む不純物領域 320 としてもよい。

【0300】

単結晶半導体基板を用いたトランジスタ 360 は、高速動作が可能である。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。トランジスタ 360 を覆うように絶縁膜を 2 層形成する。トランジスタ 362 及び容量素子 364 の形成前の処理として、該 2 層の絶縁膜に CMP 処理を施して、平坦化した絶縁膜 328、絶縁膜 330 を形成し、同時にゲート電極 310 の上面を露出させる。

40

【0301】

絶縁膜 328、絶縁膜 329、絶縁膜 330 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。絶縁膜 328、絶縁膜 330 は、プラズマ CVD 法またはスパッタリング法

50

等を用いて形成することができる。

【0302】

また、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）等を用いることができる。有機材料を用いる場合、スピンコート法、印刷法などの湿式法によって絶縁膜328、絶縁膜330を形成してもよい。

【0303】

なお、本実施の形態において、絶縁膜328として窒化シリコン膜、絶縁膜329として、水、水素、酸素等の拡散防止膜として機能する金属酸化膜、代表的には酸化アルミニウム膜、絶縁膜330として、実施の形態1に示す加熱により酸素の一部が脱離する酸化絶縁膜、代表的には酸化シリコン膜を用いる。このような構造とすると、後の加熱工程において、窒化シリコン膜に含まれる水素を半導体材料を含む基板300、特にチャネル領域316に拡散させ、当該領域の欠陥の水素化が可能であると共に、酸化シリコン膜の酸素を酸化物半導体膜344へ拡散させ、酸化物半導体膜344の酸素欠損を低減することができる。

【0304】

絶縁膜330表面において、平坦化処理を行うことが好ましい。本実施の形態では、研磨処理（例えばCMP処理）により十分に平坦化した（好ましくは絶縁膜330表面の平均面粗さは0.15nm以下）絶縁膜330上に酸化物半導体膜344を形成する。

【0305】

図15（A）に示すトランジスタ362は、酸化物半導体膜344と、酸化物半導体膜344に接する、ソース電極及びドレイン電極として機能する一対の電極342a、342bと、酸化物半導体膜344の少なくとも一部と接するゲート絶縁膜346と、ゲート絶縁膜346上であって、且つ酸化物半導体膜344と重畳するゲート電極348とを有する。また、ゲート電極348上に設けられる絶縁膜349と、ゲート電極348の側面に接するサイドウォール絶縁膜336a、336bと、を有する。

【0306】

なお、トランジスタ362として、実施の形態1乃至実施の形態9に示す、酸化物半導体をチャネル領域に用いたトランジスタを適宜用いることができる。また、トランジスタ362においてチャネル長は短く、5nm以上60nm未満、好ましくは10nm以上40nm以下とする。トランジスタ362は、酸化物半導体膜をチャネル領域に用いているため、短チャネル効果を有さない、または極めて少なく、かつスイッチング素子としての良好な電気特性を示すトランジスタである。

【0307】

トランジスタ362は、オフ電流が小さいため、当該トランジスタを用いることにより、長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0308】

トランジスタ362上には、層間絶縁膜335、絶縁膜350が単層または積層で設けられている。本実施の形態では、絶縁膜350として、酸化アルミニウム膜を用いる。酸化アルミニウム膜を高密度（膜密度 3.2 g/cm^3 以上、好ましくは 3.6 g/cm^3 以上）とすることによって、トランジスタ362に安定な電気特性を付与することができる。

【0309】

また、層間絶縁膜335及び絶縁膜350を介して、トランジスタ362の電極342aと重畳する領域には、導電膜353が設けられており、電極342aと、層間絶縁膜335と、絶縁膜350と、導電膜353とによって、容量素子364が構成される。すなわち、トランジスタ362の電極342aは、容量素子364の一方の電極として機能し、導電膜353は、容量素子364の他方の電極として機能する。なお、容量が不要の場

合には、容量素子 3 6 4 を設けない構成とすることもできる。また、容量素子 3 6 4 は、別途、トランジスタ 3 6 2 の上方に設けてもよい。

【 0 3 1 0 】

トランジスタ 3 6 2 及び容量素子 3 6 4 の上には絶縁膜 3 5 2 が設けられている。そして、絶縁膜 3 5 2 上には配線 3 5 6 が設けられ、その配線 3 5 6 はトランジスタ 3 6 2 と他のトランジスタを接続するために設けられている。図 1 5 (A) には図示しないが、配線 3 5 6 は、絶縁膜 3 5 0、絶縁膜 3 5 2 及びゲート絶縁膜 3 4 6 などに形成された開口部に形成された電極を介して電極 3 4 2 b と電氣的に接続される。ここで、該電極は、少なくともトランジスタ 3 6 2 の酸化物半導体膜 3 4 4 の一部と重畳するように設けられることが好ましい。

10

【 0 3 1 1 】

図 1 5 (A) 及び図 1 5 (B) において、トランジスタ 3 6 0 と、トランジスタ 3 6 2 とは、少なくとも一部が重畳するように設けられており、トランジスタ 3 6 0 のソース領域またはドレイン領域と酸化物半導体膜 3 4 4 の一部が重畳するように設けられているのが好ましい。また、トランジスタ 3 6 2 及び容量素子 3 6 4 が、トランジスタ 3 6 0 の少なくとも一部と重畳するように設けられている。例えば、容量素子 3 6 4 の導電膜 3 5 3 は、トランジスタ 3 6 0 のゲート電極 3 1 0 と少なくとも一部が重畳して設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

20

【 0 3 1 2 】

なお、電極 3 4 2 b 及び配線 3 5 6 の電氣的接続は、電極 3 4 2 b 及び配線 3 5 6 を直接接触させて行ってもよいし、電極 3 4 2 b 及び配線 3 5 6 の間の絶縁膜に電極を設けて、該電極を介して行ってもよい。また、間に介する電極は、複数でもよい。

【 0 3 1 3 】

次に、図 1 5 (A) 及び図 1 5 (B) に対応する回路構成の一例を図 1 5 (C) に示す。

【 0 3 1 4 】

図 1 5 (C) において、第 1 の配線 (1 s t L i n e) とトランジスタ 3 6 0 のソース電極とは、電氣的に接続され、第 2 の配線 (2 n d L i n e) とトランジスタ 3 6 0 のドレイン電極とは、電氣的に接続されている。また、第 3 の配線 (3 r d L i n e) とトランジスタ 3 6 2 のソース電極またはドレイン電極の一方とは、電氣的に接続され、第 4 の配線 (4 t h L i n e) と、トランジスタ 3 6 2 のゲート電極とは、電氣的に接続されている。そして、トランジスタ 3 6 0 のゲート電極と、トランジスタ 3 6 2 のソース電極またはドレイン電極の一方は、容量素子 3 6 4 の電極の一方と電氣的に接続され、第 5 の配線 (5 t h L i n e) と、容量素子 3 6 4 の電極の他方は電氣的に接続されている。

30

【 0 3 1 5 】

図 1 5 (C) に示す半導体装置では、トランジスタ 3 6 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

40

【 0 3 1 6 】

情報の書き込み及び保持について説明する。まず、第 4 の配線の電位を、トランジスタ 3 6 2 がオン状態となる電位にして、トランジスタ 3 6 2 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 3 6 0 のゲート電極、及び容量素子 3 6 4 に与えられる。すなわち、トランジスタ 3 6 0 のゲート電極には、所定の電荷が与えられる (書き込み)。ここでは、異なる二つの電位レベルを与える電荷 (以下 L o w レベル電荷、H i g h レベル電荷という) のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 3 6 2 がオフ状態となる電位にして、トランジスタ 3 6 2 をオフ状態とすることにより、トランジスタ 3 6 0 のゲート電極に与えられた電荷が保持される (保持)。

50

【0317】

トランジスタ362のオフ電流は極めて小さいため、トランジスタ360のゲート電極の電荷は長時間にわたって保持される。

【0318】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ360のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ360をnチャンネル型とすると、トランジスタ360のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ360のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ360を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ360のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ360は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ360は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

10

【0319】

20

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ360が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ360が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0320】

本実施の形態に示す半導体装置では、チャンネル領域に酸化半導体膜を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

30

【0321】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

40

【0322】

以上のように、微細化及び高集積化を実現し、かつ安定で高い電気的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【0323】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0324】

(実施の形態11)

本実施の形態においては、実施の形態1乃至実施の形態9に示すトランジスタを使用し

50

、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置について、実施の形態10に示した構成と異なる構成について、図16及び図17を用いて説明を行う。なお、ここでは、半導体装置の一例として記憶装置を用いて説明する。

【0325】

図16(A)は、半導体装置の回路構成の一例を示し、図16(B)は半導体装置の一例を示す概念図である。まず、図16(A)に示す半導体装置について説明を行い、続けて図16(B)に示す半導体装置について、以下説明を行う。

【0326】

図16(A)に示す半導体装置において、ビット線BLとトランジスタ362のソース電極またはドレイン電極とは電氣的に接続され、ワード線WLとトランジスタ362のゲート電極とは電氣的に接続され、トランジスタ362のソース電極またはドレイン電極と容量素子454の第1の端子とは電氣的に接続されている。

【0327】

次に、図16(A)に示す半導体装置(メモリセル450)に、情報の書き込み及び保持を行う場合について説明する。

【0328】

まず、ワード線WLの電位を、トランジスタ362がオン状態となる電位として、トランジスタ362をオン状態とする。これにより、ビット線BLの電位が、容量素子454の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ362がオフ状態となる電位として、トランジスタ362をオフ状態とすることにより、容量素子454の第1の端子の電位が保持される(保持)。

【0329】

酸化物半導体膜を用いたトランジスタ362は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ362をオフ状態とすることで、容量素子454の第1の端子の電位(あるいは、容量素子454に蓄積された電荷)を極めて長時間にわたって保持することが可能である。

【0330】

次に、情報の読み出しについて説明する。トランジスタ362がオン状態となると、浮遊状態であるビット線BLと容量素子454とが導通し、ビット線BLと容量素子454の間で電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子454の第1の端子の電位(あるいは容量素子454に蓄積された電荷)によって、異なる値をとる。

【0331】

例えば、容量素子454の第1の端子の電位をV、容量素子454の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB \times VB0 + C \times V) / (CB + C)$ となる。従って、メモリセル450の状態として、容量素子454の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB \times VB0 + C \times V0) / (CB + C)$)よりも高くなることわかる。

【0332】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

【0333】

このように、図16(A)に示す半導体装置は、トランジスタ362のオフ電流が極めて小さいという特徴から、容量素子454に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0334】

次に、図16(B)に示す半導体装置について、説明を行う。

【0335】

図16(B)に示す半導体装置は、上部に記憶回路として図16(A)に示したメモリセル450を複数有するメモリセルアレイ451a及び451bを有し、下部に、メモリセルアレイ451(メモリセルアレイ451a及び451b)を動作させるために必要な周辺回路453を有する。なお、周辺回路453は、メモリセルアレイ451と電氣的に接続されている。

10

【0336】

図16(B)に示した構成とすることにより、周辺回路453をメモリセルアレイ451(メモリセルアレイ451a及び451b)の直下に設けることができるため半導体装置の小型化を図ることができる。

【0337】

周辺回路453に設けられるトランジスタは、トランジスタ362とは異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路(論理回路、駆動回路など)を好適に実現することが可能である。

20

【0338】

なお、図16(B)に示した半導体装置では、2つのメモリセルアレイ451(メモリセルアレイ451aと、メモリセルアレイ451b)が積層された構成を例示したが、積層するメモリセルアレイの数はこれに限定されない。3つ以上のメモリセルアレイを積層する構成としても良い。

【0339】

次に、図16(A)に示したメモリセル450の具体的な構成について図17を用いて説明を行う。

30

【0340】

図17は、メモリセル450の構成の一例である。図17(A)に、メモリセル450の断面図を、図17(B)にメモリセル450の上面図をそれぞれ示す。ここで、図17(A)は、図17(B)のF1-F2、及びG1-G2における断面に相当する。なお、図15(B)においては、明瞭化のため、トランジスタの構成要素の一部(例えば、層間絶縁膜335、ゲート絶縁膜346、絶縁膜349、絶縁膜456、絶縁膜458、配線460等)を省略している。

【0341】

図17(A)及び図17(B)に示すトランジスタ362は、実施の形態1乃至実施の形態9で示すトランジスタと同様な構成とすることができる。

40

【0342】

絶縁膜330上に設けられたトランジスタ362上には、絶縁膜456が単層または積層で設けられている。また、絶縁膜456を介して、トランジスタ362の電極342aと重畳する領域には、導電膜462が設けられており、電極342aと、層間絶縁膜335と、絶縁膜456と、導電膜462とによって、容量素子454が構成される。すなわち、トランジスタ362の電極342aは、容量素子454の一方の電極として機能し、導電膜462は、容量素子454の他方の電極として機能する。

【0343】

トランジスタ362及び容量素子454の上には絶縁膜458が設けられている。そして、絶縁膜458上には配線460が設けられ、その配線460はメモリセル450と隣

50

接するメモリセル４５０を接続するために設けられている。図示しないが、配線４６０は、絶縁膜４５６及び絶縁膜４５８などに形成された開口を介してトランジスタ３６２の電極３４２ｂと電氣的に接続されている。但し、開口に他の導電膜を設け、該他の導電膜を介して、配線４６０と電極３４２ｂとを電氣的に接続してもよい。なお、配線４６０は、図１６（Ａ）の回路図におけるビット線ＢＬに相当する。

【０３４４】

図１７（Ａ）及び図１７（Ｂ）において、トランジスタ３６２の電極３４２ｂは、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

10

【０３４５】

図１７（Ｂ）に示す平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【０３４６】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体膜を用いたトランジスタにより形成されている。酸化物半導体膜を用いたトランジスタは、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【０３４７】

20

このように、酸化物半導体以外の材料を用いたトランジスタ（換言すると、十分な高速動作が可能なトランジスタ）を用いた周辺回路と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【０３４８】

以上のように、微細化及び高集積化を実現し、かつ安定で高い電氣的特性を付与された半導体装置、及び該半導体装置の作製方法を提供することができる。

【０３４９】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

30

【０３５０】

（実施の形態１２）

先の実施の形態で示した半導体装置の一例としては、中央演算処理装置、マイクロプロセッサ、マイクロコンピュータ、記憶装置、イメージセンサ、電氣光学装置、発光表示装置等がある。また、該半導体装置をさまざまな電子機器に適用することができる。電子機器としては、例えば、表示装置、照明装置、パーソナルコンピュータ、ワードプロセッサ、画像再生装置、ポータブルＣＤプレーヤ、ラジオ、テープレコーダ、ヘッドホンステレオ、ステレオ、時計、コードレス電話子機、トランシーバ、携帯無線機、携帯電話、スマートフォン、電子書籍、自動車電話、携帯型ゲーム機、電卓、携帯情報端末、電子手帳、電子翻訳機、音声入力機器、ビデオカメラ、デジタルスチルカメラ、電氣シェーバ、高周波加熱装置、電氣炊飯器、電氣洗濯機、電氣掃除機、温水器、扇風機、毛髪乾燥機、エアコンディショナー、加湿器、除湿器、空調設備、食器洗浄器、食器乾燥器、衣類乾燥器、布団乾燥器、電氣冷蔵庫、電氣冷凍庫、電氣冷凍冷蔵庫、ＤＮＡ保存用冷凍庫、懐中電灯、電動工具、煙感知器、医療機器、誘導灯、信号機、ベルトコンベア、エレベータ、エスカレータ、産業用ロボット、電力貯蔵システム、電氣自動車、ハイブリッド車、プラグインハイブリッド車、装軌車両、原動機付自転車、自動二輪車、電動車椅子、ゴルフ用カート、船舶、潜水艦、ヘリコプター、航空機、ロケット、人工衛星、宇宙探査機や惑星探査機、宇宙船等がある。本実施の形態では、先の実施の形態で示した半導体装置を、携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図１８乃至図２１を

40

50

用いて説明する。

【0351】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0352】

通常のSRAMは、図18(A)に示すように1つのメモリセルがトランジスタ801~806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセル面積は通常100~150F²である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

10

【0353】

それに対して、DRAMはメモリセルが図18(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1トランジスタ1容量の構成になっており、面積が小さい。DRAMのメモリセル面積は通常10F²以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えをおこなわない場合でも電力を消費する。

20

【0354】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、10F²前後であり、且つ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、且つ消費電力が低減することができる。

【0355】

図19に携帯機器のブロック図を示す。図19に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコントローラ911、メモリ回路912、ディスプレイ913、タッチセンサ919、音声回路917、キーボード918などより構成されている。ディスプレイ913は表示部914、ソースドライバ915、ゲートドライバ916によって構成されている。アプリケーションプロセッサ906は、中央演算処理装置(CPU907)、DSP908、インターフェイス(IF)909を有している。一般にメモリ回路912はSRAMまたはDRAMで構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。また、CPU907に含まれる、データや命令を記憶するための主記憶装置、及び高速でデータの書き込みと読み出しができるレジスタ、キャッシュなどの緩衝記憶装置に、先の実施の形態で説明した半導体装置を採用することにより、CPUの消費電力が十分に低減することができる。

30

40

【0356】

図20に、ディスプレイのメモリ回路950に先の実施の形態で説明した半導体装置を使用した例を示す。図20に示すメモリ回路950は、メモリ952、メモリ953、スイッチ954、スイッチ955及びメモリコントローラ951により構成されている。また、メモリ回路は、信号線から入力された画像データ(入力画像データ)、メモリ952、及びメモリ953に記憶されたデータ(記憶画像データ)を読み出し、及び制御を行うディスプレイコントローラ956と、ディスプレイコントローラ956からの信号により表示するディスプレイ957が接続されている。

【0357】

50

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データA）。入力画像データAは、スイッチ954を介してメモリ952に記憶される。そしてメモリ952に記憶された画像データ（記憶画像データA）は、スイッチ955、及びディスプレイコントローラ956を介してディスプレイ957に送られ、表示される。

【0358】

入力画像データAに変更が無い場合、記憶画像データAは、通常30～60Hz程度の周期でメモリ952からスイッチ955を介して、ディスプレイコントローラ956から読み出される。

【0359】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データAに変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データB）を形成する。入力画像データBはスイッチ954を介してメモリ953に記憶される。この間も定期的にメモリ952からスイッチ955を介して記憶画像データAは読み出されている。メモリ953に新たな画像データ（記憶画像データB）が記憶し終わると、ディスプレイ957の次のフレームより、記憶画像データBは読み出され、スイッチ955、及びディスプレイコントローラ956を介して、ディスプレイ957に記憶画像データBが送られ、表示がおこなわれる。この読み出しはさらに次に新たな画像データがメモリ952に記憶されるまで継続される。

【0360】

このようにメモリ952及びメモリ953は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ957の表示をおこなう。なお、メモリ952及びメモリ953はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ952及びメモリ953に採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0361】

図21に電子書籍のブロック図を示す。図21はバッテリー1001、電源回路1002、マイクロプロセッサ1003、フラッシュメモリ1004、音声回路1005、キーボード1006、メモリ回路1007、タッチパネル1008、ディスプレイ1009、ディスプレイコントローラ1010によって構成される。

【0362】

ここでは、図21のメモリ回路1007に先の実施の形態で説明した半導体装置を使用することができる。メモリ回路1007の役割は書籍の内容を一時的に保持する機能を持つ。機能の例としては、ユーザーがハイライト機能を使用する場合などがある。ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキングをしたい場合がある。このマーキング機能をハイライト機能と言い、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって、周囲との違いを示すことである。ユーザーが指定した箇所の情報を記憶し、保持する機能である。この情報を長期に保存する場合にはフラッシュメモリ1004にコピーしても良い。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減することができる。

【0363】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。

【0364】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

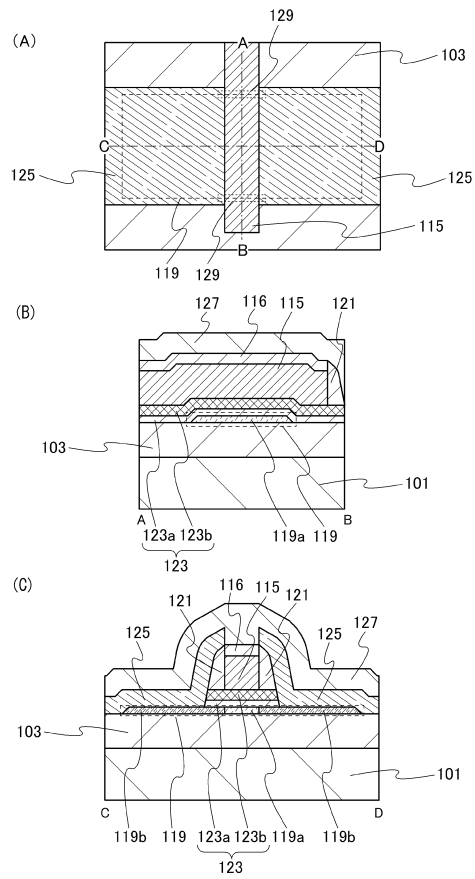
10

20

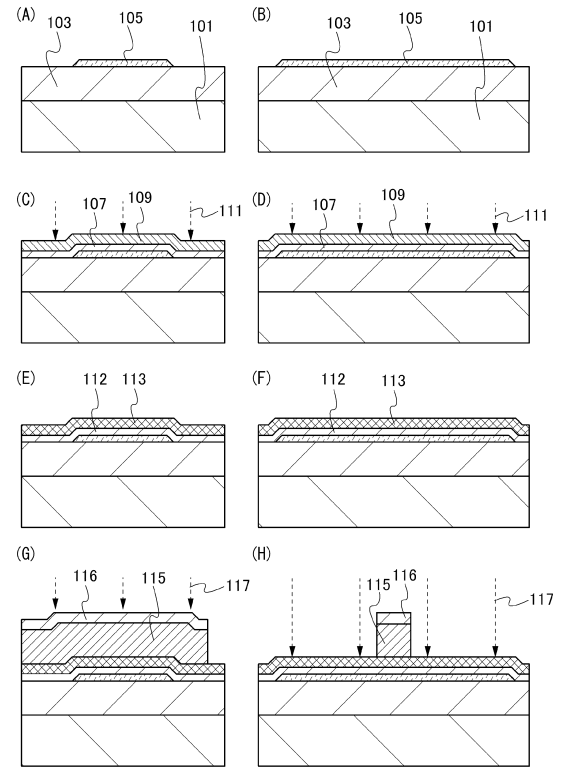
30

40

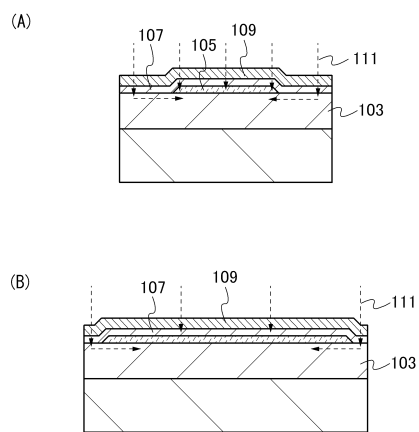
【図 1】



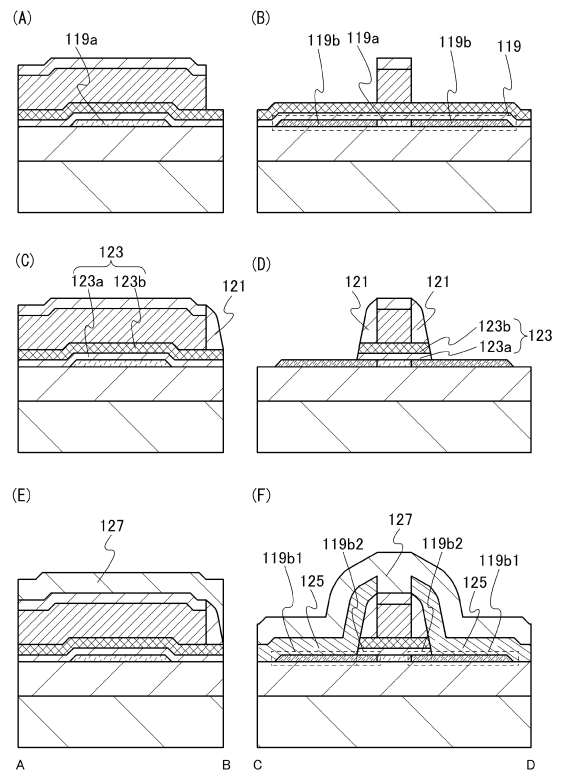
【図 2】



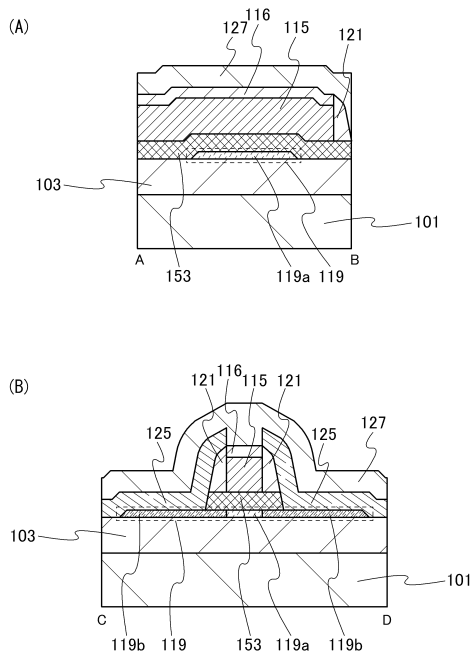
【図 3】



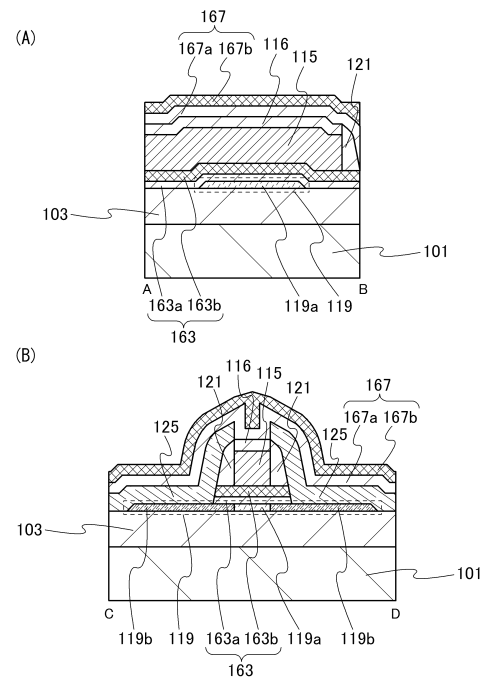
【図 4】



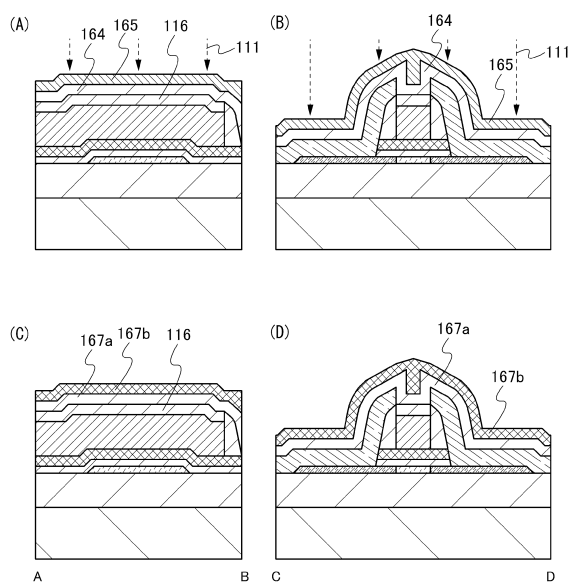
【図 5】



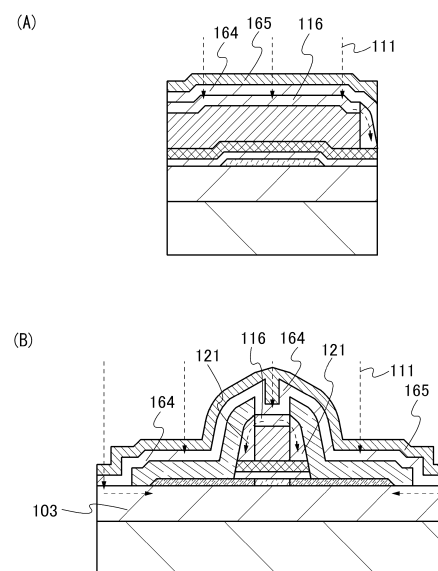
【図 6】



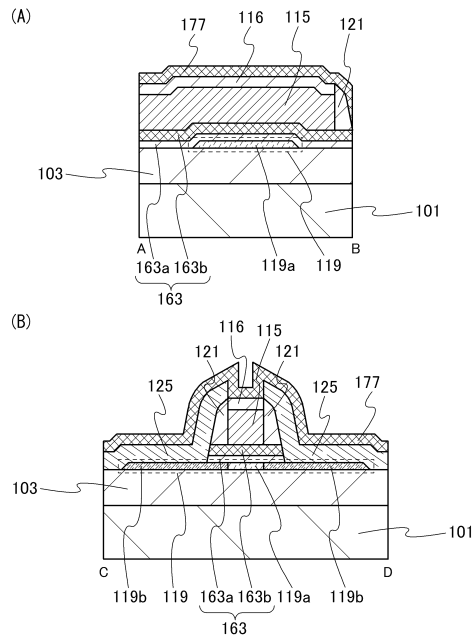
【図 7】



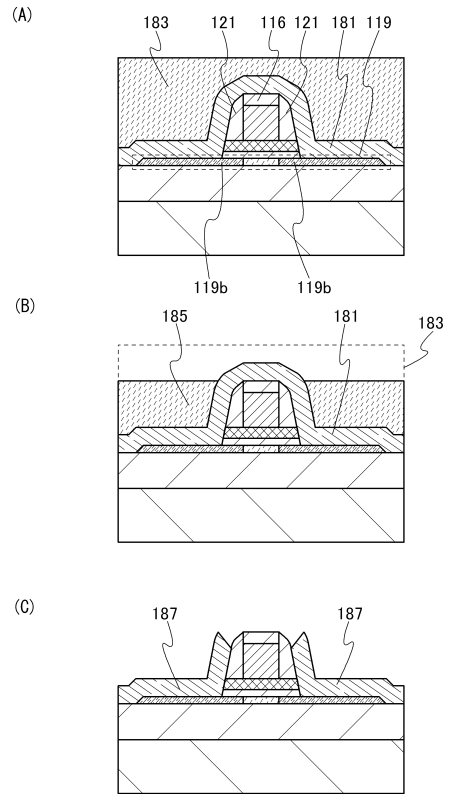
【図 8】



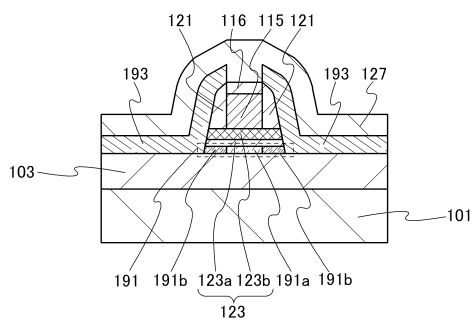
【図 9】



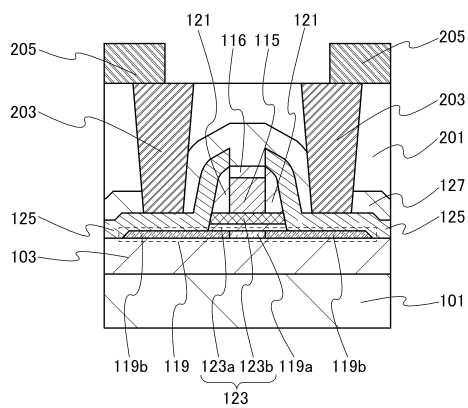
【図 10】



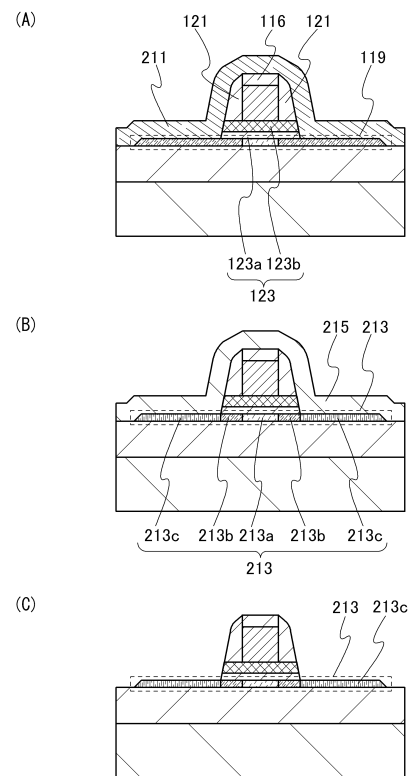
【図 11】



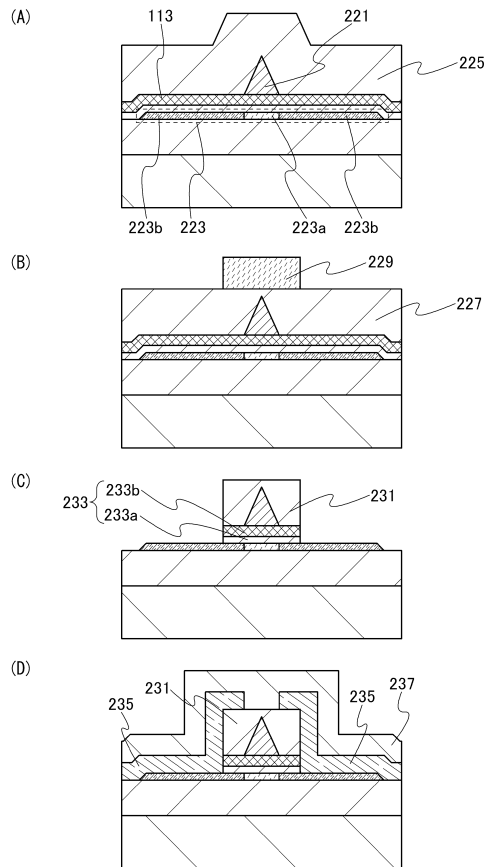
【図 12】



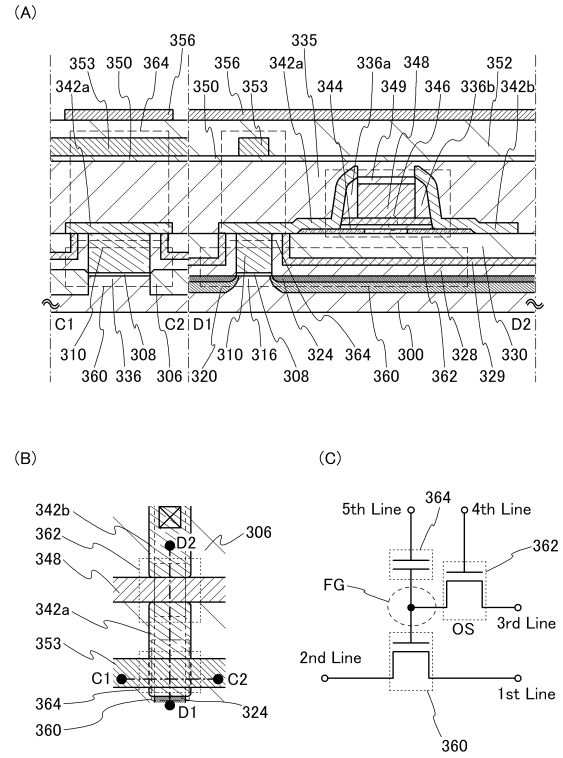
【図 13】



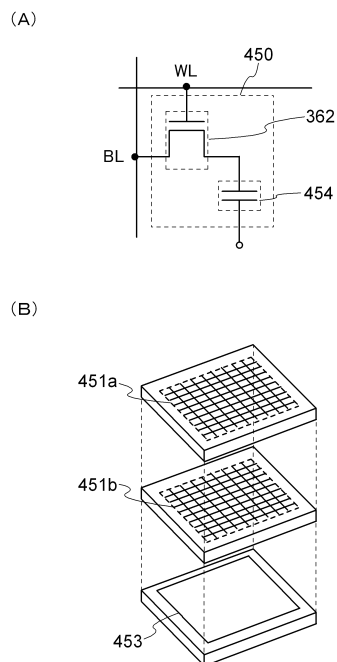
【 図 1 4 】



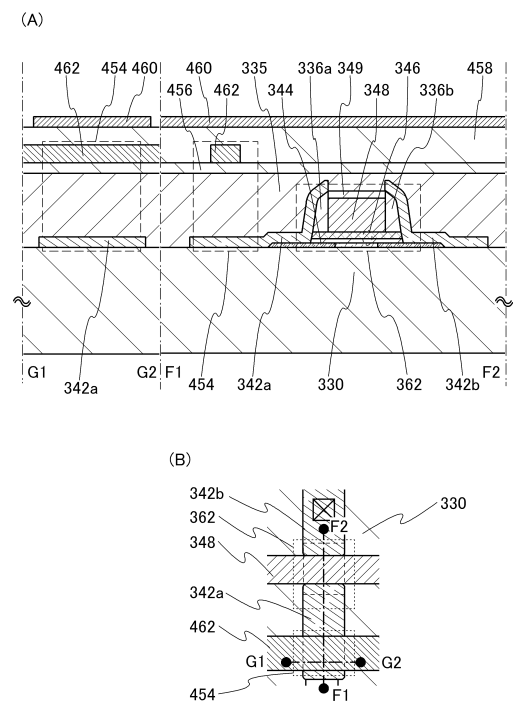
【 図 1 5 】



【 図 1 6 】

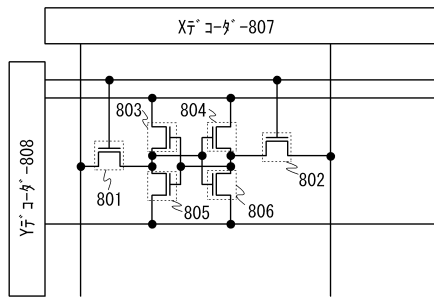


【 図 1 7 】

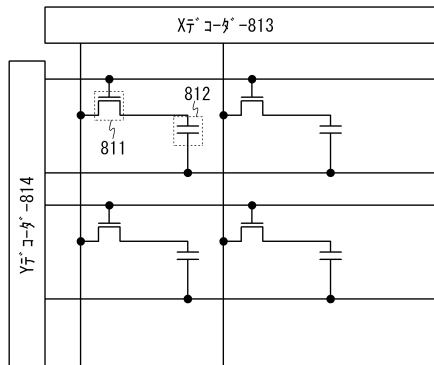


【図 18】

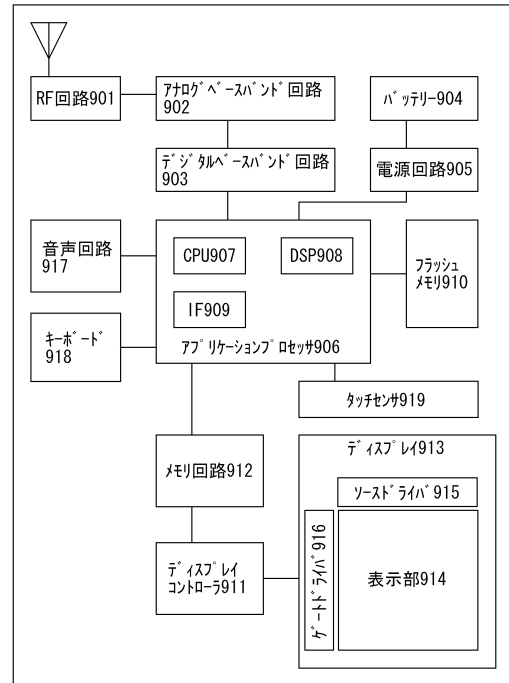
(A)



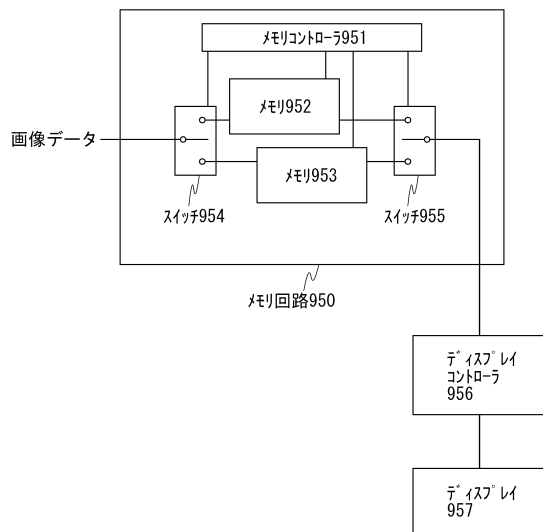
(B)



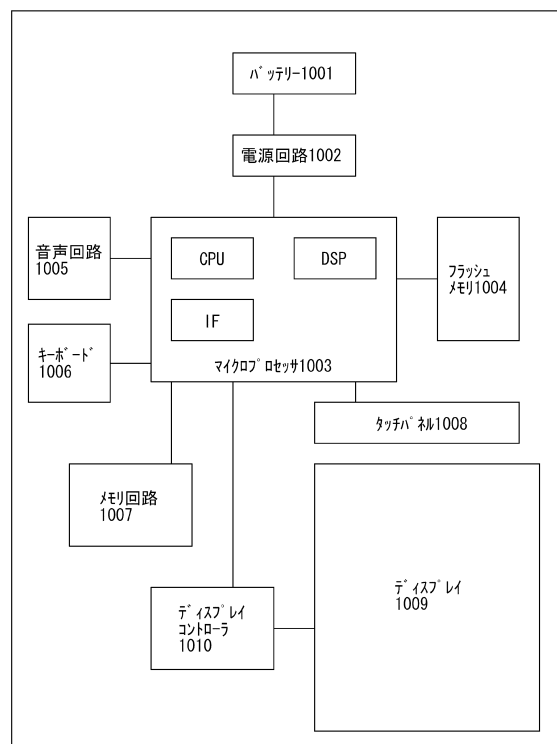
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/1368

(56)参考文献 特開 2 0 1 0 - 2 5 8 0 5 7 (J P , A)
特開 2 0 1 1 - 1 4 6 6 9 7 (J P , A)
特開 2 0 1 0 - 0 1 6 1 6 3 (J P , A)
特開 2 0 1 1 - 1 8 1 9 1 7 (J P , A)
特開 2 0 1 2 - 0 1 5 4 3 6 (J P , A)
特開 2 0 0 3 - 2 4 9 4 9 7 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 4 1 7
H 0 1 L 2 9 / 7 8 6