[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G06F 11/20
G09G 3/20 G06F 15/80
H01L 31/12

[12] 发明专利说明书

[21] ZL 专利号 95193181.4

[43] 授权公告日 2003 年 4 月 2 日

[11] 授权公告号 CN 1104683C

[22] 申请日 1995.3.22 [21] 申请号 95193181.4
[30] 优先权
[32] 1994. 3.22 [33] US [31] 08/216,262
[86] 国际申请 PCT/CA95/00161 1995.3.22
[87] 国际公布 WO95/26001 英 1995.9.28
[85] 进入国家阶段日期 1996.11.20
[71] 专利权人 海珀奇普公司
地址 加拿大魁北克省
[72] 发明人 理查德·S·诺曼
审查员 王京霞

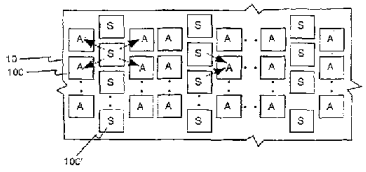
[74] 专利代理机构 中国专利代理(香港)有限公司
代理人 马铁良 王忠忠

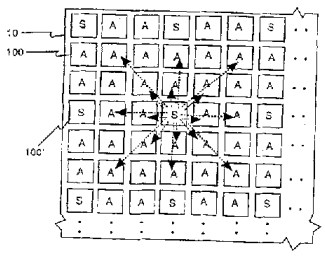
权利要求书 3 页 说明书 36 页 附图 24 页

[54] 发明名称 支持具有与系统操作者直接通信的装置的完全集成系统的高效直接单元替换容错结构

[57] 摘要

一种数据处理系统，包含一具有足够冗余的单片单元网络，此足够冗余通过备用单元直接地逻辑替换故障单元来提供，此单元网络允许组织成一个没有不可恢复的故障的大的单片单元阵列，其中的单元具有许多有用的特性。 根据本发明的数据处理系统克服了基于芯片的结构和芯片尺寸限制和片外连接瓶颈，克服了单处理器结构的冯纽曼瓶颈、并行处理结构的存贮器和 I/O 瓶颈和高分辨率显示的输入带宽瓶颈，并且支持将大到整个大规模并行数据处理系统集成到单个单片体中。





ISSN1008-4274

1.一种数据处理系统，包含一单片单元网络，该单片单元网络具有足够的冗余以允许组成一单元阵列，如果采用相同的工艺制造而没有备用单元，则该单元阵列将平均含有多个故障单元，当所有的故障阵列单元在逻辑上能够由正确运行的备用单元替换时，具有 50 % 以上的阵列成品率。所述足够的冗余包括一种备用单元的安排，这种安排提供了特定数量的备用单元，在少于此特定数量的次数时，这些备用单元能够替换任一阵列单元，象阵列单元一样的许多备用单元在网络中成为一个整体，其中替换一阵列单元的每个备用单元重复或利用了所述阵列单元的每一个内部功能和每一个外部连接，使得所述备用单元以一种方式与系统的其余部分交互作用，这种方式在逻辑上与如果所述阵列单元没有发生故障将具有的工作方式相同；并且其中所述的阵列单元至少有一种下列的性能:

(a)每个阵列单元能够通过用于与一物理阵列维的单个开/关寻址信号而直接寻址，所述的用于一给定物理维的寻址信号通过一载体传输，当所述的阵列单元在所述的物理维时，通过此载体将所述的寻址信号直接传送到在同一索引中的每一个阵列单元，所述的阵列单元通过一个专门用于它的连接接收所述的寻址信号;

(b)在其中至少有两个物理维的至少总共三维的每一维上，每个阵列单元具有从至少一个相邻单元直接接收信号的输入装置，以及直接发送信号到至少一个另外的相邻单元的输出装置，在一给定对相邻阵列单元之间的所述信号通过一专用载体发送，此专用载体仅连接所述的阵列单元对或所述的阵列单元对和其可能的替换件;

2.如权利要求 1 所述的一种数据处理系统，其中任一给定阵列单元能够通过用于与一物理阵列维的单个开/关寻址信号而直接寻址，所述的用于一给定物理维的寻址信号通过一载体传输，当所述的阵列单元在所述的物理维时，通过此载体将所述的寻址信号直接传送到在同一索引中的每一个阵列单元，所述的阵列单元通过一个专门用于它的连接接收所述的寻址信号；其中每个阵列单元还有到一与其它阵列单元共享的总线的一些连接；并且其中的每个阵列单元包含用于至少 256 比特数据的存贮装置，以及当被所述的寻址信号寻址时，用于在所述的存贮装置和所述的数据总线之间传输所述数据的装置。

3.如权利要求 2 所述的一种数据处理系统，其中，至少一个串行处理器在与单片单元网络相同的基片上被制造，具有用于所述的串行处理器通过到所述寻址信号载体的连接而直接寻址所述阵列单元的装置，并且具有用于所述串行处理器和所述的数据总线收发数据的装置。

4.根据权利要求 2 的系统，其中，单元阵列包括所述数据处理系统总存贮器的至少一半，阵列单元还包括直接输出装置，所述直接输出装置直接唯一地指派给所述阵列单元或所述阵列单元及其可能替换件，载体或向所述直接输出装置发送其控制信号的载体被唯一地指派给所述阵列单元或所述阵列单元及其可能替换件。

5.根据权利要求 1 的系统，其中，每个阵列单元具有直接输出装置以向所述数据处理系统之外直接发送输出信号，所述直接选择输出装置唯一地指派给所述阵列单元或所述阵列单元及其可能替换件；且其中，所述阵列单元包括一装置用于分别地或共同地把来自所述阵列单元直接输出装置的输出集中到一外部接收器，该接收器与所述系统的距离和/或方向不是预定的。

6.根据权利要求 1 的系统，其中，每个阵列单元具有直接输入装置，以通过唯一指派给所述阵列单元或所述阵列单元及其可能替换件的输入装置直接从外连于该系统的一装置接收输入信号，所述输入信号从所述输入装置通过唯一指派给所述阵列单元或所述阵列单元及其可能替换件的载体传输，所述阵列单元包括单独或共同把所述阵列单元的直接输入装置集中到一外部源上，其与所述系统的距离和/或方向不是预先确定的。

7.根据权利要求 1 的系统，其中，每个阵列单元还具有电源贮存装置。

8.根据权利要求 7 的系统，其中，每个阵列单元具有一装置把一电源共享总线连接到所述单元网络区中的多个单元，其类似于所述完整网络。

9.根据权利要求 7 的完整的数据处理系统，其中，所述的完整的数据处理系统制成为一页片，其总厚度小于 1 毫米。

10.一包括单片单元阵列的数据处理系统，其中，由备用单元和所述备用单元装置提供容错以逻辑替换故障阵列单元，所述系统包括的备用单元多于故障的阵列单元，从而某些备用单元不被指派给替换故障阵列

单元，一控制程序使用了多个所述的未被指派的备用单元以加速执行单串行任务。

11.根据权利要求 10 的数据处理系统，其中，至少一个所述的未被指派的备用单元用作为个别指令仿真器，独立流水线支路指示器、抽象执行器、指令预取器和/或指令解码器。

12.根据权利要求 10 的数据处理系统，其中，所述控制程序使用多个所述未被指派的备用单元做为 RAM 盘，盘海量存贮器、I/O 缓冲器和/或交换空间。

13.一数据处理系统，含有一可替换的光学输出单元的单片阵列，包括备用的光学输出单元，其中通过装置提供容错，该装置使用一备用光学输出元件逻辑地替换所述阵列的一个可替换的光学输出元件，该可替换的光学输出元件应当是有故障的，其中所述可替换光学输出元件被一备用元件的所述替换不导致来自所述可替换元件的输出的大于 50 微米的位置变化。

14.根据权利要求 13 的数据处理系统，另外包括用于接收直接输入的装置、用于处理的装置和用于存储的装置。

15.根据权利要求 13 的完整的数据处理系统，其中，所述系统制作为一薄片，其总厚度小于 1 毫米。

16.一种数据处理系统，包含:

一单片阵列的单元，该单元具有直接输出的装置，用于控制入射到该阵列的光的反射和折射，

其中所述的单片阵列的单元另外或者具有光电装置以捕获至少某些改变方向而不能被直接输出装置改向的光子，或者具有光学或电光计算装置，计算那些不能被所述直接输出装置改向的至少某些所述可改向光子。

支持具有与系统操作者直接通信的装置的完全集成系统的高效直接单元替换容错结构

技术领域

本发明涉及数据处理系统的改进。更具体地，本发明涉及通过提高可被集成到单片区域中的存储器、处理和I/O能力消除性能瓶颈和减小系统尺寸及成本。

背景技术

早期的计算机电路由分离元件制成，这些元件以肉眼可见的规模连接起来。集成电路将所有的电路元件（电阻、电容、晶体管和导体）组合到单个基片上，从而大大减小了电路尺寸和功率消耗，并且使连线完毕的电路能够大规模地生产。整个电路的大规模生产在过去的几十年里使计算机在性能、价格、功率和可携带性方面产生了惊人的改进。但是，光刻的差错已经限制了能够在单片上制造而没有致命瑕疵的电路的复杂性。为了消除这些瑕疵，被处理的大晶片被分割成许多芯片，使得坏区能够被除掉。光刻的改进使得单片上的集成度不断增加，但是，对更强大的和更加便携的系统的需求也增加得更快。

现在，采用单片处理器的便携计算机能够做在一个电路板上，但是，光刻错误限制了目前的芯片的尺寸和复杂性，每个系统还需要许多分离的芯片。处理器、存储器和辅助芯片的分离晶片被分割成它们的元件芯片，然后一些芯片封装在笨重的陶瓷外壳中并固定到一个尺寸更加庞大的印刷电路板上，使得这些封装后的芯片相互连接，从而产生一个比其元件芯片大许多个数量级的系统。因为芯片是在容观规模而不是在微观规模上连接，这样做严重地限制了互连的数量，所以，采用分离芯片也能形成芯片外数据流瓶颈。客观芯片间的连接也增加了电源消耗。此外，即使单板系统采用外接分离设备用于系统的输入和输出，也会进一步增加系统尺寸和电源消耗。因而最紧凑的系统在电池寿命、显示器分辨率、存贮器和处理能力方面必然受到严格的限制。

众所周知，通过增加存贮器至处理器的芯片，可以减少流过片外瓶

颈的数据流量并增加处理器至存贮器的连通性。Intel 的新型奔腾（tm）处理器和 IBM/Motorala/Apple 的 Power PC（tm）601 处理器，都采用了到小型片内高速缓存器的 256 位宽的数据通道，以便补充至其系统的片外主存的 64 位宽的通道（“RISC Drives Power PC”，BYTE, August 1993，“Intel launches a Rocket in a Socket”，BYTE，May 1993）。但是，芯片尺寸的限制使片内存贮器的数量一点也不会超过整个系统所用存贮器的数量。

并行计算机系统也为人们所公知。例如，IBM 3090 大型计算机采用共享一公共存贮器的并行处理器。虽然这种共享存贮器并行系统确实消除了冯纽曼的单处理器瓶颈，但通过单一的数据通道的来自所有处理器的存贮器访问的汇集明显地减小了增加更多处理器的效率。并行系统通过附加局部存贮器解决上述瓶颈的技术已为人们所公知。例如，美国专利 No. 5 056 000 公开了一种采用局部和共享存贮器的系统，美国专利 No.4 591 981 公开了一种局部存贮器系统，其中的每个“局部存贮器处理器”由一些共享此“局部”存储器的较小的处理器构成。但是，在这些系统中，局部处理器/存贮器组包含许多分离的芯片．并且当每个处理器有它自己的局部输入和输出时，这些输入和输出通过外部设备来实现。这样，在处理器和外部芯片、设备之间就需要复杂的宏观的（并且因此片外瓶颈限制的）连接，当处理器的数量增加时，就会大大增加系统的成本和复杂性。

大规模的并行计算机系统也为人们所公知。例如，美国专利 No. 4 622 632、4 720 780、4 873 626 和 No.4 942 517 公开了含有处理器阵列的系统的一些例子，其中的每个处理器都有自己的存贮器。虽然这些系统确实消除了冯纽曼单处理器瓶颈和并行应用中的多处理器的存贮器瓶颈，但片外数据通道瓶颈仍然限制了处理器/存贮器的连接和处理器间的连接。而且，这些处理器的输出还汇集在一起，通过单一的数据通道到达一给定的外部输出设备，这样就产生一个输出瓶颈，对于输出密集的任务，就限制了这种系统的效率。外部输入和输出设备的使用还增加了整个系统的尺寸、成本和复杂性。

在现有技术中，多处理器芯片也为人们所公知。例如，美国专利 No.5 239 654，在一个图象处理芯片上需要“几个”并行处理器。甚至更大数量的处理器也是可能的—例如，Thinking Machines 公司早期的

CM－1 Connection Machine，每个芯片采用32个处理器以减少分离芯片的数量和系统整体所需的片外连接（并且因此减小系统的尺寸和成本）（美国专利No.4709 327）。但是，在这种结构中，芯片尺寸的限制迫使在处理器的数量和尺寸之间采取一个艰难的折衷方案；这时在普通的应用中，CM－1芯片采用1位处理器代替8位至32位的处理器。但是，即使是繁重的并行任务，除了这些任务在某一时刻仅有几个比特能被一个给定的处理器处理外，用每芯片一个32位处理器代替每芯片32个1位处理器不会产生任何性能增益。此外，这些非标准处理器不能运行标准软件，因而从操作系统至编译程序、至应用程序的每一个都需要重写，从而大大增加了这种系统的编程费用。较新的大规模并行系统，诸如CM－5 Connection Machine采用标准的32位满片（full-chip）处理器代替多处理器芯片。

现有技术中，输入阵列也是公知的。例如，目前最新的摄象机采用电荷耦合器件（CCD）阵列将并行光输入汇集到单一数据流中。美国专利No.4 908 751公开了将一输入阵列与一数字阵列处理器相结合的技术，其中的输入阵列和处理器阵列为分离器件并且阵列间的通信表现为面向行连接，这样将减轻但不会消除输入瓶颈。在美国专利No.4 709 327中，从一图象传感器至每个处理单元的输入认为是可替代的输入方法，但是没有说明如何实现此方法。执行输入数据的模拟滤波的直接输入阵列已经被Carver Mead等人发明，（“The Silicon Retina” Scientific American May 1991）。光刻错误也限制了这些阵列的尺寸，所以基于这种阵列的系统要受片外数据流瓶颈的支配。对外部输出设备的连接的依赖也增加了这种系统的整体尺寸、成本和复杂性。

现有技术中每个输出元件有其自己的晶体管的输出阵列为人们所公知，并且已被商业化用于平板显示器中，有些彩色显示器采用了一个晶体管代表一种颜色的显示元件。由于这些输出元件不能增加、减少、或者编辑并（edit-and-pass-on）一个数据流，因此，这种显示元件不能执行数据解压缩或其它处理，所以此输出阵列需要单一非压缩数据流，因而当阵列尺寸增加时就会产生带宽瓶颈。这些输出阵列也没有故障容限，所以每个象素必须功能正常，否则在阵列中就会显现出一个明显的“洞”。这种对完美的需要导致了这种显示器的低

产出和高成本。

现有技术中，采用无线链路与外部设备进行通信的系统也为人们所公知。无绳数据传输设备，包括键盘和鼠标、手持计算机至桌面计算机的数据链路、遥控和手提电话，它们的使用正每日俱增。但是，这种链路使用的增加以及其范围和数据传输率的增加都增加了对带宽的需求。有些电磁频率范围已经很拥挤，从而使传输瓶颈增加了一个限制因素。电源的需求也限制了这种系统的范围，并且为了可靠地传输，经常需要发射器实际上指向接收器。

容错结构也为人们所公知。其中最成功的是在存贮器芯片中采用的备用线路的方法。例如，美国专利 **No. 3 860 831** 和 **4 791 319** 公开了适合上述芯片的备用线路方法。实际上，例如，一个 **4** 兆位的芯片，其标称的可能有 **64** 个单元，每个单元有 **64K** 有效位存贮器，组成 **256 × 256** 位阵列，而实际上每个单元有 **260 × 260** 位，这样就允许通过更换备用线来校正一个单元内的几个错误，因此节省了单元。这样就允许采用更精细的光刻，从而增加了芯片的存贮器密度和速度。由于在一个存贮器芯片中的所有位都具有相同的功能，因此存贮器的这种冗余相对地容易实现。但是，处理器具有大量的功能各异的电路（现有技术中常称之为随机逻辑电路），并且能够替换一种故障电路的备用电路通常不能替换不同种的电路，因此这些一般的备用电路的方法对处理器是不适用的。

现有技术中，通过复制每个电路处理随机逻辑电路的冗余方法也为人们所公知。这种方法就是选择每个电路的正确的功能拷贝的输出并且忽略或消除错误拷贝的输出。在这些复制方法中，例如美国专利 **No.4 798 976** 和 **5 111 060** 所说明的电路重复方法采用了最少冗余资源，但是只提供了克服故障的最低保护，因为一个给定电路的两个故障拷贝（或者一个在其连接的输出线上的故障）还会产生一个不可校正的故障。此外，还需判定哪个电路被损坏，以便使其无效。因此，很多方法增加了每个电路的第三拷贝，使得一种表决方法能够自动地消除单一故障拷贝的输出。但是，这将导致一个难题：当对大块电路的输出表决时，三个拷贝中的两个有故障是很可能的，但是当对小块电路的输出表决时，将需要许多表决电路，这样就增加了在表决电路本身中出现错误的可能性！处理三个中有两个故障电路的（它比重复方法中面对的两个问题中出现两

个故障的情况发生得更频繁）方法也为人们所公知。一种策略是提供某些方法以消除表决出的故障电路，如美国专利 No.4 621 201 所述。当加入一个诊断步骤到不同情况下的动态表决处理中时，它将允许具有两个故障成员的三元组（ triplet ）仍然有用。另一种策略，例如美国专利 No.3 543 048 和 4 849 657，需要 N 重复制，这里的 N 能够上升到提供充分冗余所需的任意程度。大的 N 值不仅会造成空间的低效率使用，而且会增加表决电路自身的复杂性，因而增加了其中的故障可能性。通过将表决电路的复杂性最小化，上述问题虽然没有消除，但有时能够减小些。例如美国专利 No.4 617 475，其中通过采用加到每个电路复制品中的模拟差分晶体管，允许单个模拟差分晶体管执行表决，而不管此电路有多少个复制品。还有的另一个策略就是，通过在门的层级上复制电路以建立冗余到逻辑电路本身中而消除“表决”。例如，美国专利 2 942 193，其中需要每个电路的四重复制，并用互联的方法消除产生错误的两级中的错误信号。虽然这种方法可用于集成电路（尽管较早地考虑到它），但是与等效的非冗余逻辑相比，它需要四倍的门，且每个门需要两倍的输入，因而电路面积和电源需求增加得太多，以致不实用。所有这些 N 重冗余方法还有这样的一些问题，即如果这些复制品物理上相距较远，则信号的汇集就需要额外的连线，因而产生传送延迟，而如果这些复制品在一起靠得很近，则单个大的光刻错误能够消除全部的复制品，因而产生一个不可恢复的错误。

现有技术中，基于单元的容错结构也为人们所公知。例如美国专利 No. 3 913 072 和 5 203 005，二者公开的容错方法是把一些芯片的整个晶片连接成单一的无错单元链，即使当大量的不同的芯片有故障时也是如此。但是，这样产生的一维链缺乏快速存贮器阵列所需的直接可寻址性、I/O 阵列所需的阵列单元的位置规律性、以及高效处理大量并行处理任务所需的二维或更高的邻元—邻元（ neighbor-to-neighbor ）的通信。这就把这种设计的中低性能存贮器系统的应用限制在执行受一维或较低连通性支配的任务，例如数据排序。美国专利 No.4 800 302 公开了一种基于备用单元方法的全局地址总线，它根本不支持直接的单元—单元的连接，单元间的所有通信都需在全局总线上实现。通过一全局总线对单元寻址具有明显的缺点，它不允许对多个单元的并行访问，在访问一个单元时，在总线上用一个地址与此单元的地址比较时会产生一个延

迟。此外，大量的单元低效率地消耗电源，为了让N个单元能够判定它们是否被寻址，每个单元必须检查的最小地址位是log 2（N），（在二进制系统中），所以一个地址信号需要足够的功率以驱动N × log2(N)个输入。在一个所有的单元间信号都是全局的系统中，这是很高的开销。

在现有技术中，甚至支持二维连通性的基于单元的容错结构也为人们所公知。美国专利No.5 065 308公开了一种单元阵列，它能用邻元—邻元连接的方式组织成一系列无错线性单元链或一个无错单元的二维阵列。但是，除了最低故障密度外的其它的一些考虑减小了其对大的高性能阵列的适用性。虽然这些单元能够通过它们的行和列连接IPN→OPS和IPE→OPE而被寻址，但是这种寻址不是直接的，寻址时的一个信号从西到东要遇到3个输入门/单元，（甚至假定通过处理器本身时为零延迟）。因此，虽然大规模的单元产生高故障率，但是小规模的单元尺寸在信号通过阵列的传输中却会产生明显的延迟。例如，假定有一个晶片，其故障率为每平方厘米1个故障，那么对于一种前沿（leading edge）生产技术，这种晶片是合适的。在一个5英寸的晶片上可生产出一个80平方厘米的矩形阵列。现在考虑什么尺寸的单元可能合适。对于1平方厘米（比一个奔腾芯片的一半还要小）单元中的8乘10阵列，其原始单元的成品率应为30％左右，或者平均数为24或25个好的单元，仅当每一列至少有一个好的单元，并且被每个相邻列中的最近的好单元的最多一行所隔离时，这样就只能形成一个1 × 8无故障阵列。对于非常低的整体1％的阵列单元成品率，其发生的可能性约为10％。但是，对于晶片规模集成，由于较小的尺寸不必被分割和重接，因此较小尺寸的晶片是有效的，当单元尺寸减小时，成品率大大增大，但传输延迟也增加。对于5平方毫米的单元，一个16 × 20的原始单元阵列是合适的，并且比原始单元的成品率几乎可达75％，所以大多数阵列将有约240个好单元。当平均每列有15个好单元时，这是在最后的阵列中确定行数的最少好单元数。典型的为10或11行，产生16 × 10或16 × 11阵列。这将有50％－55％的阵列单元成品率，这是十分合理的。但是，跨越阵列传输的行寻址信号将顺序通过30以上的门，因而对于高性能存贮器系统来说，所产生的延迟太长了。

虽然互连方法的目标是用于处理单元，但是也有一些问题。单元旁

通方法支持二维邻元—邻元的连通性，并且对于每一列能够支持，一面向列的总线，但是单元旁通方法不支持相应的面向行的总线而没有2门每单元的延迟。三维连通性只能通过将上述旁通方法扩展为实际上的三维阵列来实现，但目前的光刻技术不能制造上述的三维阵列，并且诸如超立方体等的较高维数的连通性超出了上述问题的范围。甚至对于二维的邻元—邻元的连通性，这一方法也有一些缺点。当面向行的邻元—邻元的连接从不跨越大于单元中心至单元中心间的对角线距离时，而向列的邻元—邻元的连接能够强制跨越几个故障的或失效的单元。所有的单元间定时和电源消耗必须考虑电容和电阻数的最大值可能会在这一路径上出现。对于每个故障单元的旁通，这种方法也移动了在整个剩余的列中每个单元的位置（相对其相同的逻辑行的邻元），这就将每个故障单元的影响远远扩散到故障单元的附近之外。这种多单元移动也阻止了此方法用于在阵列中阵列单元的物理位置很重要的情况，诸如直接输入或输出单元阵列。

本发明人在PCT/CA 82/00525中已公开了一种全集成系统。本申请包括了对该对比文件的已知技术的许多改进，包括通过复制每个外部连接而直接替代有缺陷的单元，把容错方案沿伸到大的单元，通过直接寻址把容错沿伸到存贮阵列，在同一基片上制造串行阵列作为容错阵列，直接输入输出的动态聚焦，采用未被分配的备用单元处理和加快串行处理，备用象素置于各单元中，双向和采用无输出光子以补充或替换其他电源。本申请的权利要求就是针对这些改进的。

发明简述

因此，本发明的一个目的是提供一种高冗余的单元网络，它允许从单片地制造的单位中组织成一个大的单元阵列，其无故障阵列至少为中等成品率而不管其大量的故障单元，其中所有的阵列单元能够直接寻址并可访问一全局数据总线，这种单元阵列可用作紧凑的高性能存贮器系统。

本发明的另一个目的是提供一种高冗余的单元网络，它允许从单片制造的单位中组织成一个大的单元阵列，其无故障阵列至少为中等成品率而不管其大量的故障单元，其中所有的阵列单元与其至少3维中的相邻阵列单元之间具有双向通信，这种单元阵列可高效地用作3维或更高连通性的大规模并行任务的并行处理系统。

本发明的另一个目的是提供一个基于单元的容错阵列，此阵列含有足够的冗余以允许单元足够地大而容纳 RISC（精减指令集计算机）和 CISC（复杂指令集计算机）处理器，并且对依一定尺寸制造的晶片的阵列至少保持中等以上的成品率。

本发明的另外的目的是提供一个高度并行或大规模并行数据处理系统，通过将所有的主存贮器和所有的处理器集成到一个单片体上，此系统减少了穿越片外数据瓶颈的数据竞争，并且增加了处理器和存贮器之间的可用数据通道的数量和/或宽度。

本发明的另外的目的是提供一个含有单片的单元阵列的超高分辨率的显示器，其中每个单元有光直接输出装置、存贮器和/或超过单元需要管理其直接输出的处理能力，此显示器允许阵列执行作为一个整体的系统的其它功能，并且因此增加了能用于显示器的单片地制造的系统的百分率。

本发明还有一个目的是提供一个数据处理系统，此系统利用单片集成动态集中定相阵列将无线传输动态地集中至外部设备以最小化带宽竞争和电源需求。

本发明的另外的目的是提供一种在单个薄片上实现前面所述目的的任何一个或全部的方法。

根据本发明的一个方面，提供了一种含有可从其中组织一个大的无故障单元阵列的单片冗余单元网络的装置，其中每个阵列单元通过一全局数据总线而能够直接寻址、接收和发送数据，允许这些阵列单元的联合存贮器用作一个单片高性能、高容量存贮器组件。

根据本发明的另一个方面，提供了一种含有可从其中组织一个大的无故障单元阵列的单元冗余单元网络的装置，其中每个阵列单元至少总共在三维上—其中至少有两维是物理的—与其最近的邻元进行直接的双向通信，使得此阵列作为一个整体能够高效地处理三维的或较高的邻元—邻元连通性的并行任务。

根据本发明的另一个方面，提供了一种含有可从其中组织一个大的无故障单元阵列的单片冗余单元网络的数据处理系统，其中的阵列单元具有容错的直接输入和/或直接输出，并且其中的备用单元没有其自己的直接 I/O，但使用故障单元的直接输入和输出，此数据处理系统允许整个网络的表面实际覆盖上被阵列单元使用的直接输入和/或输出，而在这

些直接输入和/或输出的连续性中没有明显的故障。

因此，根据本发明的另一方面，提供了一种用于生产上述任一单元阵列的方法，其中的整个阵列被制造成一个薄片。

词语“容错”表示不管一个或更多的故障元件而正确地工作的能力。

词语“数据处理系统”表示一个系统，此系统包含用于从外部设备（诸如操作人员）输入的装置、用于存贮器的装置、用于处理的装置和用于输出到外部设备（诸如人眼）的装置。

词语“无故障阵列”表示一个所有故障阵列单元在逻辑上已经被正确运行的备用单元所替换的单元阵列。

“高度并行”表示至少有 16 个并行元素的一个问题、一个任务或一个系统。

“大规模并行”表示至少有256个并行元素的一个问题、一个任务或一个系统。

“备用线方法”表示一种容错结构，它采用一个或更多备用行和/或列单位，这些备用单位能够用于逻辑上替换含有故障单位的一个或更多的整行和/或列单位。

“直接替换”表示当一个单位替换一个故障单位时，此单位与本系统的剩余部分在某一方法下相互配合，这种方法就是在逻辑上等同于故障单位还没有发生故障时的情况。

“阵列”表示在物理二维‘或三维’矩形图形中排列的一些元素，或者当作在三维形状表面上的一个常规二维图形。

“大的单元阵列”表示一个单元阵列，此阵列在光刻时没有考虑备用单元，平均来看，它含有许多故障单元。

“中等成品率”表示 50 % 以上的成品率。

“高成品率”表示 90 % 以上的成品率。

“特高成品率”表示 99 % 以上的成品率。

“单基片系统”表示一个数据处理系统的所有部件制造在单个基片上。

“直接输出装置”表示一种装置，此装置为一给定单元发送一输出信号到一个阵列外的设备（诸如人眼），而此输出信号不会通过一个邻元、通过一个此单元和其它单元公用的物理载体、或者通过一分离的外

部输出设备而被延迟。

“全局输入”表示一种装置，用于某一单元从这些单元公用的物理载体拾取输入信号，诸如一全局数据总线。

“外部输出设备”表示一个作为与此单元阵列分离的物理实体的输出设备。

“外部输入设备”表示一个作为与此单元阵列分离的物理实体的输入设备。

“双相直接输入装置和直接输出装置”在此表示具有这样一种装置的两个等同设备的直接输入装置和直接输出装置能够通过该种装置而相互通信。

“用于与邻元通信的装置”表示输入装置从至少一个邻元接收信号并且输出装置发送信号到至少一个其它的邻元，而这些信号不会通过一个与其它阵列单元共享的载体或通过一外部设备而被延迟。

“全彩色”表示至少 **50000** 种不同的色调（约等于肉眼所能区分的色调的平均值）的显示或区分的能力。

“全活动视频”（ **full motion video** ）表示至少每秒 **50** 帧的（大约超过了在视频质量上肉眼不再发现改进的平均值）显示能力。

“宏观”表示比肉眼的平均分辨率大的东西，或者比 **50** 微米大的东西。

“微观”表示比肉眼的平均分辨率小的东西，或者比 **50** 微米小的东西。

“薄片”（ **thin sheet** ）表示整个厚度小于 **1** 厘米的一片。

“区的”表示在单元网络的一个区中与许多单元公用或相关的东西，所述单元网络的一个区小于整个网络。

“直接可寻址的”表示一个单元能够通过用于每一物理阵列维的单个开/关信号寻址，而这些寻址信号的任何一个不会通过其它单元而被延迟。

“总维数”表示物理维数加上逻辑维数；例如，一个有 **65536** 个处理器的 **CM － 1 Connection Machine** 计算机，其处理器连在一个总维数为 **15** 的超立方体内，其中三维是物理的，而其中的 **12** 维是逻辑的。

“物理连接”表示依赖物理接触或亚微米接近度的一个连接。

“单片”（ **monolithic** ）表示基片上的一个连续区。

“定相阵列”（ **phased array** ）表示一个阵列，该阵列的元素分别控制整个阵列发射或接收的一个信号的分量的相位和定时。

“动态聚焦”表示一个聚焦处理，其焦距和方向预先不确定，而是在操作中调整而聚焦到一个设备上。

“ **N** 倍复制”表示一个给定单位的 **N** 个功能相同的拷贝作为一可用的系统所需的此单位的每个拷贝。

“ **N** 对 **1** 冗余”（ **N for 1 redundancy** ）表示在没有错误时 **N** 个单位的任何一个能够实现给定单位的功能。

“物理邻元”表示两个单元间的最小距离小于在此方向上的一个单元的宽度的两倍。

“能用相同的光刻图形生产”只用于描述结构的类似并且不被认为将本发明限制到用光刻生产的实施例。

附图的简要描述

从本发明的最佳实施例的详细描述中，本发明的目的、特点和优点将更容易明白，其中：

图 **1A** 是具有用于两个备用单元的任何一个替代任一故障单元的装置的一个处理单元阵列的功能性描述；

图 **1B** 是具有用于三个备用单元的任何一个替代任一故障单元的装置的一个处理单元阵列的功能性描述；

图 **1C** 是具有用于四个备用单元的任何一个替代任一故障单元的装置的一个处理单元阵列的功能性描述；

图 **1D** 是具有用于四个备用单元的任何一个替代任一故障单元的装置的一个处理单元阵列的功能性描述；

图 **1E** 是具有用于八个备用单元的任何一个替代任一故障单元的装置的另一个处理单元阵列的功能性描述；

图 **1F** 是每三个阵列单元仅有一个备用单元的处理单元阵列的功能性描述，此阵列还具有一个用于三个备用单元的任何一个替代任一故障单元的装置；

图 **1G** 是每八个阵列单元仅有一个备用单元的处理单元阵列的功能性描述，此阵列还具有一个用于两个备用单元的任何一个替代任一故障单元的装置；

图 **1H** 是每四列阵列单元仅有一列备用单元的处理单元阵列的功能

性描述，此阵列还具有一个用于三个备用单元的任何一个替代任一故障单元的装置；

图 2 是一个备用单元的功能性描述，此备用单元能够响应其四个最邻近的阵列单元的其中之一的地址而用于替换这些单元中的一个；

图 3 是一个晶片的图形描述，此晶片包含一个存贮器阵列、一个“单芯片”（ mono-chip ） CPU 和其它接口“芯片”；

图 4A 是根据本发明的具有处理装置和存贮装置的一个阵列单元的功能性描述；

图 4B 是一个阵列的功能性描述，其中的那些单元显示了到能够替换两个相邻阵列单元的任一个的一备用单元的路径；

图 4C 是一个阵列的功能性描述，其中的那些单元显示了到能够替换两个相邻阵列单元的任一个的一备用单元的路径；

图 4D 是一个阵列的功能性描述，其中的那些单元显示了到能够替换两个相邻阵列单元的任一个的一备用单元的路径；

图 4E 是一个阵列的功能性描述，其中的那些单元显示了对齐不敏感的接触装置；

图 5A 是根据本发明的直接输出数据解压单元的一个阵列的功能性描述；

图 5B 是图 5A 中的一个单元的功能性描述；

图 6A 是直接输出数据解压单元的一个阵列的功能性描述，其中的这些单元采用邻元—邻元通信代替单元地址和一个全局输入；

图 6B 是图 6A 中的一个单元的功能性描述；

图 7A 是能够采用其所替换的任一阵列单元的直接输出的一个备用单元的功能性描述；

图 7B 是一个图解性的描述，表示了当可替换一阵列单元的一个备用单元将采用这些直接输出时，此被替换单元的直接输出所占的面积；

图 8A 是一传统的串行数据处理系统的各物理部分的功能性描述；

图 8B 是一传统的串行数据处理系统的数据流的功能性描述；

图 8C 是一传统的大规模并行数据处理系统的数据流的功能性描述；

图 9A 是根据本发明的一个集成大规模并行数据处理系统的各物理

部分的功能性描述；

图 9B 是根据本发明的一个集成大规模并行数据处理系统的数据流的功能性描述；

图 10 具有直接输出装置和直接输入装置的一个阵列单元的功能性描述；

图 11 是处理单元采用其直接输入和输出与外部设备通信的一个阵列的图解描述；

图 12 是具有几种直接输入和直接输出的一个处理单元的功能性描述；

图 13 是几个单元的功能性描述，这些单元采用它们的直接输出装置作为一定相阵列而聚焦到一个外部接收器上；

图 14A 是一个有其自己的电源吸收和存储装置的直接 I/O 处理单元的图解描述；以及

图 14B 是一个直接 I/O 处理单元阵列被制造成一个由一系列薄层（ layer ）组成的薄片的图解描述。

实现本发明的简述

直接替换单元容错结构

由于光刻错误限制了传统芯片的尺寸，因此基于芯片的计算机结构采用许多分离的芯片用于处理、存贮器和输入/输出控制。许多这些分离的处理器、存贮器和辅助芯片被封装在笨重的陶瓷外壳中并且固定在更笨重的印刷电路板上以相互连接。例如，一个象 IBM/Apple/Motorola 的 Power PC 601 的线条清晰的处理器芯片，要用一个 20 倍于自身尺寸陶瓷外壳，以便其能连接到一更大的电路板上。当每个芯片内部采用以微观规模（ 1 微米的数量级）生产的线时，芯片之间的电路板级互连采用以宏观规模（ 1 毫米的数量级、或者是 1000 倍宽）生产的线。由于这种基于芯片的结构不仅要承受将晶片分割成芯片然后封装和互连这些芯片的开销，以及产生的相应的大的尺寸，而且会受到任一给定芯片和系统的剩余部分之间能够进行的连接的数量的限制。一旦超过了芯片尺寸的限制，则此芯片到系统的剩余部分的可能的连接数量的下降就会超过尺寸的三个数量级，并且驱动每个连接所需的功率会明显地上升。

在现有技术中，增大或克服这个光刻的芯片尺寸限制的一些尝试是

人们所公知的。对于小型高度重复的电路，一般的替换容错方法是有效的。其中商业上最成功的是在存贮器芯片中制造额外的位和字线。例如，一个 4 兆位芯片，可能标称由 64K 位的 64 个单元组成，当为了增加所有 64 个单元的功能的可能性时，每个单元实际上有 260 个位线和 260 个字线，而不是 64K 位所需的 256 × 256 。这些备用线通过一些熔线的复合串联而连接到标准线，使得它们能够作为各故障线的直接替换。这种线级冗余允许一个单元可从几个故障位中恢复，所以更易于产生小的光刻错误的较精细的光刻能够被使用而不会减小芯片尺寸的限制。但是较大的光刻错误能够复盖很多线，并且这种冗余方法不能对这种错误寻址，所以整个芯片尺寸的限制不会增加很多。此外，诸如上述的一般替换容错方法不支持二维或较高的相邻单位至相邻单位的连通性，并且仅适用于小型的高度重复的电路。处理器有大量的随机逻辑电路，并且能够替换一种故障电路的一备用电路一般不能替换不同种的电路，因此对于处理器，这种一般备用电路方法是不实用的。

在现有技术中，通过复制每个电路的处理随机逻辑电路的冗余方法也为人们所公知。它包括用于选择每个电路的一个正确功能的拷贝的输出和忽略或消除故障拷贝的输出的装置。在这些复制方法中，电路重复方法采用了最少的冗余资源，但是，对于单个电路的两个故障拷贝或在它们共同的输出线上的单个错误，电路重复方法则不适用。因此，许多方法增加了每个电路的第三拷贝，使得一种表决方法能够自动消除单个故障拷贝的输出。但是，这又导致了一个难题：当对大块电路的输出表决时，三个拷贝中的两个有故障的可能性是明显的，但是当对小块电路的输出表决时，将需要许多表决电路，这样就增加了在表决电路本身中出现错误的可能性！处理三个中有两个故障电路的（它比重复方法中面对的两个问题中出现两个故障的情况发生得更频繁）方法也为人们所公知。一种策略是提供某些方法以消除表决出的故障电路。当加入一个诊断步骤到不同情况下的动态表决处理中时，它将允许具有两个故障成员的三元组仍然有用。另一种策略需要 N 倍复制，这里的 N 能够被提高到提供充分冗余所需的任意等级。大的 N 值不仅会造成空间的低效率使用，而且会增加表决电路自身的复杂性，因而增加其中的故障可能性。通过将表决电路的复杂性最小化（例如，通过模拟电路），上述问题有时能够减小些。或者通过门级的 N 重冗余，以电路面积和功能的昂贵开

销而消除上述问题。还有，当这些N重冗余方法采用小单位以便用较低的N值时，就产生这样的问题，即如果这些复制品物理上相距较远，则信号的汇集就需要额外的连线、因而产生传送延迟，而如果这些复制品在一起靠得很近，则单个大的光刻错误能够消除全部的复制品，因而产生一个不可恢复的错误。

现有技术中，基于单元的容错结构也为人们所公知，但是它们不支持通用数据处理的一些最重要的性能—需要用于快速存贮器阵列的直接可寻址性、需要用于I/O阵列的阵列单元的位置规律性、以及需要高效处理许多实时并行处理任务的比二维邻元—邻元通信还要高些的通信。

因此，根据本发明的一个实施例的容错数据处理结构利用具有足够冗余的单片单元网络克服了这种芯片尺寸限制瓶颈，以至能够组织一个大的无故障单元阵列，其中的阵列单元具备许多适用于数据处理的特性，包括快速存贮器阵列所需的直接可寻址性、I/O阵列所需的阵列单元的位置规律性、以及高效处理许多实时并行处理任务所需的比二维邻元—邻元通信还要高些的通信，并在网络内提供了以一种方法互连的备用单元，此方法就是许多备用单元能够直接替换一个确定为故障的给定单元的功能，而没有用于每个单元的许多专门替换的额外开销（overhead）。这可以通过为许多有故障可能的相邻阵列单元的任何一个提供具有直接替换能力的一个备用单元来实现。在这种方法中备用单元的替换能力互相重叠。在这种方法中，相对于很少的备用单元却能提供较优的冗余，并且因此提供特别高的容错。一个备用单位作为一阵列单元的直接替换的最简单的方法就是使此备用单元具有相同的内部功能，或者一个超集，对阵列单元在正常操作中采用的每个连接提供直接替换。（“备用”单元和“阵列”单元等同是可能的，虽然一给定的备用单元能够替换许多阵列单元的任何一个，但一个阵列单元在正常操作中仍需要一些连接空闲）。图1A显示了这种互连方法的一个例子，其中单元网络10含有用于每两列阵列单元100的一列备用单元100′。从一个备用单元的角度来看，每个备用单元（除了在阵列边上的那些）能够替换其四个最近的相邻阵列单元中的任何一个，而从一个阵列单元的角度来看，有两个备用单元能够替换任一给定的故障阵列单元。在图1B中，三个备用单元能够替换任

一故障阵列单元，而在图 1C 中，四个最近的相邻备用单元能够替换任一给定的故障阵列单元（如图 1D 所示，具有方格盘图形的阵列单元和备用单元也能实现之）。

这种方法建立了一个特别的容错系统，在允许一大的单元阵列作为一个单位来制造方面显得特别关键。当把光刻极限增加到仅仅一般的平均每 5 英寸 200 个错误时，在这种情况下实行三个备用单元的任何一个替换任一故障单元，将使每平方英寸有 1000 个单元的整个晶片网络的成品率从几乎为零增加到 99.99%以上。对于较大的单元，诸如象那些含有 RISC 或 CISC 处理器的，图 1C 和 1D 的 5 对 1 的方法提供了足够的冗余，即使采用易于出错的前沿（ leading edge ）光刻，一定尺寸的晶片的单元阵列的一面可达几毫米且有相似的成品率。采用在微观级互连的单元而没有片外瓶颈限制单元间的连接，所以，通过提供每个备用单元替换在较宽的范围内出现故障的那些阵列单元的能力，此备用单元方法能够很容易地扩展而提供更多的冗余。但是，由于原始单元成品率下降，因此需要大大增加网络的备用单元的百分比以防止备用单元耗尽。如图 1E 所示，其中只有 1/4 的单元是阵列单元的一种 9 对 1 备用单元方法，在一 64 个单元的阵列中，在其原始单元成品率只有 50 % 时仍能至少保持中等阵列成品率。

因为所有的单元间连接是在微观级，并且因为替换单元在物理上靠近它们能够替换的单元，所以单元能够为冗余花费足够的互连以支持 N 对 1 替换方法，其中的 N 是非常大的。对于一给定的备用和阵列单元的布局，在二维 N 对 1 替换方法中，从一单元到能替换它的一备用单元之间的平均距离大约与 N 的平方根成正比。对于行和列直接寻址行和列数据总线，等等，由于采用了大的 N 值，所能替换的更多的单元将依赖相同的行或列，因此在 N 对 1 替换方法中，一备用单元所需的路径数大约以 N 的平方根的比例增长。对于具有直接处理器间通信的阵列，由于专门路径用于每个单元，因此每个备用单元的路径数量大约与 N 成正比。即使当采用两种类型的连接时， N 也能非常大。例如，一奔腾（ Rcntium ）芯片大小的单元的周长超过 60,000 微米，并且一前沿（ leading edge ）（ 0.5 微米， 5 个 金属层）生产线能够很容易地为冗余花费 2 个金属层。这将允许一奔腾芯片大小的单元在冗余层有 480 个 64 位宽的路径跨过它。一典型的阵列单元可以将 4

个这样的行/行路径用于行/列寻址和总线，以及 6 个单元—单元路径用于一个三维（两个物理的，一个逻辑的）邻元—邻元网络中的邻元。备用单元的连接将采用的路径数约等于 $4 \times N + 6 \times N \times \sqrt{N12}$，对采用目前的光刻技术，甚至全部采用 64 位互连的用于奔腾芯片大小的单元，其 N 值可为 20 左右。从理论中这将支持原始单元成品率低到 20 % 且 8 对 1 的备用/阵列单元比率，或者甚至低到 10 % 且 15 对 1 的备用/阵列单元比率而无故障阵列具有合理的成品率。但是由于低原始单元成品率降低了好的单元使用的晶片面积的百分比，并且由于与基于芯片的结构相比，因没有分割和重接而使得单片结构能使用较小的单元，因此，可以预料的是在实际中，单元尺寸将相对地选择光刻错误率以保持原始单元成品率在大多数情况下超过 90 % 并且在所有的实际情况中超过 50 %。

由于大的光刻错误的频率设置的实际上较低的限制，单元能够做得特别小。由于小的单元有高的原始单元成品率，因此低 N 值的冗余方法是最优的。由于明显大于单个单元的错误能够严重破坏这个冗余方法，所以对单元直径的一个合理的较低限制是在最后的阵列的一个区中的最长错误的平均长度。虽然将高值 N 方法（例如图 1E 所示）中的备用和阵列单元的图形简单地反转，就会产生只采用很少备用单元的特别的容错系统，但在获得阵列单元的最大容错和效率方面一些修改是有益的。例如在图 1F 中，一些阵列单元（例如标有 a′的单元）有四个相邻备用单元，而另一些阵列单元（例如标有 a″的单元）仅有两个相邻备用单元。如图 1F 所示，通过将每个备用单元的一些替换能力从相邻单元移到次相邻（ next-toneighbor ）单元而进行平衡，使得每一阵列单元有三个备用单元能够替换它。在网络中仅用与阵列单元一样多的备用单元的三分之一而提供 4 对 1 冗余，而一个传统的 4 倍复制冗余方法却需要 3 倍阵列单元的备用单元。对于具有特别高的原始单元成品率的单元，如图 1G 所示的方法提供了 3 对 1 冗余而只用阵列单元的 1/8 的备用单元。但是这样出现了一个问题，当这些稀疏备用的方法用于存贮器或直接显示单元的其中之一时，阵列单元的图形不是一个标准的矩形阵列。如图 1H 所示的面向列（或行）的稀疏备用的方法提供了与图 1F 所示方法一样的采用相同数量的备用单元的冗余，但是，此方法将阵列单元放在标准的矩形阵列中而能够适

用于直接可寻址存贮器单元和直接显示单元，并且当此方法扩展到更稀疏的阵列时，即使一备用单元与其可替换的阵列单元之间的平均距离变得稍微更长些并且增长得稍微更快些，此方法也是更可取的。对于具有高比率的小错误的光刻，实施例能够采用单元内冗余，例如将备用位和字线加到一单元的存贮器中，这种方法等同于一标准存贮器芯片的备用线，使得一个单元能够容许几个错误位而甚至不需要使用一个备用单元。

实施例也能包括用于阵列自测试的装置。一个简单的技术是对所有的单元运行一个测试程序，通过将每个单元的结果与其所有邻元比较而定位阵列中的故障单元。除了在一个区中的许多单元产生相同的错误之外，每个区中最共同的结果将出自正确功能的单元。另外的实施例能够提供一种用于单元测试的装置，通过断开其电源而消除故障的邻元。断开故障单元的电源允许采用简单的‘OR’门合并来自阵列和可能的备用单元的路径，因为故障单元的输出将被强制为零。能够将单元自身与电源断开的用于单元的分离装置通过防止任何单个错误保持一故障单元活动而提供冗余。另外的实施例提供了用于单元自动地选择一备用单元以替换任意故障阵列单元的装置，一个简单的算法就是从一个角开始，然后继续到对角，并且对每个故障阵列单元，回到最初的角并搜索第一个能够替换此故障阵列单元的非故障备用单元。一个较复杂的方法能够测绘出每个单元周围的故障单元密度，并且从具有最高周围故障密度的一个开始替换故障阵列单元，一直进行到最低周围故障密度。对于每个故障阵列单元，能够替换它的那些备用单元将被检测它们的周围故障密度并且选择具有最低周围故障密度的一个。由于本发明的高容错能力，因此可以预料的是不需要研究多单元替换图形的算法，尽管这种方法能够用于目前的容错结构或电路设计软件。

在传统的基于芯片的结构中，芯片之间采用的宏观互连限制了在任一给定芯片和系统的剩余部分之间的连接的数量，因而产生了一个芯片外数据流瓶颈。由于处理器的时钟速度比主存贮器芯片速度增加得更快(“**New Memory Architectures to Boost Rerformance**”, **BYTE, July 1993**)，并且由于处理器芯片采用增加处理流水线的数量以增加其整体速度，因此，在性能方面，对片外主存贮器的访问已经开始变

成一个限制因素（“Fast Computer Memories”， IEEE Spectrum, October 1992）。为了减少穿过此瓶颈的通信的需要，新的处理器芯片，诸如 Intel 公司的奔腾， Apple/IBM/Motorola 的 Power PC 601，MIPS 的 4400 和 Digital 公司的 Alpha AXP（tm），所有这些处理器都包含了大的片内高速缓存（“A Tale of Two Alphas”， BYTE，December, 1993）。它允许通过宽的片内数据通道（Dower PC 和 Pentium 为 256 位宽）代替较窄的（32 或 64 位宽）的数据通道到达芯片外主存贮器（RAM）而实现大多数的存贮器访问。但是，能够加到传统的基于芯片的处理器中的片内存贮器的数量要比系统所用的整个主存贮器小。在这些结构中，笨重而昂贵的多片的受通道宽度限制的主存贮器仍然是需要的。

为了支持到主存贮器的较宽的通道，需要分出更多的从处理器芯片至系统剩余部分的连接，可以采用一种双端口（dual-ported）主存贮器而允许处理器和视频子系统独立地访问此存贮器。这就允许处理器有仅用于控制的到视频子系统的连接，由于此视频子系统能够直接从此存贮器而不是处理器获得其显示数据。因此在其它情况下分出的连接可用于从处理器芯片传送视频数据。这时如果这些通道用于建立一较宽的到主存贮器的通道，那么处理器对存贮器访问的瓶颈可以暂时解除。不幸的是对于基于芯片的结构，其中的处理器和视频子系统都有单独的通道到存贮器，并且采用较宽的通道，这种解决方案大大增加对每个（EACH）存贮器芯片的连接数量，这样就明显地增加了存贮器子系统的尺寸和开销。如果各存贮器芯片能够做得较大，那么所需的数量就较少，并且因此存贮器子系统的总尺寸和开销将减小或者到存贮器子系统的通道的宽度和数量将增加。但是高容量的存贮器芯片已经冲击了制造能力；如果一个芯片有 50 % 的成品率，那么为此芯片尺寸二倍的芯片的成品率为 0.5 × 0.5 或 25 %，而为此芯片尺寸四倍的芯片的成品率为 0.5 × 0.5 × 0.5 × 0.5 或 6 %。

因此，根据本发明的一个较佳实施例的容错单片数据处理结构利用能够被组织成为一个大的无故障单元阵列的高冗余单片存贮单元网络克服了存贮器访问瓶颈，其中的每个单元能够直接寻址并且能通过一全局数据总线发送和接收数据。如图 2 所示，在由此阵列形成的高冗余网络中，单元网络 20 含有直接可寻址阵列单元 200 和备用单

元200′，二者以这样一种方法互连，此方法就是如果任一阵列单元检验出有故障，则至少有两个备用单元能够替换它的功能（为清楚起见，图2所示只有来自一个备用单元的连接）。在本实施例中，为了使一给定的备用单元能够替换一给定的阵列单元，此备用单元必须能直接寻址，好象它是一个阵列单元，并且还不响应它所能够替换的任何其它阵列单元的请求。其它的一些实施例还采用将电源消耗和未用的连接的电容效应最小化的技术，例如将一单元连接到多个地址线，以及通过诸如采用定制字段可编程（field-programable）门阵列的方法将未用线作为连接。

虽然理论上每个单元可能仅有存贮器的一位，寻址一个单元内的一位所需的功率随着阵列中单元行和列的总数的增加而线性地增加，但是在每个单元内所需的功率却仅随着位数的对数（在二进制中底数为2）而线性增加。因此，实际的考虑要求单元至少有256位，并且最好更多些。对于在低功耗、高性能的存储器系统中所用的单元，有一由光刻错误率所设置的上限尺寸。在实际上，根据本结构的仅用于存贮器的单元可以认为其内部与当今的存贮器芯片的单元相类似，其典型的为每单元64K位。在这种阵列中采用单元的直接寻址而允许每个单元的存贮器可用作一全局存贮器的一部分，而没有通过其它单元的非直接寻址或发送数据所带来的性能下降。因此整个阵列能够用作一紧凑的高性能单片存贮器系统。采用与用于当今16兆位芯片的相同的光刻技术，本实施例能够将一千兆位或者100兆以上的位组合到一能在6英寸晶片上制造的单个单片区中。

这种阵列不仅与采用高达60左右的各存贮器芯片的替换相比更紧凑、更便宜，而且有一单片存贮体，此存贮体允许与系统的剩余部分将支持的宽度和数量一样的数据通道和它连接。例如，这就允许一处理器和一视频子系统都有独立的宽通道到同一存贮器。采用在本发明中公开的阵列的存贮器单元和阵列也能使用基于芯片的存贮器结构的最新优点，诸如快速片内SRAM高速缓存，同步DRAMS，RAMBUS的快速数据传送RDRAM，甚至诸如IEEE的RamLink结构的奇特的进展(“Fast Interface for DRAMs”，“A New Era of Fast Dynamic RAMs”，“A Fast Path to One Memory”和“A RAM Link for High speed”，IEEE Spectrum, October, 1992）.

面向芯片的结构的片外瓶颈很可能继续恶化。微观和宏观制造业大致上提高了相同的比例，但是，将二者的能力增加一倍就允许放入一给定芯片面积中的电路数量变为原来的四倍，而增加一倍的连接数只能围绕其周边制造。例如，Mips R4400 处理器芯片的 0.6 微米光刻产生了这样的紧凑电路，此芯片实际上有一围绕处理器核心的空区，以使足够大的整个芯片支持其所有的到系统剩余部分的宏观连接（“Mips Processors to push Performance and Price”，Electronic Products, December, 1992）。当今处理器的那些片外数据通道中最大的一个消费者就是对片外存贮器的访问。

因此，如图 3 所示，根据本发明的另一实施例的容错单片数据处理结构合并了一个或多个标准的“单片” RISC 或 CISC 处理器 380，这里的处理器 380 用存贮器单元 300 的单片存贮器阵列 30 制造在同一单块基片 390 上，这里的单元阵列如前面的根据本发明的直接访问存贮器实施例所述。当相对于阵列单元成品率，整个处理器（一个或多个）的成品率成倍地降低时，保持了在微观规模的单个单片区内的所有处理器/存贮器的互连，这就将比单个芯片的大得多的整个区的周边留下用于其它子系统的连接。采用此实施例就能够将一改进的桌面系统（诸如具有 16 兆位的主存的 486 系统）的整个存贮器和处理器子系统减少到单个信用卡大小的组件。可以预料的是，具有故障处理器的阵列能够使这些处理器不被启动并使它们仍可被用作只用于存贮器的阵列，以及除了这些存储器外还集成其它的功能、例如 bios 芯片 380′，视频加速器 380″或 I/O 控制器 380‴，或者不集成这些处理器而只集成上述其它的功能。

单一处理器的使用本身增加了一个瓶颈。在性能的惊人的提高已经通过生产更小的元件和更复杂的芯片实现的同时，对计算机能力的需求也在更快地增长。但是对这种任务，开发更快的处理器以增加处理能力不是唯一的方法。代替采用一个处理器，并行处理结构采用许多处理器几乎同时地工作于同一任务。具有共享一公共存贮器的一些处理器的多处理器系统多年来统治着大型机和超型计算机领域，并且最近在桌面计算机中也有介绍。在这些并行计算机系统消除了冯纽曼的单一处理器瓶颈的同时，通过一单数据通道的多处理器的存贮器访问的汇集将很快地减小了增加更多处理器的效率，特别是当片外数据

流瓶颈限制了通道宽度时尤其如此。大多数大规模并行结构通过采用与每个处理器相关的局部存贮器解决这种多处理器的存贮器竞争。但是，采用多于一个的处理器芯片增加了处理器间的通信到已经拥挤的片外数据流，因而加剧了片外瓶颈的压力。

因此，根据本发明的另一个实施例的容错单片数据处理结构，利用含有存贮器和一些处理器的可被组织成一个规则的无故障单元阵列的高冗余单元网络克服了这一瓶颈，因此能将一完整的高度并行或大规模并行处理阵列和其局部存贮器集成到一个单片体中。这些最佳实施例包括使单元通过一全局数据总线进行通信的装置，以及使单元被直接寻址的装置。这样就允许当处理一串行任务时，合并这些单元的存贮器而当作整个处理器阵列的一共享主存贮器，并且还允许当处理并行任务时，此阵列就是一个局部存贮器并行处理阵列。当操作在 SIMD（单指令多数据）模式时，一全局总线也特别适用于传送指令到处理器，而当操作在 MISD（多指令多数据）模式时，又特别适用于传送数据。这些实施例能够完美地用作一个并行处理图形加速器。另外的一些实施例包含一种装置，用于采用一阵列单元的寄存器和/或局部高速缓存作为另一处理器访问此单元存贮器的高速缓存，就象现今的 SRAM 高速缓存用在快速 DRAM 芯片上以加强其性能一样。

虽然单元的处理元素单独通过一全局数据总线通信的一个阵列在解决诸如银河系的进化的等距离作用（action-at-a-distance）并行计算问题时是有效的，在这种等距离作用中，每颗星向每一其它星施加万有引力，但大多数的并行处理任务包含较高的连通度（degrees of connectirity）。大多数的这种并行数据处理系统在其处理器之间采用了较高的连通度。对于处理器数量较少的情况，一种“星”形配置是最有效的，这里的每个处理器与其它的每个处理器之间有直接的连接。但是当处理器数量上升时，到每个处理器的连接的数量也会上升。采用现今的技术，一基于芯片的处理器能够把不超过一百对的连接用在此处理器上，所以对采用此方法的 32 位宽的数据通道，其片外瓶颈限制到最多一打处理器。在考虑冗余路径这样的配置中，即使本发明公开的单片结构也能支持少于一百个的处理器。由于许多大规模并行任务能够利用上千个的处理器，因此，大多数大规模并行结构在单一全局总线和每个处理器—每个处理器的连接之间采用一连通

方法中间联接。其中大多数流行的是由 Thinking Machines 公司在其“Conncction Machine”计算机中采用的“超立方体”连通。但是，诸如流体动力学等的大多数大规模并行任务包含了至多三维的邻元—邻元之间的相互作用，而不是随机的处理器对处理器的连接，允许有效地采用较简单的互连方法。

当单元之间的连接加到一给定阵列单元中时，相应的连接也必须加到所有的能够直接替换此阵列单元的备用单元。当每个备用单元能够直接替换许多阵列单元时，其互连图形就会变得十分复杂。图 4B 显示了当采用图 1A 所示的 3 对 1 备用单元方法时，在阵列单元 400 和备用单元 400′的网络中用于一个阵列单元和一个备用单元所需的单元间连接，其中每个阵列单元有到其四个物理相邻阵列单元的连接。图 4C 显示了当采用图 1B 中的 4 对 1 备用单元方法时的相应的互连，而图 4D 显示了当采用图 1C 中的 5 对 1 备用单元方法时的相应的互连，采用当今的光刻技术，它们都适用于大到一面为几毫米的 RISC 处理单元（为清晰起见，图 4D 只显示了来自一个备用单元的顶部和左侧面的连接，来自底部和右侧面的可根据对称性推出）。由于所示的备用单元能够替换一些单元中的许多邻元的其中之一，因此图 4D 中也包含了到这些单元的许多连接；图 4B 和 4C 中的图形要求区分一给定阵列单元的哪一个邻元已被备用单元替换在该阵列单元内部被处理。只要每个阵列单元的每个连接具有在能够替换此阵列单元的每个备用单元中的相应的连接，这些图形就能够被扩展到较高的维数或者甚至超立方体阵列。由于单片级的阵列与基于芯片的阵列相比，其到每个处理器的连接允许超过一个数量级，因此，除了邻元—邻元和全局数据总线连通外，另外实施例还能提供面向行和/或列的寻址和数据总线。在提高效率而足够值得增加复杂性的情况下，提供完全的超立方体连通性甚至也是可能的。

打算主要运行串行软件的系统的另一个实施例包括在同一单块基片上生产的作为单元网络的一个或多个快速串行处理器（当故障时这些串行处理器不能工作）。此单元阵列能够用作用于处理串行任务的串行处理器的快速存贮器，以及用作用于处理并行任务的一个并行加速器，诸如排序、搜索、和图形加速。另一个实施例包括一种用于备用单元替换故障单元时拷贝此故障单元的存贮器的装置，从而能够动态恢复一些

后生产（ post-manufacturing ）的故障。

如果基于新的结构的系统能够与现存的软件兼容，那么就会大大增强新的数据处理结构的接受速度和商业寿命。现存的并行系统至少与独立的线级（ thread level ）相比，不利于采用多个处理器来加速串行程序的处理。但是对于在本发明中公开的结构，即使大规模并行系统也将仅仅比相同处理器速度的单处理器系统稍微贵一点（而不是贵几个数量级），所以它们可以经常用于串行任务。增加按处理器多流水线、分支预测、指令预取和译码等等，现今尖端（ high-end ）的处理器芯片所用的这些方法将大大地增加单元尺寸并降低单元成品率，减少能够用于并行任务的单元数量并且甚至需要更多的容错单元网络。但是每个单元包含一个作为流水线等起作用时所需的特征的超集，作为其自己的指令集。因此，另外的一些实施例包括使一个单元用其相邻单元作为单独的流水线或其它的加速器以增加其串行指令吞吐量的能力。

由于在大多数适用的备用单元互连方法中仅仅小比例的备用单元本身有故障或者用于替换故障阵列单元，因此在形成无故障单元阵列后大多数完好的备用单元剩了下来。这些备用单元有大量的到其它剩余备用单元的直接连接，还有到阵列和阵列总线的连接。由于这些剩余备用单元有大量到单元的直接连接，因此它们能够用作那些独立流水线、分支预测、推测执行（ speculative executor ）、指令预取和译码等等的加速器，这就使得这些剩余备用单元完美地用于运行串行任务。这就允许当操作在相同的时钟速度时，一组组的小单元能够适应于复杂的单片处理器的吞吐量。这样也可将整个规则阵列留下作为用于“串行处理”单元组的并行图形加速器或者高性能的存贮系统，所以实际上，即使在串行处理任务中整个系统的吞吐量也高于常规系统。因此，另外的一些实施例包括一种装置，当在处理串行任务时，此装置通过采用许多单元作为此任务的加速器而用于许多单元组的协作。

“剩余”备用单元的利用也可用其它方法扩展。虽然这些单元不能形成一个规则的阵列，但是它们一起连在一个网络中。这就允许一个单元通过一些任意的中间单元与另一单元传输数据，虽然这些单元没有直接可寻址的性能，但是却足够允许一个剩余单元将其它的一些剩余单元的组合存贮器映射到一个连续的中等性能的地址空间。这就允许这些要不然就会被浪费掉的存贮器用作 RAM 盘、磁盘高速缓存、 I/O 缓冲器

和/或虚拟存贮器的交换空间。在现今的光刻技术中，在一信用卡大小的系统中可能总共有约 12 兆字节，而在－ 6 英寸的全晶片（ full-wafe ）系统中总共约有 50 兆字节。代替通过一些中间单元的经过信号、功率和发热未到极限的局部数据总线实施例能够将中等性能的基于总线的寻址用于 RAM 盘等等中的备用单元。

现今的计算机显示器能够建立在晶片上，但是这些显示器缺少容错，所以每个象元和其支持的电路必须功能正常，否则在阵列中将有一个明显的“洞”。虽然可以使百万象元阵列无故障（尽管有持久的低成品率），但一个晶片能够容纳许多象元的许多倍。但是，完美的需求使这种阵列的成品率减小到接近零。由于人眼能够处于多于当今显示器所用的几个数量级的象元，许多年内，单单光刻技术的改进不大可能解决这个问题。以前的容错结构不太适用于输出阵列； N 重复制方法把太小比例的阵列表面用于有效元素，而在更复杂的基于单元的方法中，在用于每个故障处理的阵列单位位置（并且因而象元位置）中，由阵列的边界限制了多重移动。

即使当显示器象系统的其它部分一样制造在同一基片上，此显示器也必须有用于收发数据的分离的器件。用作显示的同一基片上的非显示区也减小了能够用于显示的基片面积的百分比，至少到生产技术能够支持多层复杂电路为止（与存贮和处理相比，较大的物理维数经常有利于显示）。本发明的容错结构能够支持具有不同性能的单元，允许同样的备用单元方法支持显示、存贮和处理器功能。把显示阵列和系统的主存贮器阵列结合起来将是非常有利的，因为此存贮器解决了大量的典型系统的电路数量。因而把显示阵列与此存贮器结合起来此显示覆盖大多数的基片面积。

因此，根据本发明的另一个实施例的容错单片数据处理结构将一个系统的显示器和主存贮器集成到一具有高冗余的单片单元网络的单个阵列中，此单元网络能够组织成一个规则的无故障单元阵列，其中的阵列单元包含一个或多个直接输出元件和足够的存贮器，使得整个阵列至少包含系统的活动的同一基片的存贮器的一半。这能够通过采用比 50 微米的可见光故障限制小的单元尺寸来实现而不会影响阵列的故障象元的容错。在当今的 16 兆位 DRAM 的密度中，单元的尺寸将限制到约 256 位每单元，具有足够的电路支持一个象元或 3 个子象元，以及诸如

图 1A 所示的冗余方法的连接。由于小的单元尺寸，因此，即使采用前沿光刻技术，其原始单元故障率也将低于 0.025%。在这种低原始故障率的情况下，由图 1A 所示的备用单元设计所提供的 3 对 1 冗余足够提供一特别高的成品率。每个 单元具有 3 色子象元的一个 6 百万单元阵列将 8 倍好于 SVGA 的显示和 48 兆位的快速存贮器封装到单个 8 英寸晶片上。

与容错的单元间连接和系统的其余部分相反，因为更多的区域可被用于单元的内容，所以较大单元的阵列在许多情况下比 50 微米或更小的阵列更有效。但是，在输出阵列中，如果其单元尺寸超过了对于人眼（或其它接收设备）的视在故障的阈值，那么，当有其自己的象元的备用单元替换阵列单元时将会明显地超出对准。虽然在本发明的上述显示实施例中的单元能够造得足够小以隐藏这种故障，但是在当今的光刻技术中这种方法的含有成千字节存贮器或 RISC 处理器的单元将是非常大的。

因此，根据本发明的另一较佳实施例的容错结构提供了可被组织成一规则的无故障单元阵列的高度冗余单元网络，此单元其中的单元阵列含有一个或多个直接输出元件，并且其中，当备用单元 700′替换阵列单元 700 时，此备用单元有能力控制此阵列单元的显示象元，如图 7A 所示。即使故障阵列单元已经正常地制造出来，在替换时通过保持备用单元的输出与此单元成一条直线，那么也能使此阵列对人眼（或其它接收设备）显得一致。实现它的一种低效率的方法是通过切断故障单元的电源，并且在此阵列单元的显示控制线上使用多输入的或门而使其报废，其中每个或门有来自此阵列单元和来自可以替换它的每个备用单元的输入，由于此实施例中的备用单元 700′不需要自己的象元，因此，阵列单元 700 的直接输出象元 704 能够与备用单元的周围重叠，使得这些阵列单元的组合象元能够大体上覆盖整个网络的全部表面，如图 7B 所示。对于低效率的光输出装置，反射或折射环境光线特别的重要，诸如显微镜（“At TI, HDTV Is All Done With Mirrors”，The Wall Street Journal, Junelo, 1993），因为这样增加了能够控制的环境光的百分比。比可见光故障尺寸大的单元也能有更多的处理能力，这将允许采用更复杂的压缩方法。例如，用于一个单元计算哪些单元落在一个三角形内的足够的处理能力允许此阵列直接处理加影的三角形，而不是需要主 CPU

或分离的图形加速器处理它们，并且处理结构的足够处理能力允许采用构造成的平面多边形，等等。

但是，在备用单元采用其所替换单元的象元的情况下，故障象元的容错就没有了。虽然某些应用中，一个故障的输出象元不会象一个故障的处理器或存贮器那样严重，但是，在另外一些应用中，避免故障象元的需求在没有故障象元容错的情况下将限制阵列的尺寸。对于这些应用，上述的实施例仅仅可用于无故障象元制造的显示器，这将通常限制此显示器到几百万象元。因此，对宏观单元恢复故障象元容错将是非常有利的。

因此，根据本发明的另一个实施例的容错单片数据处理结构利用可被组织成一个大的规则的容错单元阵列的高度冗余的单片单元网络克服了对于宏观单元阵列的输出阵列的尺寸限制，其中的每个单元既有包含备用象元的直接输出装置，又有用于存贮的装置和/或用于处理的装置。为了备用象元的有效，在一备用象元和其所替换的象元之间的最大距离必须足够地小，使得不会产生一个接收器可注意到的不一致性。对于人眼在一个适合的视距上，这个距离约为 **1/500** 英寸（ **0.05mm** ），虽然一个模糊的 **0.1mm** 的框（ **mask** ）是可接受的。在本发明中公开的结构能够支持对巨大数量的象元的输出，并且具有小于 **1/500** 英寸象元的显示器已经在生产，对于本发明的结构提供的容错，可以预料的是这些象元能够制造得象控制它们的存贮器一样小。采用现今光刻技术的一个典型的实现将采用标称有 **4096** 个象元的排列成 **64 × 64** 矩阵的一些单元，但是实际上有 **72 × 72** 个象元，这些象元用一种类似于存贮器芯片的字和位线的方法由行和列象元线寻址。在正常操作中，每个第九线为一个“额外”线。这些额外线能够编程为空白，从而导致几乎看不到的点画（ **stippled** ）影响；或者编程为在每个点显示它们的相邻线的平均值，从而产生一个更平滑的视觉显示，或者甚至编程为在它们的相邻线的值之间交变。当替换一条含有一个故障象元的线时，其最近的备用线就采用其邻线的值，剩下的空闲线又采用其邻线的值，直到到达故障线为止。利用上述的例子和 **0.05mm** 的象元，这将在一个 **3.6mm** 乘 **0.05 – 0.2mm** 的区的象元中产生 **0.05mm** 的位移，从一个正常的视距上人眼不会注意到此位移。这样就提供了一种比当今的绝对需要完美的显示多许多数量级的容错的显示。对于控制电路围绕其周边而不是仅在两个面

上的情况，当需要时，可通过将一个单元的直接输出象元分成四分之一圆周而将被移动面积的长度二等分。采用一些更复杂的象元级容错方法也是可能的。虽然美国专利 No.5,065,308 的容错方法不适用于整个单元阵列，但是通过将每个象元作为一个单元一样处理，很容易适于提供每个单独的单元象元的容错。不幸的是，如采用 0.5 微米光刻，这将约消耗整个电路数的 1/3，而光刻的改进将使之降低到可接受的小于十以内的几分之一。尽管这些备用象元方法中，每个故障象元会使多个象元移位，但是，此移位仅为单个象元的长度而不是整个单元的长度，并且此移位由其最近的备用线或相对靠近的单元边缘而不是由可能更远距离的整个阵列的边缘来限制。

虽然对于许多种 I/O 而言，来自每个单元的直接 I/O 的优点是压倒一切的，但是却不能阻碍将用于其它类型 I/O 的装置，特别是那些在整个阵列规模上的或大于单个单元的分离率的，增加到整个单元网络而不是每个单元。对于在圆形晶片上的矩形阵列，这能很好地用于围绕阵列边缘的可观的空间，适用于它的 I/O 种类包括但不限制于，加速器、位置和方位检测器、声音检测器、红外或无线信号检测器、温度检测器、磁场检测器、化学浓度检测器等等。

现有技术中，采用无线链路与外部设备进行通信的系统已为人们所公知。无绳数据传输设备，包括键盘和鼠标、手持计算机至桌面计算机的数据链路、遥控和手提电话，它们的使用正每日俱增。但是，这种链路使用的增加以及其范围和数据传输率的增加都增加了对带宽的需求。有些电磁频率范围已经很拥挤，从而使传输瓶颈增加了一个限制因素。电源的需求也限制了这种系统的范围，并且为了可靠的传输，经常需要发射器物理上指向接收器。

根据本发明另一个实施例的容错单片数据处理结构利用可被组成一个大的规则的无故障单元阵列的一高度冗余单片单元网络克服了输出阵列尺寸的限制，其中每个单元有用于对一全局数据总线输入和输出的装置、直接输入和/或输出装置，还有用于存贮的装置、用于处理的装置、以及用此单元和其它阵列单元的直接输入和/或输出的相位和/或定时的调整的装置。这样就允许单元阵列 1300 作为一个用于聚焦在一个外部发射器或接收器 135 上的“调相阵列”，如图 13 所示。如果在这种结构中替换阵列单元的备用单元有其自己的定时/相位

控制装置或者它们都采用被其替换的阵列单元的发射或接收装置（或者如果在一个备用单元和其替换的单元之间的最大距离足够地小而不致产生干扰接收和发送的不一致性），那么这些备用单元在接收和发送中是有用的。由于调相阵列本来就包括通过许多单元发送或接收同样的信号，因此，这就便于具有通过一全局或局部数据总线的单元通信。

另外的实施例通过一个差分定时电路动态地聚焦到外部设备上。对于其信号传输比全局数据总线速度慢的直接输出，诸如声音直接输出元件从一个电子总线接收数据，实现此差分定时电路的一种简单方法如下：一个单元（或与此阵列相关的一个设备）是被聚焦的信号源或目标。此单元或设备就被称为控制器。被聚焦到其上的外部设备发送一个足够强的短参考信号以便每个阵列单元分别拾取。当此控制器拾取这个信号时，它等待足够长的时间使得所有这些单元将都已接收到它，然后跨越此全局数据总线而发送其自己的参考信号。每个单元都测量在其接收外部参考信号时和参考信号到达全局数据总线上时之间的延迟时间。当所有单元接收来自全局数据总线的数据时，在将此数据发送之前每个单元产生一个等于其延迟时间的时延。随后接收此外部参考信号的这些单元有较短的延迟时间，因此较早地发送此数据。这样就使得所有单元的发射几乎同时地并且同相地到达此外部设备，实际上将整个发射聚焦到其上，如实波浪线 **1343** 所示。这些单元的发射将不会相长地相加，因此将不会聚焦到大多数其它的点 **1351** 上，如虚波浪线 **1343'**所示（一个单元的单元定时延迟差由相同长度段 **1344** 指示）。

当这些单元接收数据时也有同样的定时。在将接收的数据送到此全局总线之前每个单元都产生延迟（由其延迟时间），因此随后接收它们的数据的一些单元延迟较短的时间并且来自源的所有信号在总线上加在一起。对于来自一些源的而不是聚焦在一个上的一些信号，这些信号一点也不会同步到达，因而它们的作用就会减少很多。当接收数据时，一旦建立起聚焦，即使此外部设备由每个单元依照所收集的全局信号检验其同步而移动，此聚焦也能被保持。这种聚焦将在诸如声音输入到计算机等等的领域中导致一个巨大的改进，目前的声音输入到计算机正在经受一个非常困难的从背景噪声中提取一给定的

声音的期望。具有一接收声音输入的动态聚焦阵列和对其进行翻译的一个处理器阵列的计算机语音识别在很宽的现实环境中将是实用的。

这种定相阵列技术也能用于那些外部信号传输速率类似于或大于全局总线上的信号传输速率的直接输出，诸如天线发射。首先必须考虑全局总线的同步。如果同一单元或设备总是前述的控制器，那么数据到达一给定单元的时间是一个在制造时可控制的常数；可能的最容易的方法是为此全局数据总线或一个分离同步信号提供到每个单元的相同长度的路径。如果此全局总线同步不能在制造时补偿，那么含有一定位检测器的阵列就能通过比较不同定位计算的延迟时间而计算用于每个单元的总线定时（总线定时保持常数而不管其定位，传输定时则不行）。但是，对于电磁辐射，虽然其所需的延迟时间对于任何目前的技术而言是太小，但是输出的相位角却能够被控制。对于那些其波长至少为单个单元的宽度的二倍但小于整个阵列宽度的四倍的频率，这是最有效的。对于晶片尺寸大小的或较大的阵列和电磁辐射，这种将覆盖 VHF 和 UHF 的 TV 频段。比信号卡小的阵列将只实现对 VHF 信号有限的聚焦，但是在 UHF 频段仍将工作得很好。一个特别好的实施例把用于这种信号的直接定相阵列接收装置与足够的处理能力结合在一起以译码标准 TV 或 HDTV 信号，以及与足够的光输出结合在一起以显示一个完全的标准 TV 或 HDTV 图象，这样就建立了一个紧凑的低费用、低功率的单片 TV 系统。

虽然聚焦的最重要的一种数据是光数据，并且光信号的频率是如此的高，使得目前对聚焦进行直接相位控制是不实际的，但是，光信号的方向控制却是实际的。对于固定聚焦，很容易在塑料片上压制一些小物镜的样式，它能构成一个输出或输入阵列的表面，如索尼（ SONY ）的 Visorfron 中所作的那样。对于头固定（ head-mounted ）阵列，这是特别有效的，因为这些阵列能够与观察者的眼睛保持固定的、预定定向和距离，并且因为它们能够足够地近而使得每个单元的象元只能由一只眼看到，消除了单个单元对不同的眼对准不同的图象的需求。对于非头固定（ non-head-mounted ）的显示器，只要此显示器大约保持在适当的距离和定向，通过让不同的象元对准每一只眼，固定聚焦能够用于允许图象有一些视在深度。

但是，动态聚焦有许多超过固定聚焦的优点。对于非头固定的显示器，将方向控制加到单元的光输出中允许阵列表现立体图象而不管视角和距离。甚至焦距的控制更加有利，因为它允许显示器、头固定的或非头固定的，以这样的一种方法“准聚焦”（ almost focus ），这种方法就是接收眼睛的自然聚焦将使眼睛“看到”那些象正在一给定距离上的象元，因而产生真实的就眼睛所能区分的三维图象。因此，本发明的另外的一些实施例包括用于在每个单元中的光输入和/或输出的装置，以及用于这些输入和/或输出动态聚焦的装置。这能够通过全息透镜来实现，它已经被发明用于三维光存储系统（“ Terabyte Memories with the Speed of Light ”， BYTE， March 1992 ）。由于每个单元能够有足够的处理能力以控制一全息透镜聚焦到一给定点，因此整个阵列能够聚焦到这个点上。由于每个单元能够独立聚焦，因此此阵列的一些分离的区也能聚焦在不同点上。虽然在短距离中全息透镜可能被证明是最实用的，但是其它的一些聚焦方法也是合适的。例如，一种蝇眼（ fly's eye ），采用胶状透镜的物理变形而使每个单元聚焦在此蝇眼感兴趣的点上，以及一种在晶片上的类似的方法能够使用由电力产生的悬臂式硅梁（ cantilevered silicon beam ）或压电材料的变形。

目前的计算机系统由许多连在一起的分离地制造的元件组成并且位地一个用于保护的塑料或金属盒内。这样就使一个系统比其元件本身大许多个数量级。但是本结构允许所有的光刻制造的元件，从输入和输出到存贮器和处理器，都被集成在单个基片上，仅仅留下电源和海量存储器作为分离的设备。由于本结构减少了电源消耗，因此，通过电池和/或光电池装置对基于此结构的系统供电成为可能。薄膜光电池和薄高性能锂电池都能在晶片生产线上制造（“ Thin-film lithium Battery Aims at World of Microelectronics ”， Electronic Products, December 1992 ），允许采用当今的技术将它们集成到本发明的结构中。这样也可能为每个单元光刻制造一个单独的电池（或其它电力存储装置）和/或光电装置，使得所有（ ALL ）的系统元件至少有同样的单元级冗余并且没有错误会影响多于几个的直接可替换单元的合适的操作。在这些实施例中，将有利于单元能够在一局部电力共享总线上与其非故障邻元连接在一起。在一个理想的实施例中，

没有作为直接输出的一部分反射的环境光被一光电池吸收，并且当一给定的时期剩下空闲时间时，系统将进入一个电池吸收准备模式。如果装配足够的光电接收面积，那么一个精心设计的阵列就能全部由环境光供电，消除了对外部电源的需求并且建立了一个完全独立的单片系统，虽然可以想象的是，实际上在大多数情况下，用于外部电源的附加全局连接将是有利的。

虽然基于本发明的上述实施例的系统在输入、处理、存贮和输出方面表现出显著的进步，但是半导体晶片是易碎的并且有尺寸的限制。但是，可以将一个含有完整电路的晶状硅薄层从一个晶片的表面转移到另一个基片上，包括诸如韧塑料这样的弹性薄层（“Prototype Yields Lower-Cost, Higher Performance AMLCDs”, Electronic Products, July 1993, and “Breaking Japais Lock on LCD Technology”, The Wall Street Journal, June 1993）。通过将大量的这种转移连续地放置在一个大的半刚性基片上，并且然后在一个最后的金属层中通过对准不敏感的接触（诸如图 4E 所示）而互连这些转移，一个需要任意尺寸的系统就被制成。如果这样的一个系统由一塑料保护层覆盖，那么整个系统应该特别坚韧和耐久。由于本发明提出将整个系统集成到一个晶片的表面，因此，电路转移将允许根据本发明的一整个系统减小成零点几毫米厚的坚韧、耐久、重量轻的薄片，虽然在大多数应用中，大约象信用卡那样的厚度和刚性的薄片被认为是理想的。

因此，本发明的容错单片数据处理结构的另一个实施例利用可被组织成一个大的规则的无故障单元阵列的许多高度冗余的单片单元网络克服了晶片尺寸的限制，其中的每个单元具有直接光输出装置，还有用于存贮和处理的装置，并且，其中的那些单片网络互相紧靠着固定在基片上并且这些网络跨越网络间的边界而相互连接以扩展单元间连接图形。更多的较佳实施例采用不易碎的基片。对于一给定的转移，虽然转移间的连接目前实际上仅仅能制造在一个金属层而不是高达五个金属层上，但是，当芯片外连接能够制造到 15mm 的标准结构芯片的整个周长上时，多于一个数量级的连接还能制造在一个 3mm 单元的一面上。由于基于本发明的阵列的容错允许其能够比传统电路承受更重的处理，因此本发明的阵列对于这种转移来说，应该是一种

理想的选择。在将附加的存贮或处理薄层加到根据本发明结构建立的系统中时，电路转移也是有效的。可以预料的是，在将多层低功耗存贮器加到紧凑的无盘系统中时，这是特别有效的。

当前基于制造系统的晶片用于制造不大于晶片的单片区是有效的，但是，在本发明中公开的结构能够有效地处理远大于一个晶片的网络。但是电路转移技术既能用于原始硅，也能用于整个电路，所以大的基片面积能够用晶状硅的单片转移覆盖而仅仅在这些转移之间有不一致的细线。在制造过程中，通过整理并且放置这些转移到 1/500 英寸（ 50 微米）的精密度（人眼可见的故障极限）以及由金属层桥接这些转移间的缝隙，这些接合缝能够藏在这些单元中间。本发明中公开的结构让单元或单元的区通过对准不敏感的接触而连接，允许制造大于单个生产线掩膜的区，并且允许顺序地或同时地应用于多个低消耗摸膜。因此，完成用于基于本发明的结构的系统的所有制造步是可能的，包括在一个基于大的或连续基片而不是单个晶片的生产线上的光刻。虽然没有转移晶状硅，但是类似的生产线目前用于连续片的薄膜太阳能电池的生产中。由于规模的经济性，这种连续线性制造将比基于单个晶片的制造及其后的电路转移便宜得多。

在计算机系统中，可携带性是一个越来越重要的问题。通过在一个微观互连区中集成整个数据处理系统，本发明大大地减少了系统的尺寸、费用和电源需求。这种区也能生产在或转移到弹性基片上，从而允许在非易碎的基片上建立整个一片（ one-piece ）计算机系统。当提供一个薄的透明保护表面层时，这种系统将是特别的坚固，因而既是紧凑的，又是基本上防震并且甚至可能防水。

在本发明的一些特别佳的实施例中，前述的任一实施例的整个单元网络可制造成单个弹性薄片。这可通过在一薄的塑料基片上制造阵列来实现，薄的半导体和其它的层都淀积或转移到此薄的塑料基片上。在图 14A 和 14B 所示的例子中，数据处理系统 140 制造如下：层 1460 是大约 150 微米（ 6 密尔）厚的非常硬的光滑塑料片（例如 LEXAN ）。然后一个 400 微米厚的薄膜锂电池层 1461 被淀积，然后是几微米厚的塑料层或诸如溅射石英等的其它绝缘体。单个单元 1400 的电池如图 14A 所示的电池 1440 。接下来，产生几微米厚的铝电源布

线层 1462，然后是另一个绝缘层。用于每个单元的一个小孔被蚀刻（或者钻，等）到此电源层，并且在里面淀积一个垂直的“线”以便给此单元到电源层的通路。接下来，产生处理器/存贮器层 1463。一个约 50 微米厚的半导体材料层被淀积或转移，并且以一类似于标准集成电路制造的方法，通过一低温掺杂系统（诸如离子注入）而掺杂。在标准集成电路芯片种类中，金属化层用于连接此处理器/存贮器层中的元件（除了连接电源和地以外）。这个层含有大量的单元电路，这些电路包括到全局数据总线的输入和输出装置 1402，用于与邻元通信的装置 1418，存贮器 1416，处理器 1420，以及连接到一局部数据总线的选择装置 1436。接下来，在除了将有一个连接到地层的地方之外的所有地方淀积一个绝缘层。产生地层 1464 的方法与产生电源层 1462 相同。孔被“钻”得直到与处理器/存贮器层接触，并且垂直的绝缘“线”淀积在这些孔的里面，从而为此处理器/存贮器层 1463 提供一个到直接 I/O 层 1465 的通路。接下来，加上直接 I/O 层 1465，它具有直接光输出 1404、直接光输入 1424 和触摸/接近直接输入 1430，其中的直接光输出 1404 以一种类似于任一种用于制造平板可携带的计算机显示器上的象元的方法来制造，其中的直接光输入 1424 以一种类似于用于制造 CCD 输入芯片的方法来制造，其中的触摸/接近直接输入 1430 象微型标准电容触摸/接近检测器那样制造。所有的这些技术在现有技术中是公知的。此层也能包含声音输出装置 1432 和声音输入装置 1434。顶层 1466 是一个透明的保护层—100 微米的 LEX AN（聚碳酸酯）提供了抗划伤性，并且总厚度高达约 800 微米，或 0.8 毫米。因此，在此实现中整个系统 140 是一个不到一毫米厚的刚性而不易碎的薄片。当采用连续生产技术时，根据本实施例制造的一个大的薄片将被分割成一些较小的薄片，具有信用卡大小的系统和 8-1/2″× 11″的系统被认为是特别地有效。

这样建立的小系统对于虚拟现实眼镜也是完美的。考虑当前的具有比喻为桌面的诸如 MS Windows、OS/2、Syster 7 等软件的计算机系统，远远小于真实桌面的监视器尺寸限制了“桌面”的空间。对于本发明的结构的这个实施例，这种眼镜与目前的桌面系统相比，将具有更多的存贮器、更好的分辨率和更多的处理能力。此外，左和右“透镜”能够显示立体图形，并且，如果此眼镜安装有用于加速度或方位检测的装

置，那么整个图象能够移动得象穿戴者的头转动一样。这也可用于建立一个比当今计算机系统的“虚拟桌面”比喻更有效的全“虚拟办公室”比喻。此眼镜也能包括用于与其它电子设备（诸如数据手套、键盘等）通信的装置（诸如红外线接收器），或者包括到外部电源的物理连接件。由于根据本实施例所建的系统是特别可携带的，因此，这有利于为了最小电力消耗而设计所有的元件（即，非易失性 SRAMS 而不是 DRAMS）。虽然上述各层可采用不同的排列顺序，但是在本例中选择的排列顺序有一些重要的优点。处理器/存贮器层直接夹在电源和地层之间以便快速而方便地选取电源，这样就加快了处理并减小的电源需求。另外，地层和电源层保护敏感的处理器/存贮器不受外部电磁干扰的影响。

用在本专利申请中的所有例子应被视为解释性的而不应当作一种限制。对于本领域的熟练技术人员而言，显而易见的是，在本发明的范围和精神内可作出许多相对于上述例子的变形。为了简便起见，虽然已经示出的是平面线性阵列，但是单元也能连成三角形、六角形、八角形或其它规则的配置（尽管这些很少用于存贮器阵列）。这些配置不需要平面的—例如，一个球体的内表面能够被一些单元覆盖，这些单元能够跨越球体有选择地与任一其它单元通信而不会干扰阵列的剩余部分。还有可能的是，单元层采用直接连接到表面上的输入和输出元件，或者采用其中只有表面单元有直接输出能力的三维单元阵列。采用平面阵列实现这种效果的一种方法是在阵列的两面使用双相直接输入和输出，使得分离的阵列能够叠加成速度惊人的三维阵列处理器。

为了便于理解，虽然在前面的例子中采用了当今的硅光刻，但是本发明的元件和原理不限于当今的光刻、硅、一般的半导体或者甚至电子。例如，光处理器和存贮器阵列能够非常方便地联接到直接光输入和输出。并且单元的元件也不限于二进制或者甚至数字系统。在一个混合系统中，其中每个单元除了数字处理、存贮器和直接输出外还有模拟输入和到邻元的模拟连接，对于实时视觉识别系统，这种混合系统显出非常好的前景。每个单元具有多于一个的处理器也是可能的，诸如具有分离信息通过各处理器的基于单元的传输式计算机（transpucter）。

并且，除了其中已明确地陈述外，在例子中采用的尺寸或数量不应视为最大值或最小值。例如，所公开的结构能够将一大规模并行计算机封装到一个接触透镜中，或者同样容易地支持一个电影院屏幕大小的具有几百万单元的阵列。

5

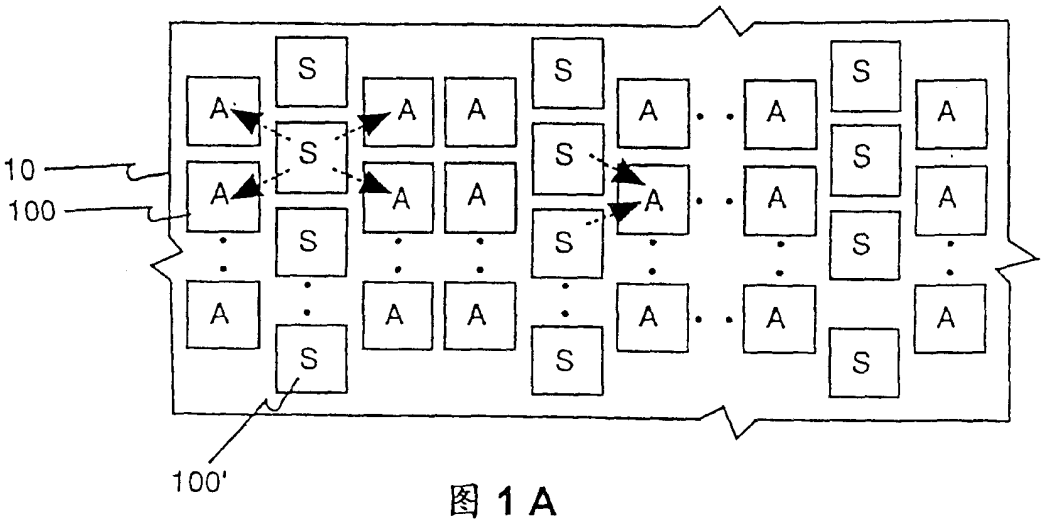


图 1 A

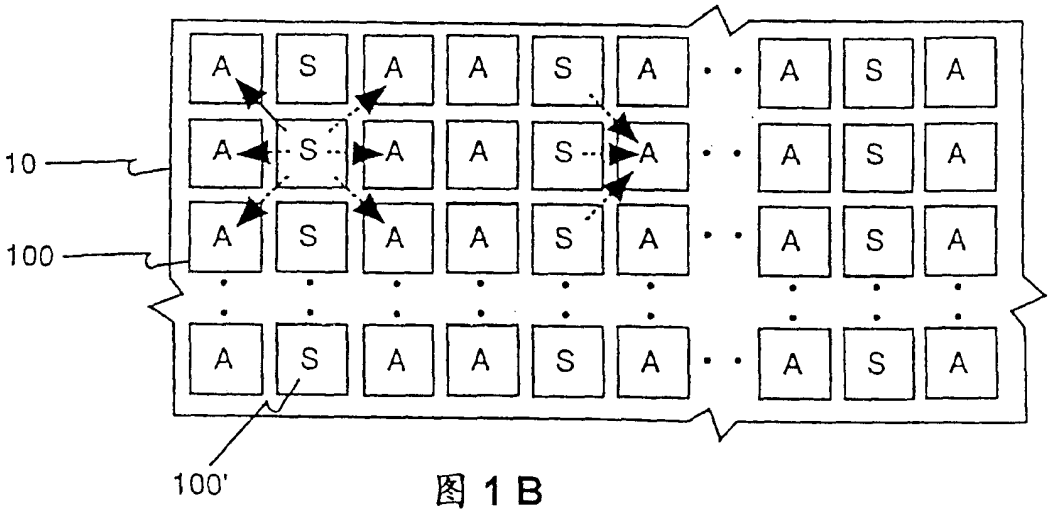


图 1 B

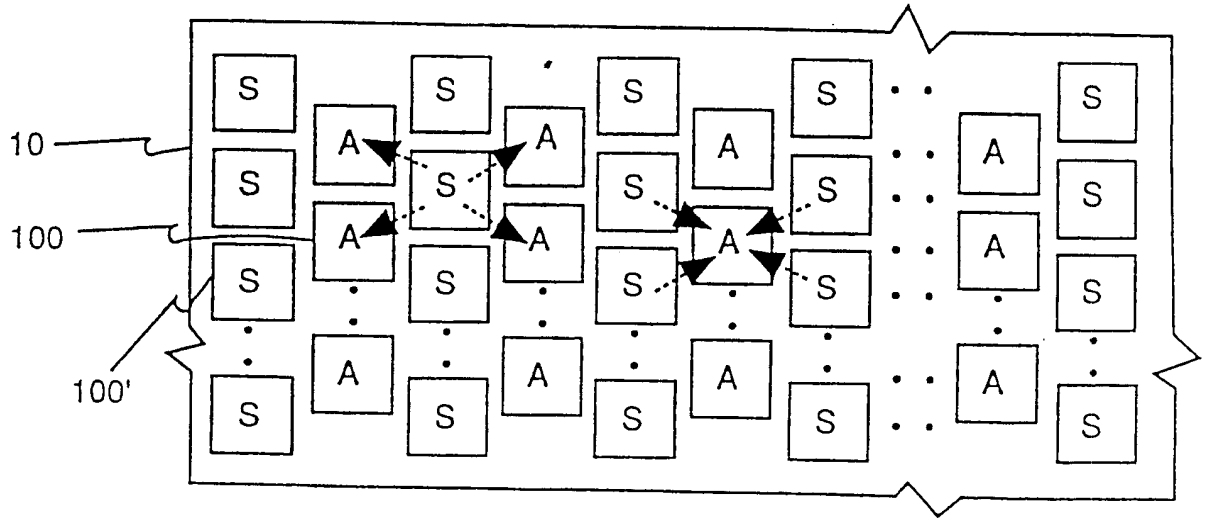


图 1 C

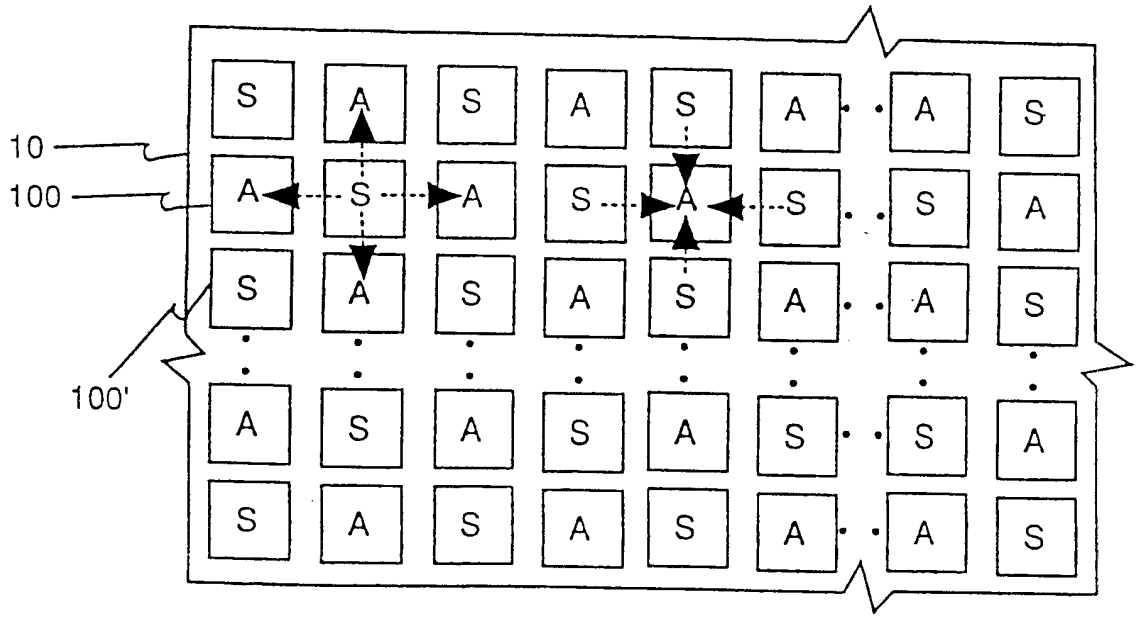


图 1 D

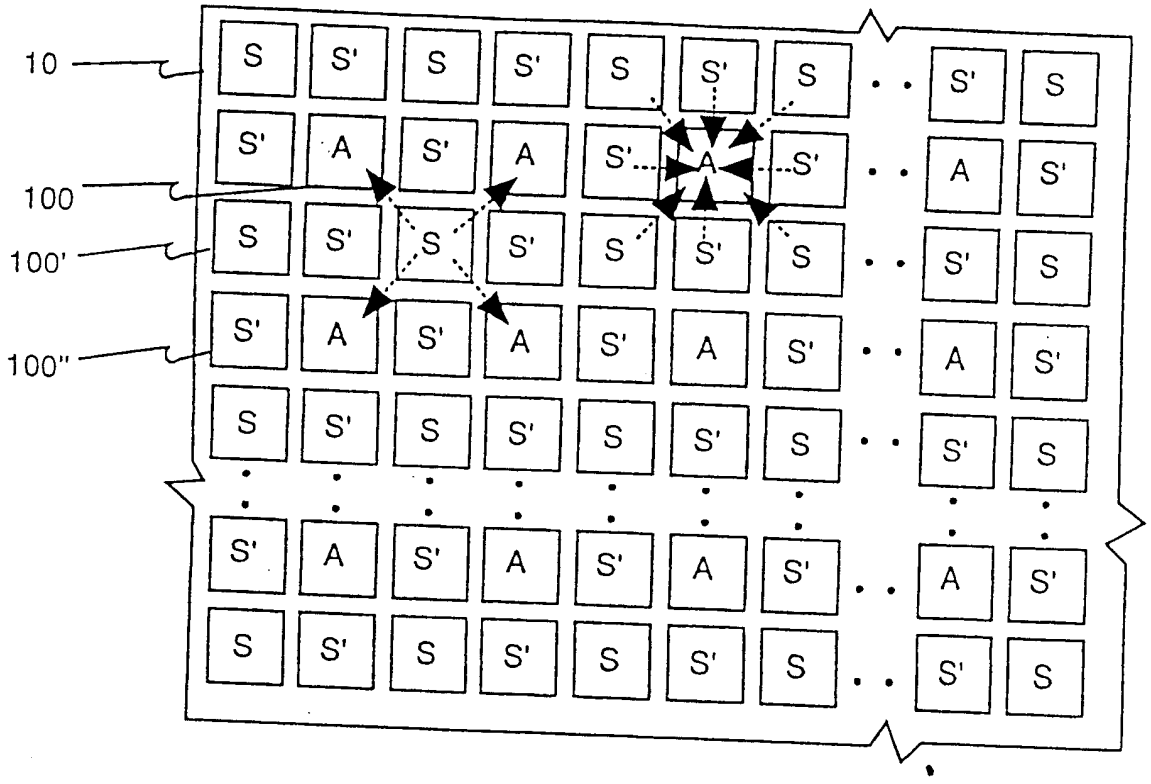


图 1 E

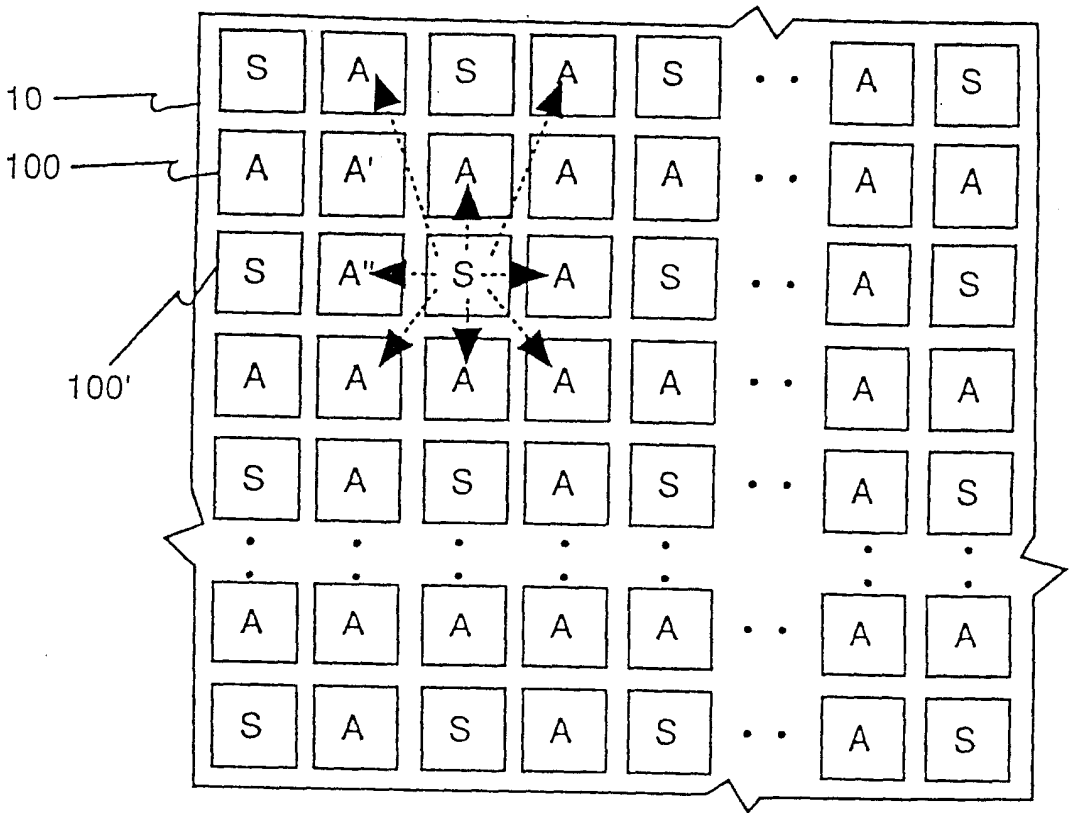


图 1 F

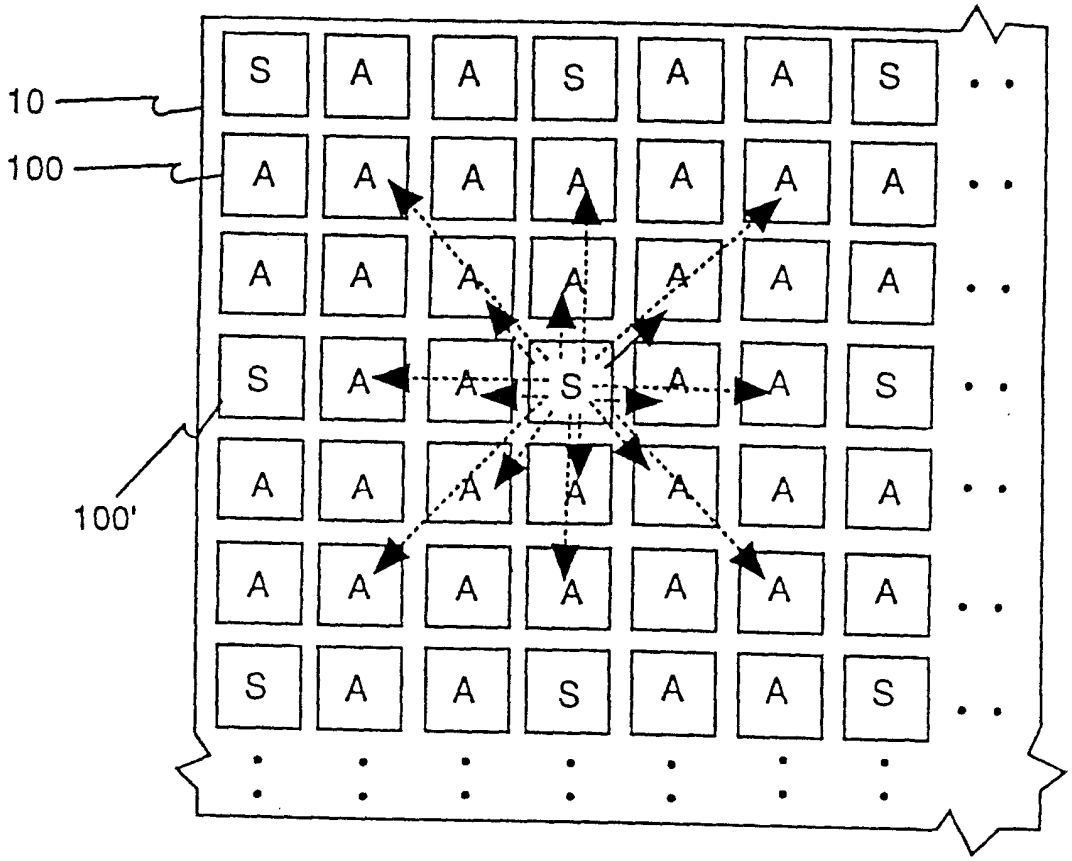


图 1 G

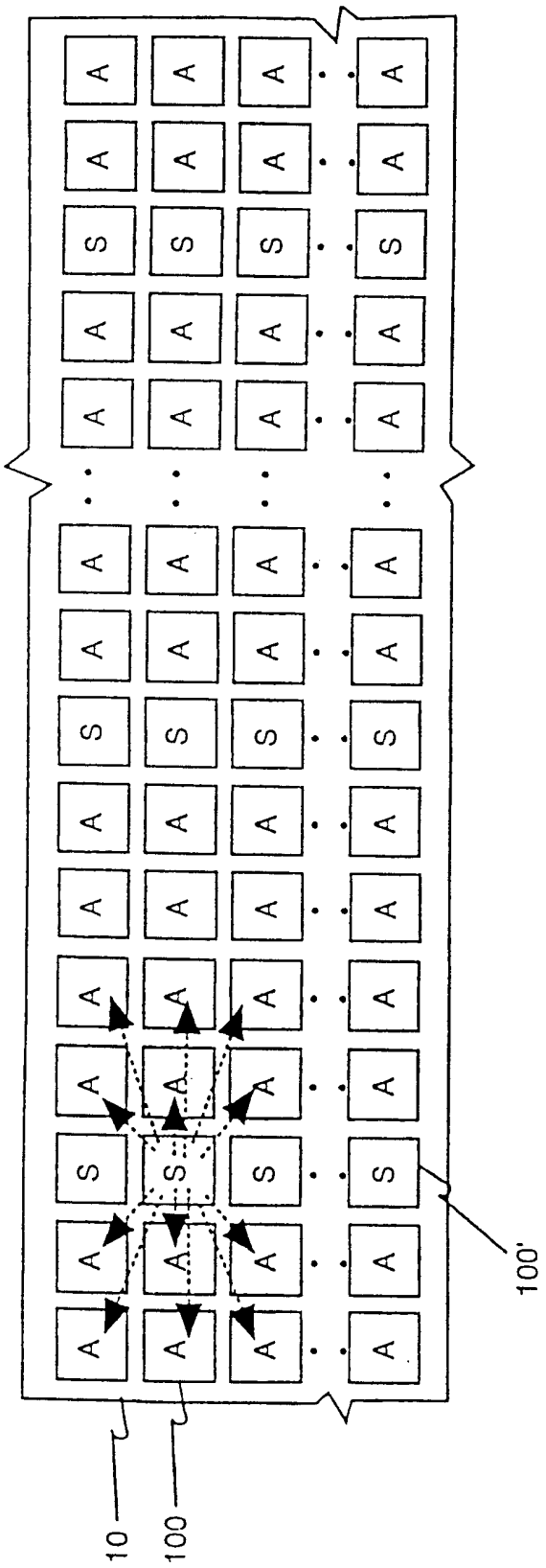


图 1H

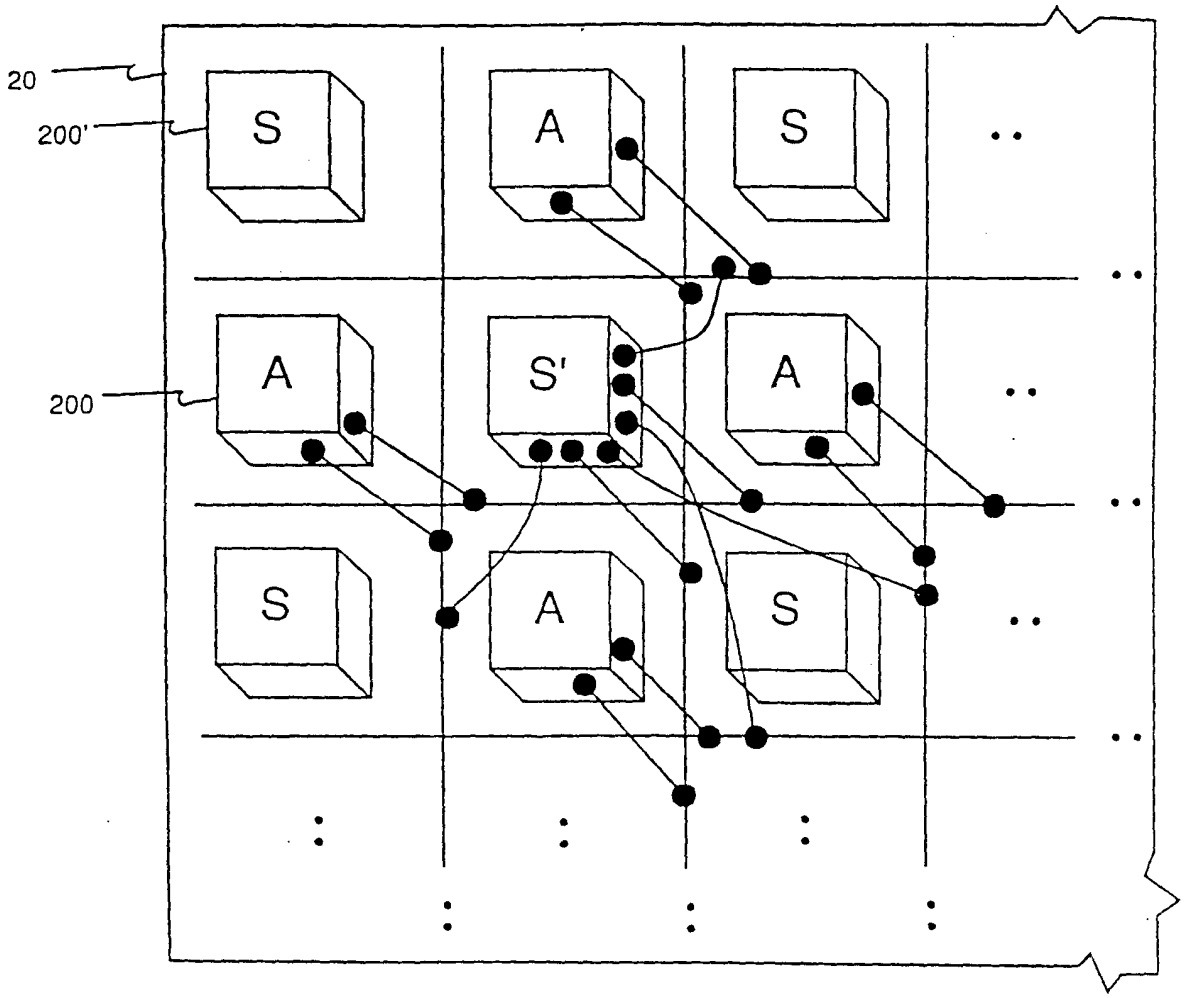


图 2

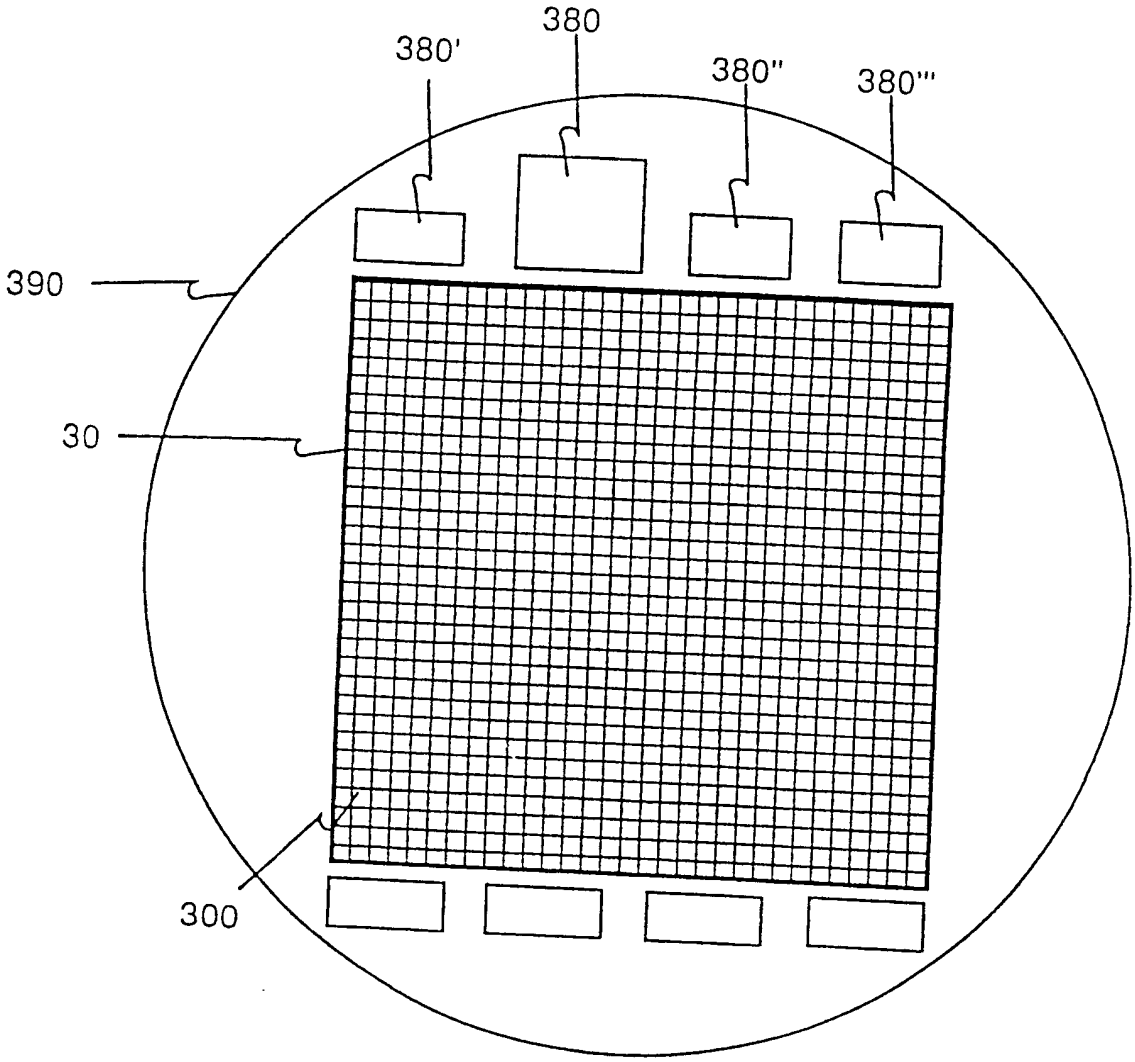


图 3

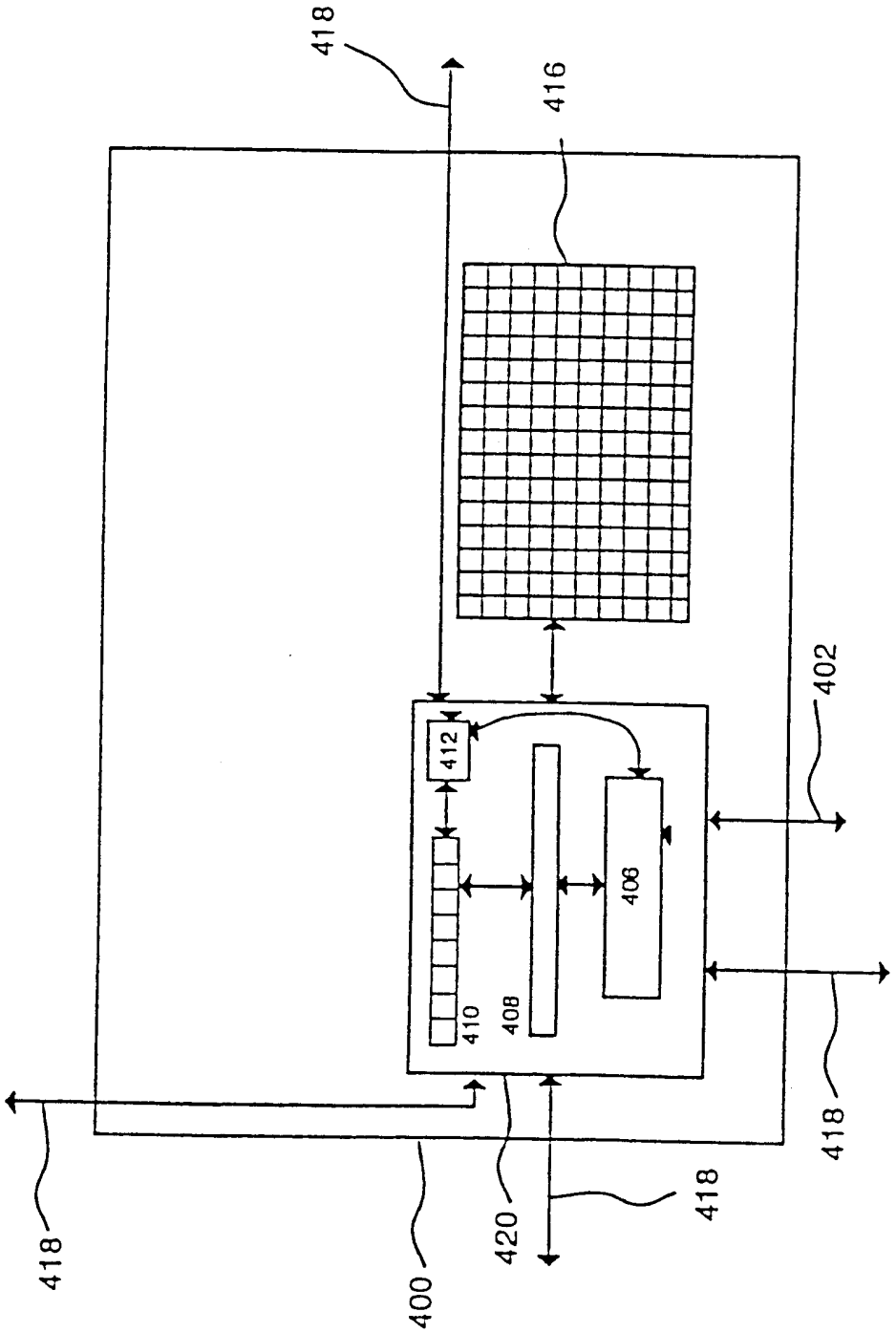


图 4 A

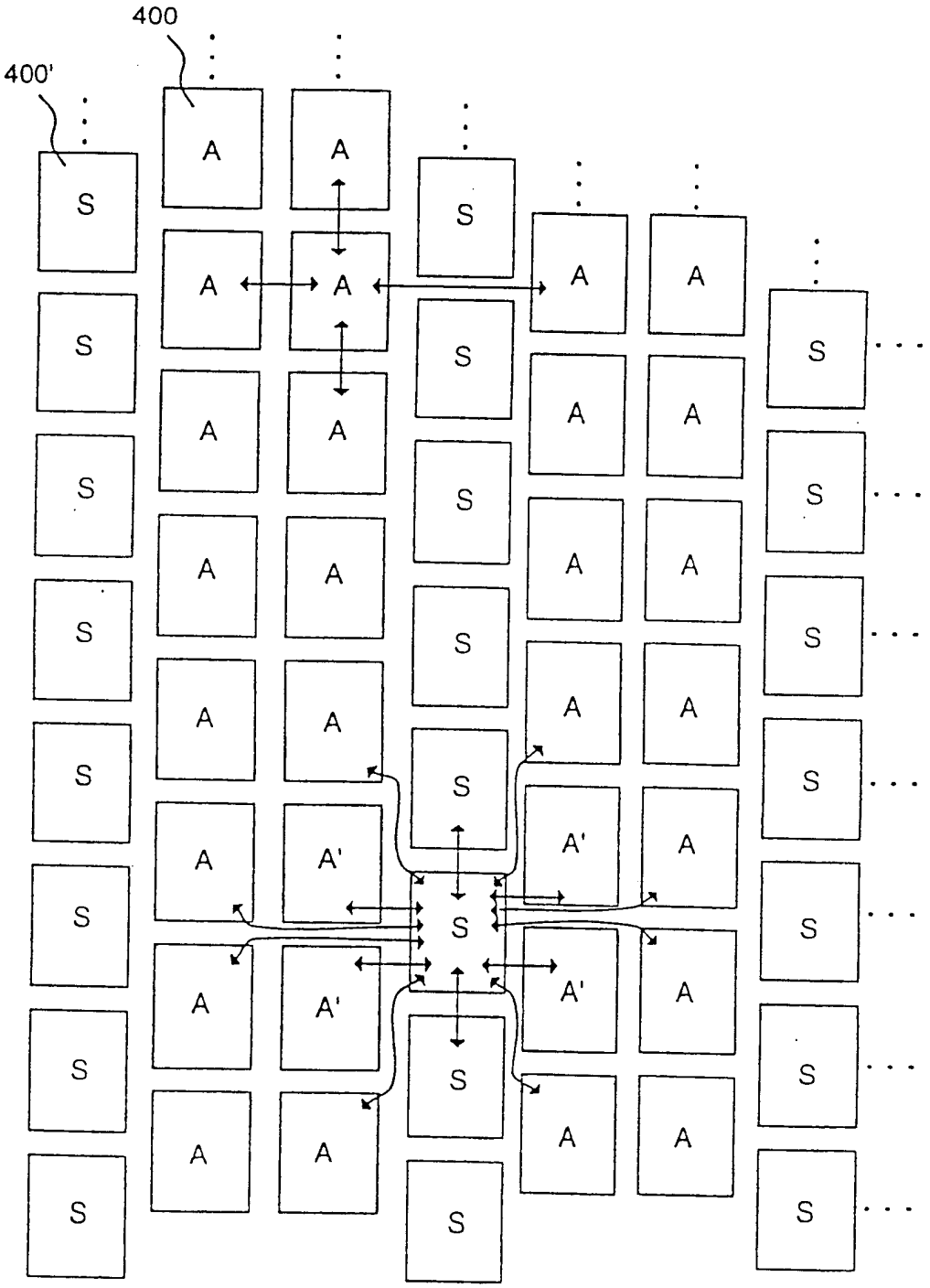


图 4 B

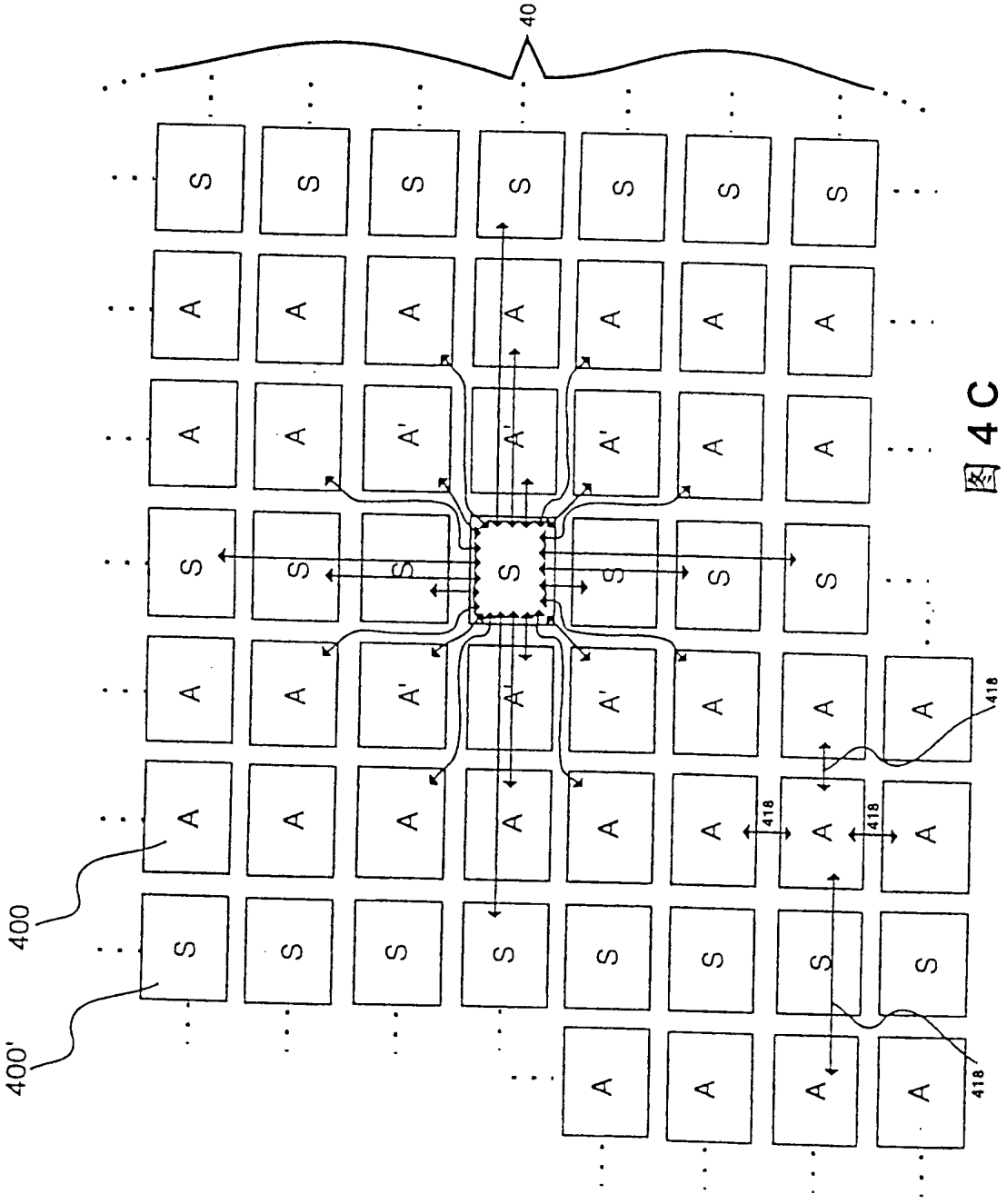


图 4C

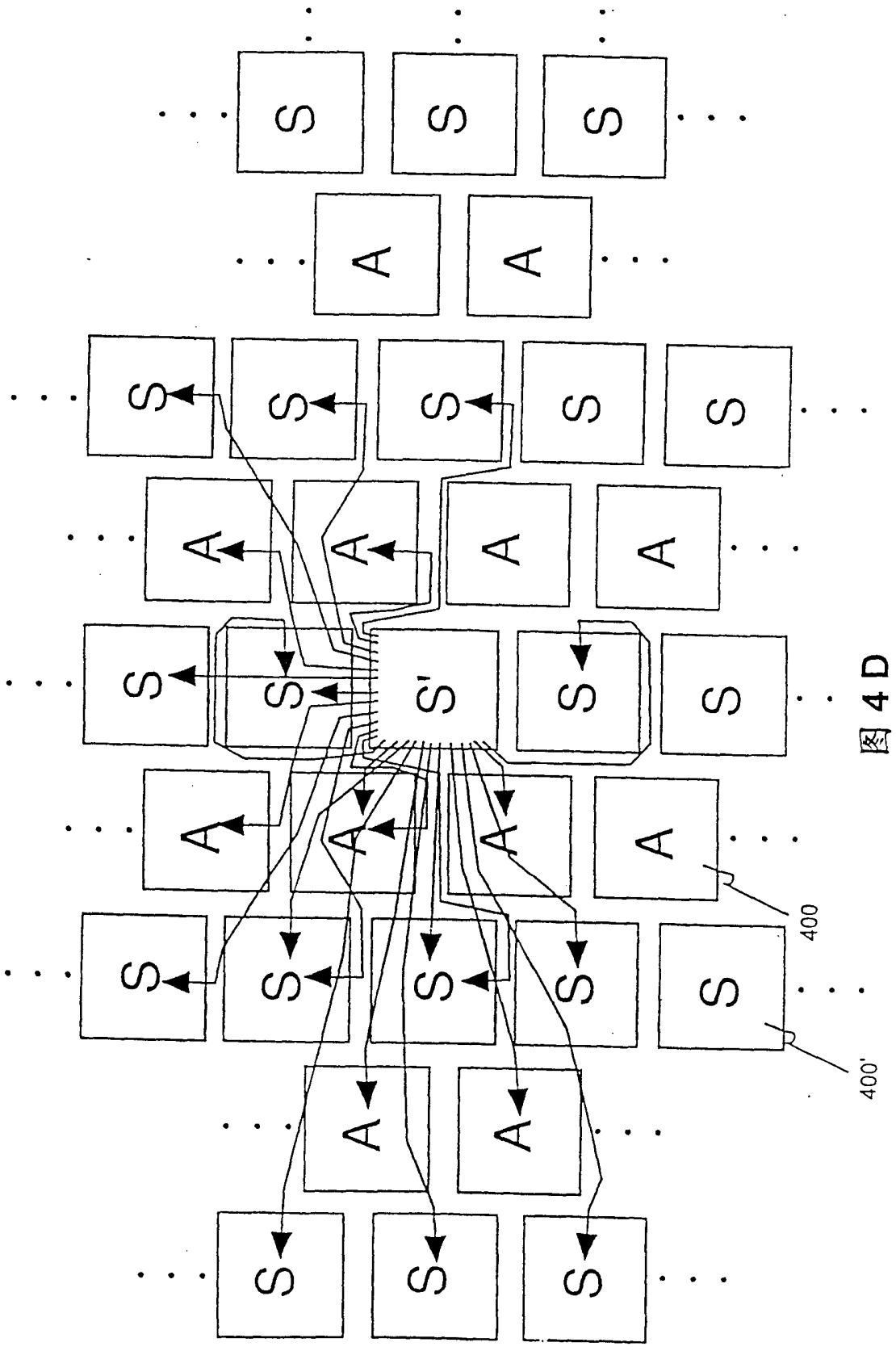


图 4D

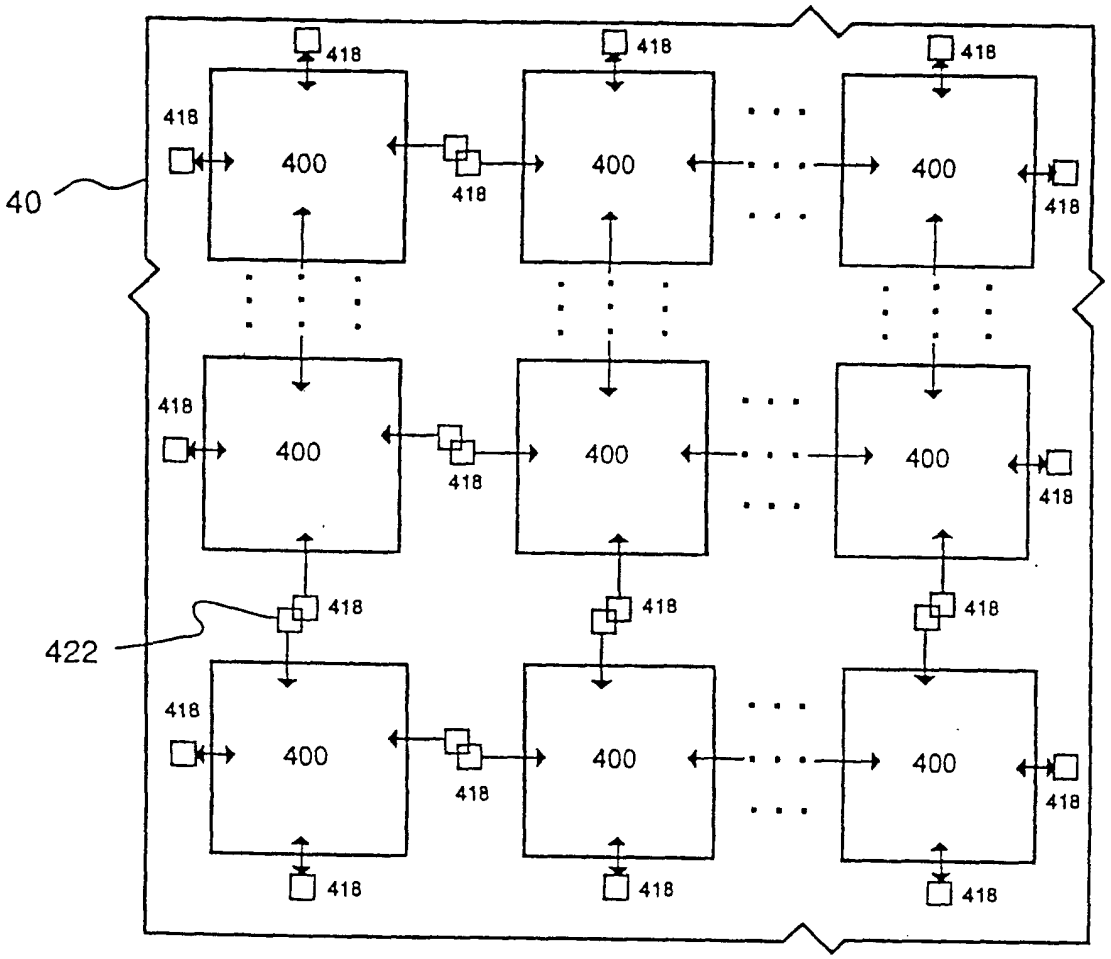


图 4 E

图 5 A

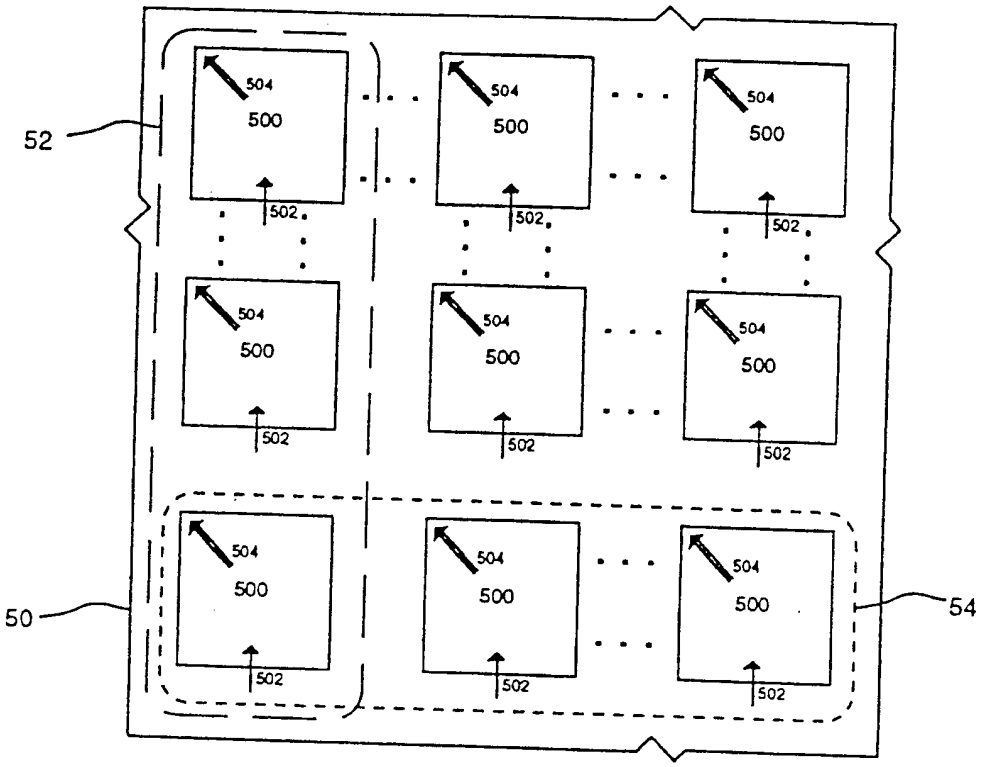


图 5 B

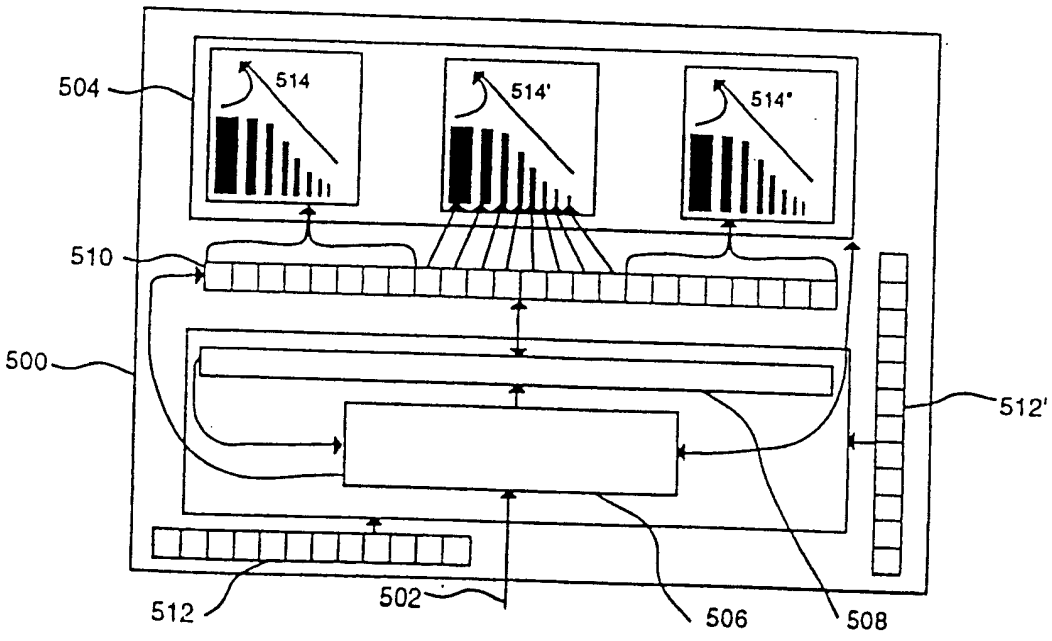


图 6 A

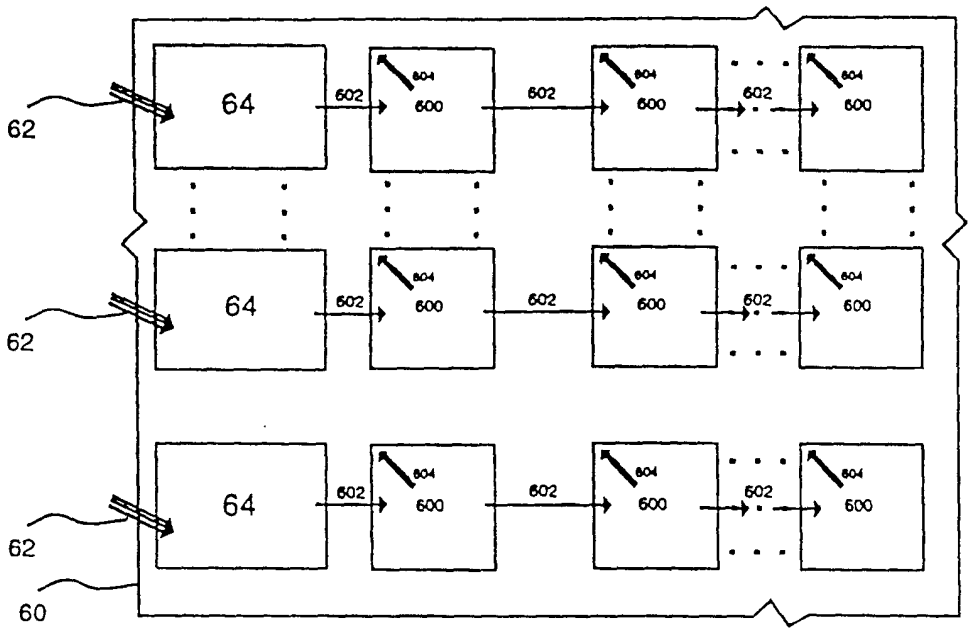


图 6 B

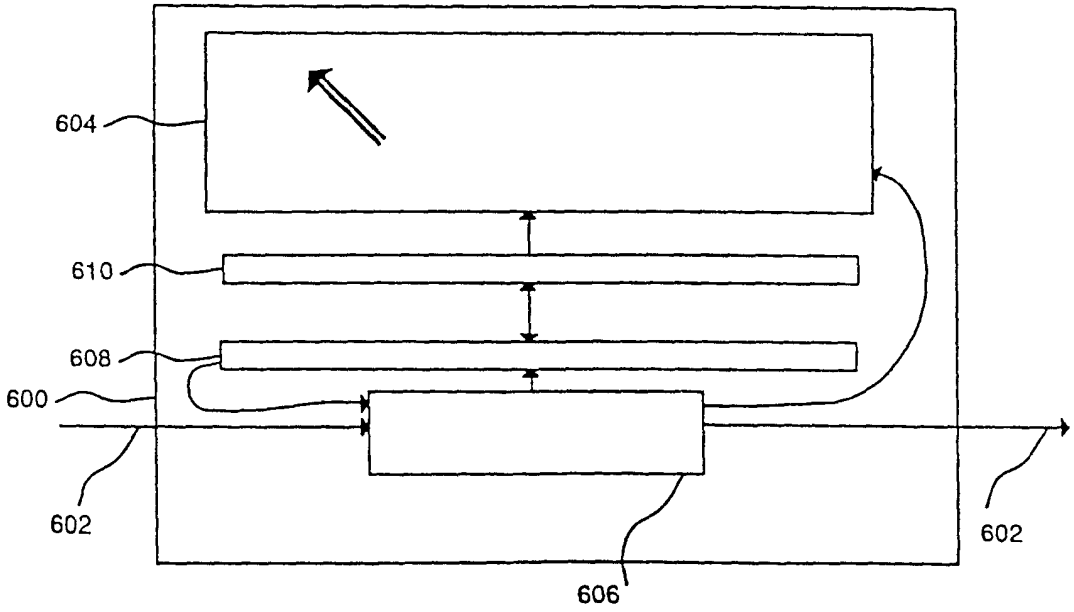
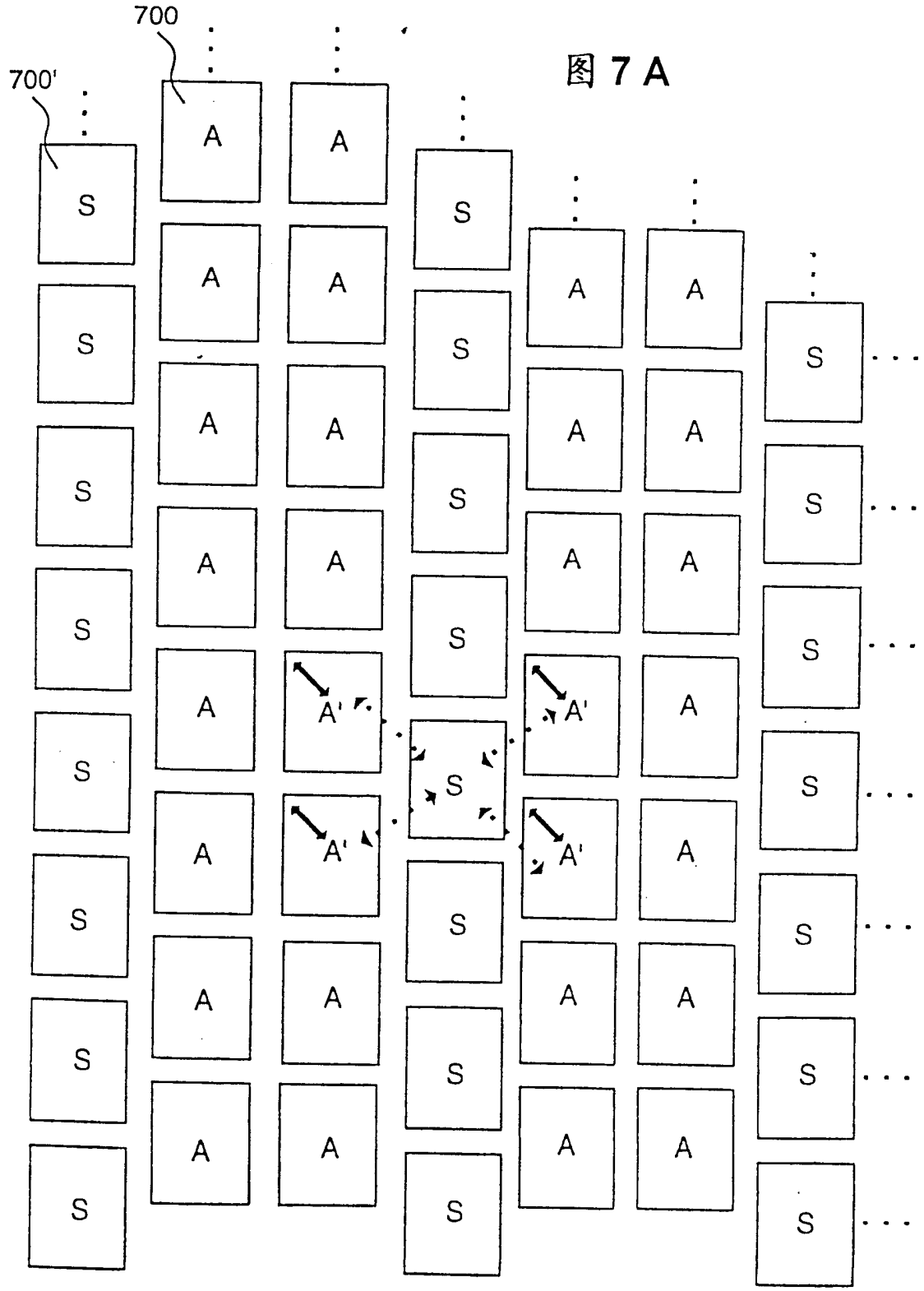


图 7 A



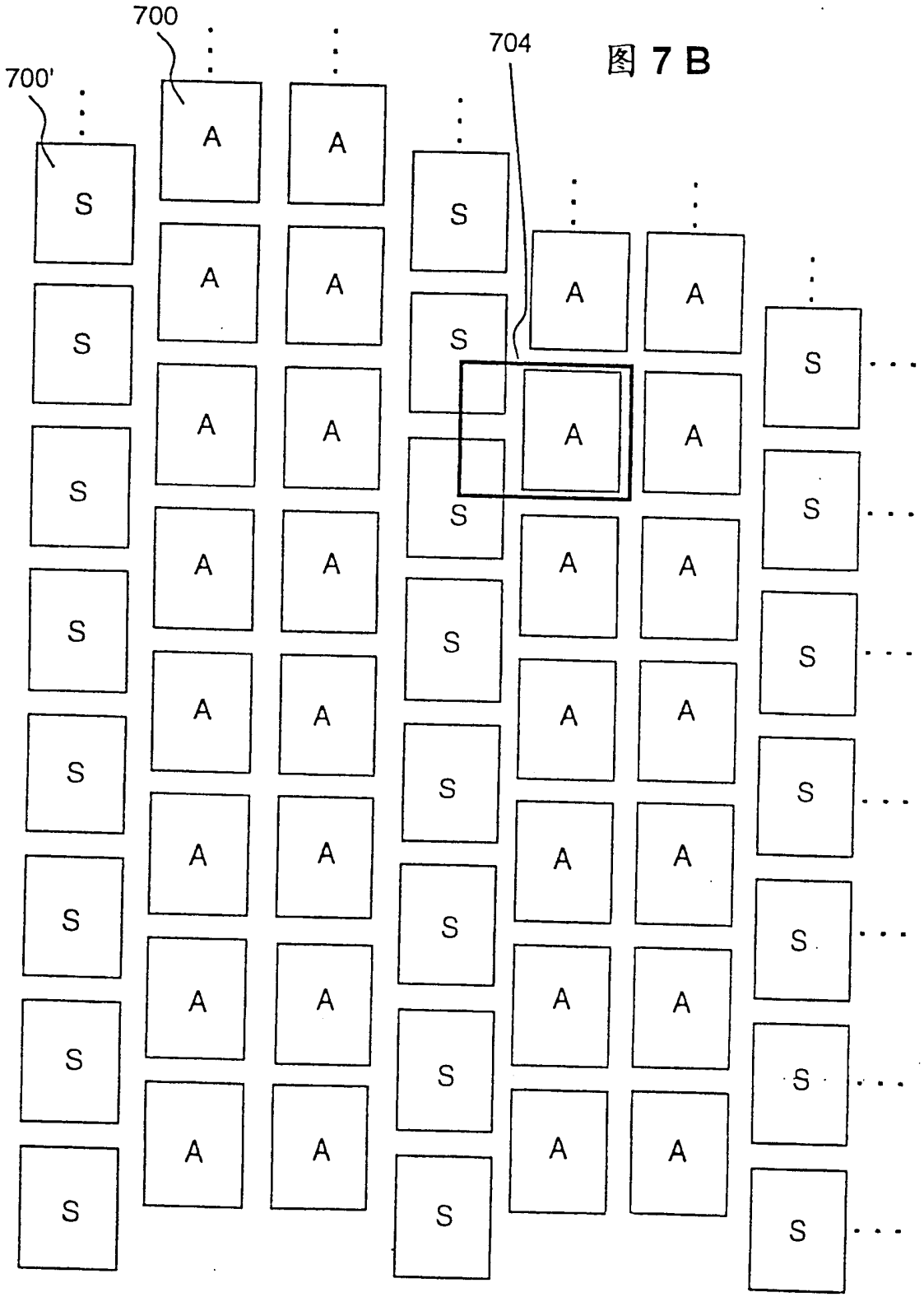


图 7 B

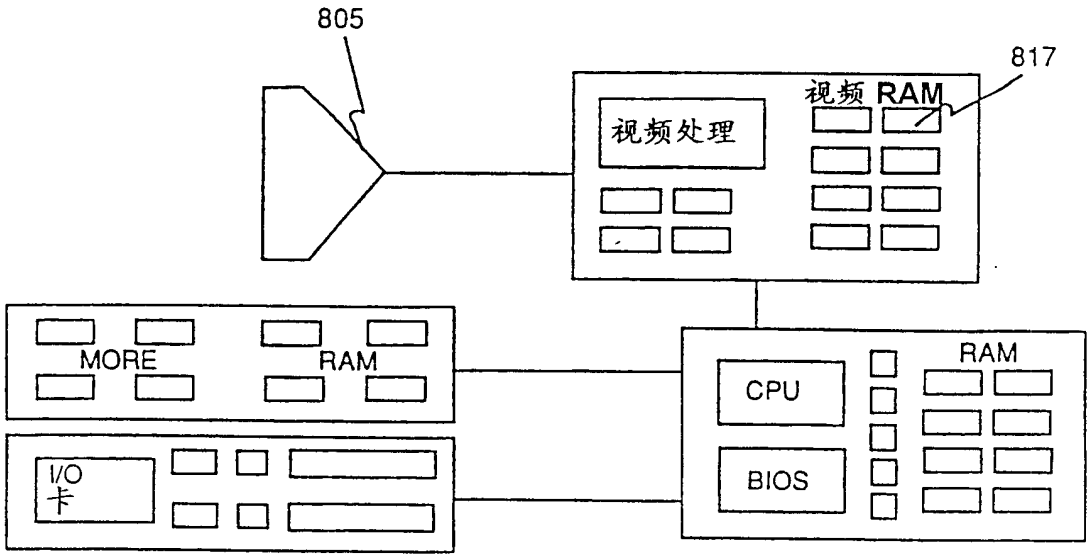
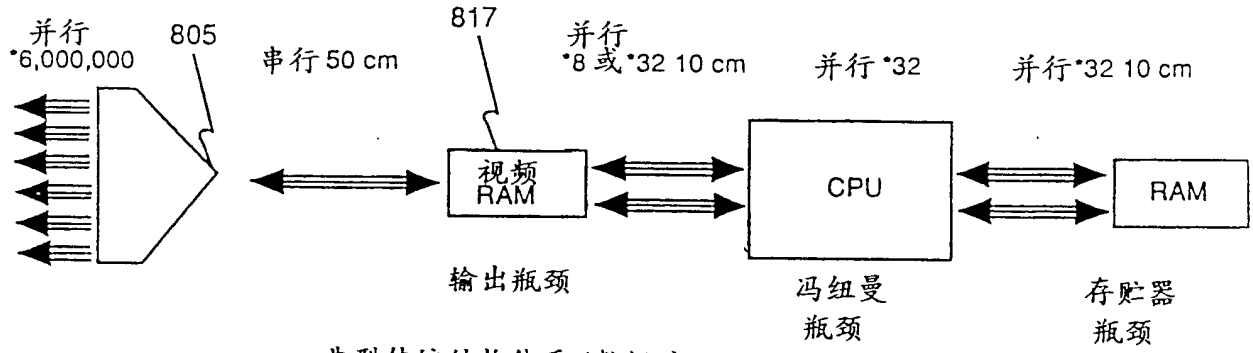
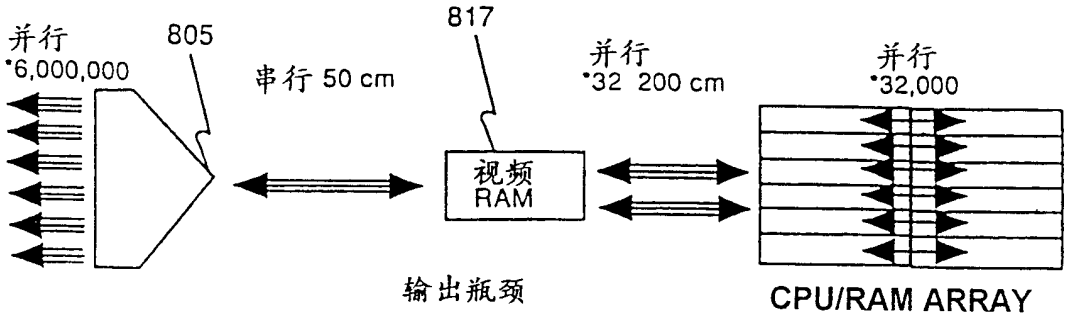


图 8 A



典型传统结构体系 (数据流)

图 8 B



典型传统大规模并行系统 (数据流)

图 8 C

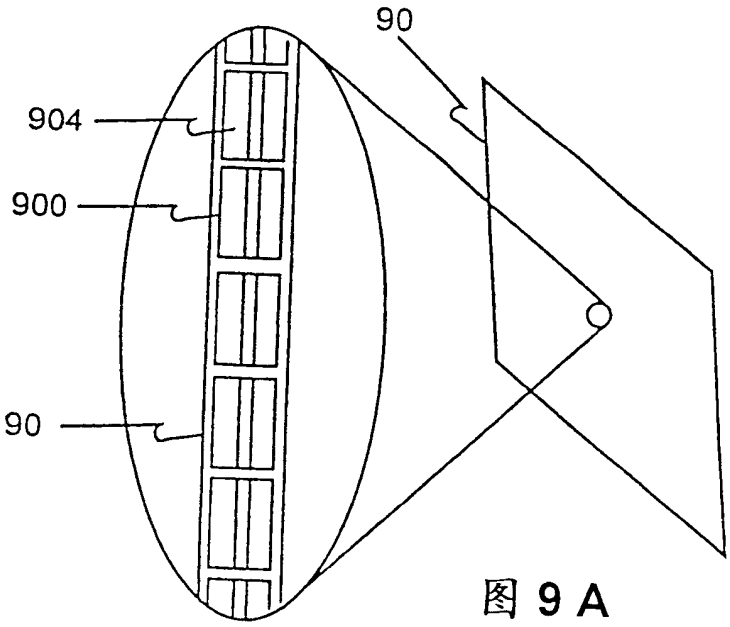
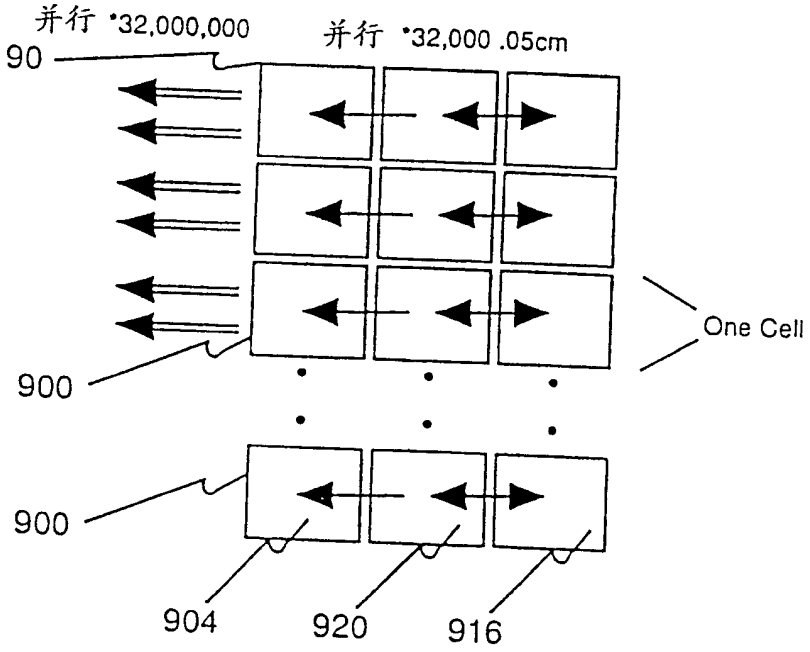


图 9 A

NICE 结构体系
(物理的)

具有几千个相同单元的单个薄片



NICE 结构体系
(数据流)

图 9 B

没有数据流瓶颈和非常短的数据通道

图 10

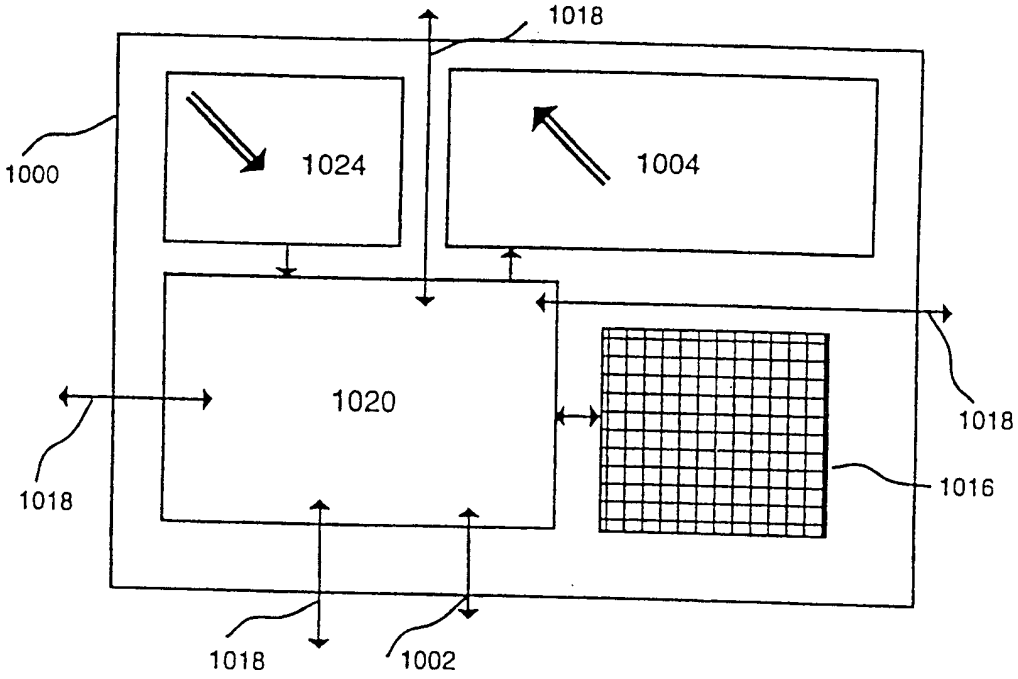
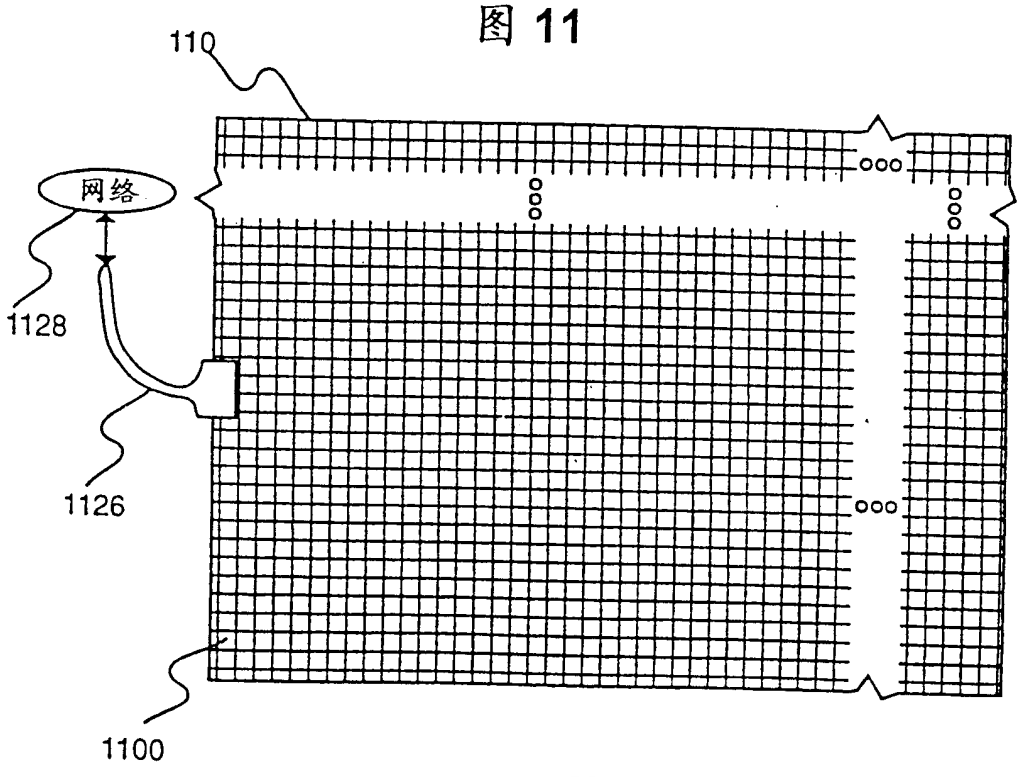

1018
1000
1024
1004
1020
1018
1018
1016
1018
1002

图 11


110
网络
1128
1126
1100

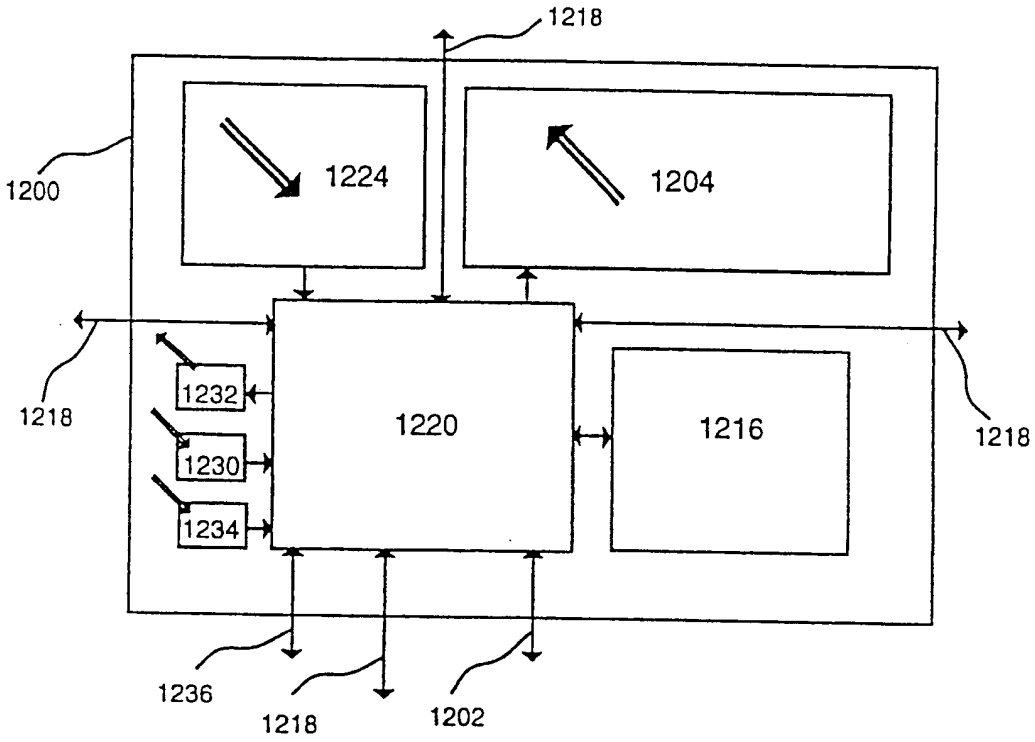

1218
1200
1224
1204
1218
1232
1230
1234
1220
1216
1218
1236
1218
1202

图 12

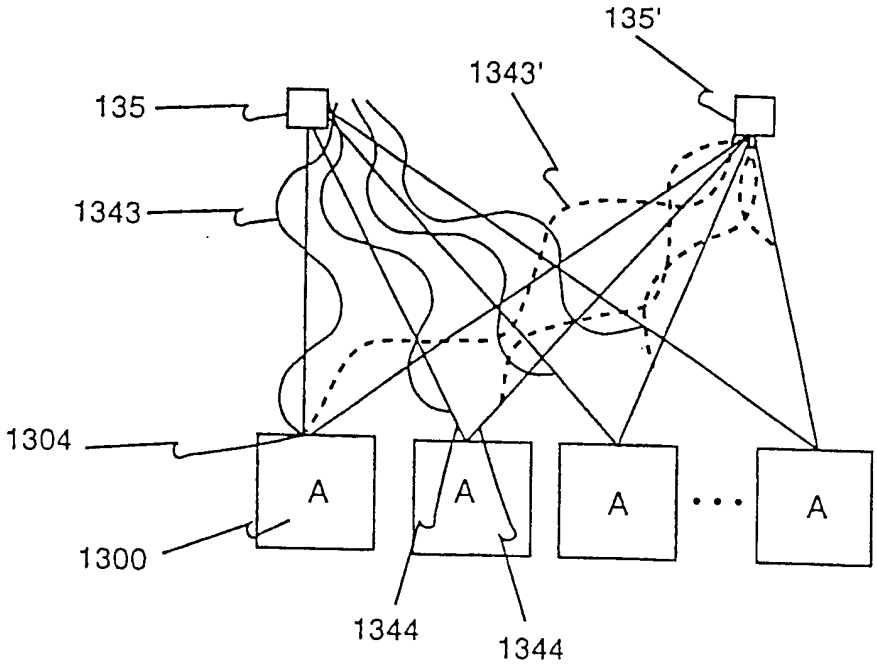


图 13

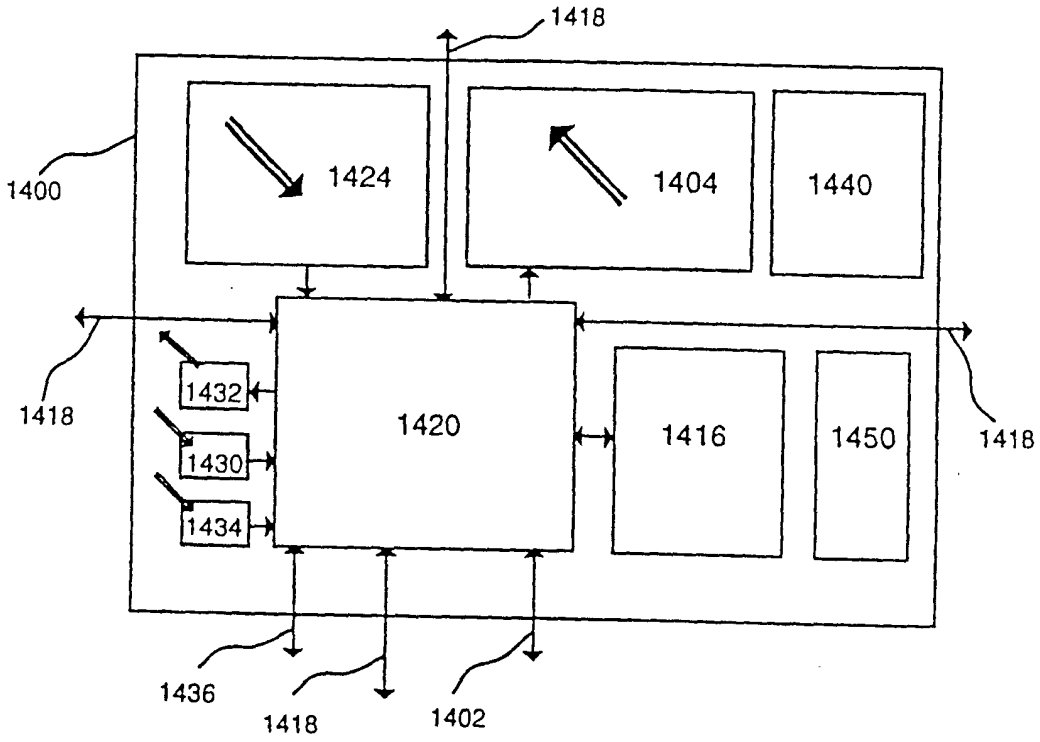

1418
1400
1424
1404
1440
1418
1432
1420
1416
1450
1418
1430
1434
1436
1418
1402

图 14 A

图 14 B

