

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7485698号
(P7485698)

(45)発行日 令和6年5月16日(2024.5.16)

(24)登録日 令和6年5月8日(2024.5.8)

(51)国際特許分類

F I

H 0 3 L 7/06 (2006.01) H 0 3 L 7/06 2 3 0

H 0 3 L 7/099(2006.01) H 0 3 L 7/099 1 1 0

請求項の数 20 (全20頁)

(21)出願番号	特願2021-567872(P2021-567872)	(73)特許権者	510280589
(86)(22)出願日	令和1年10月9日(2019.10.9)		京東方科技集團股▲ふん▼有限公司
(65)公表番号	特表2023-503754(P2023-503754 A)		BOE TECHNOLOGY GROU P CO. , LTD.
(43)公表日	令和5年2月1日(2023.2.1)		中華人民共和國100015北京市朝陽 區酒仙橋路10號
(86)国際出願番号	PCT/CN2019/110152		No. 10 Jiuxianqiao R d. , Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/068131		
(87)国際公開日	令和3年4月15日(2021.4.15)	(73)特許権者	519385216
審査請求日	令和4年10月3日(2022.10.3)		北京京▲東▼方技▲術▼▲開▼▲発▼有 限公司
			BEIJING BOE TECHNOL OGY DEVELOPMENT CO. 最終頁に続く

(54)【発明の名称】 スペクトル拡散同期クロック信号を生成するためのデジタルクロック信号発生器、チップ及び方法

(57)【特許請求の範囲】

【請求項1】

周波数ロックループにおいてスペクトル拡散同期クロック信号を生成するための回路であって、
周波数検出器とデジタル制御発振器を備え、
前記周波数検出器は、分数コントローラと位相シフトコントローラを含み、前記分数コントローラは、フィードバックのループにおいて第1の周波数の入力信号を第2の周波数のフィードバック信号と比較して、第1の制御信号及び第2の制御信号を交互に生成するように構成され、前記周波数検出器は、前記第1の制御信号及び前記第2の制御信号によって制御ワードFの整数部分Iを決定することでフィードバックのループにおける前記第2の周波数を前記第1の周波数に追跡させ、また前記位相シフトコントローラは前記第1の制御信号及び前記第2の制御信号に対してn個のレベルを登録し、n個の位相遅延を導入して前記制御ワードFの小数部分r（0<r<1）をランダムに変更して周波数スペクトルにおける拡大境界を提供するように構成され、
前記デジタル制御発振器は、基本時間単位Δ、前記第1の周波数、及び前記制御ワードFに基づいて前記第2の周波数を有する合成周期信号を生成するように構成されたデジタル制御発振器であって、前記合成周期信号は、前記フィードバックのループにおいて前記フィードバック信号としてフィードバックされ、前記第2の周波数が前記第1の周波数の前記拡大境界内にロックされる状態で出力される、回路。

【請求項2】

前記デジタル制御発振器は、 Δ の等間隔位相シフトを有する前記第1の周波数の K 個のパルスを生成し、前記制御ワード F ($2 \leq F \leq 2K$)の制御下で、平均周期 $T = F \cdot \Delta$ 及び前記第2の周波数を有する前記合成周期信号として前記 K 個のパルスのうちの1つを選択するように構成され、

前記第2の周波数は、 K/F に前記第1の周波数を乗算するものに等しい時間平均周波数である、請求項1に記載の回路。

【請求項3】

前記分数コントローラは、前記入力信号を受信する第1の入力ポートと、前記フィードバック信号を受信する第2の入力ポートと、前記第1の入力ポート及び前記第2の入力ポートに結合され、前記第1の周波数と前記第2の周波数との間の関係を検出するように構成されたトリガサブ回路と、前記トリガサブ回路に結合され、第1の時間フレーム内で第1の制御ポートへの前記第1の制御信号を生成し、第2の時間フレーム内で第2の制御ポートへの前記第2の制御信号を生成する結合論理サブ回路とを含み、前記第1の時間フレーム及び前記第2の時間フレームは次々に交互に現れる、請求項1に記載の回路。

【請求項4】

前記トリガサブ回路は、電力分割器を介して前記第1の入力ポートに結合され、かつ部分的にインバータを介して前記第2の入力ポートに結合され、前記第1の周波数が前記第2の周波数よりも大きい又は小さいかを判定するように構成された4つのD型フリップフロップを含み、前記結合論理サブ回路は、2つのXORゲートと、2つのインバータと、2つのANDゲートとを含み、前記第1の周波数が前記第2の周波数よりも大きいという判定に基づいて前記第1の時間フレーム内で前記第1の制御ポートに前記第1の制御信号を出力するか、又は前記第1の周波数が前記第2の周波数よりも小さいという判定に基づいて前記第2の時間フレーム内で前記第2の制御ポートに前記第2の制御信号を出力するように構成される、請求項3に記載の回路。

【請求項5】

前記第1の制御信号は、前記第1の時間フレーム内で前記制御ワード F を減少させるように制御することであり、前記第2の制御信号は、前記第2の時間フレーム内で前記制御ワード F を増加させるように制御することであり、その結果、前記フィードバックのループが動的平衡に達すると、前記制御ワード F が I と $I+1$ との間で切り替えられ、1つの第1の時間フレームと1つの第2の時間フレームが次々に交互に現れる、請求項4に記載の回路。

【請求項6】

前記動的平衡は、前記第1の時間フレーム内に第1の周期 $T_A = I \cdot \Delta$ を有する出力パルス数 N_A と、前記第2の時間フレーム内に第2の周期 $T_B = (I+1) \cdot \Delta$ を有する出力パルス数 N_B とに基づいて、平均して次々に交互に現れる1つの第1の時間フレーム及び1つの第2の時間フレームを含み、 N_A と N_B の合計に対する N_B の比である分数 r を得る、請求項5に記載の回路。

【請求項7】

前記位相シフトコントローラは、前記第1の制御信号を受信して合計 n レベルの第1のレジスタ遅延制御信号を生成するか、又は前記第2の制御信号を受信して合計 n レベルの第2のレジスタ遅延制御信号を生成するように構成された n レベルキャッシュサブ回路と、前記分数 r の値をランダムに選択する擬似ランダムバイナリシーケンス(PRBS)発生器と、前記 n レベルの前記第1のレジスタ遅延制御信号及び前記 n レベルの前記第2のレジスタ遅延制御信号に関連する任意の経路を選択し、前記分数 r の前記値を受信して前記制御ワード F を決定するように構成された制御サブ回路とを含む、請求項6に記載の回路。

【請求項8】

前記 n レベルキャッシュサブ回路は、直列に接続された n 段を有する第1のグループのD型フリップフロップを含み、それらは、前記第1のグループのD型フリップフロップの前記 n 段の第1の段で前記第1の制御信号を受信し、前記第1のグループのD型フリップ

フロップの前記 n 段のそれぞれで前記フィードバック信号を受信して、前記 n レベルの第 1 のレジスタ遅延制御信号を生成するように構成され、また、直列に接続された n 段を有する第 2 のグループの D 型フリップフロップを含み、それらは、前記第 2 のグループの D 型フリップフロップの前記 n 段の第 1 の段で前記第 2 の制御信号を受信し、前記第 2 のグループの D 型フリップフロップの前記 n 段のそれぞれで前記フィードバック信号を受信して、前記 n レベルの第 2 のレジスタ遅延制御信号を生成するように構成される、請求項 7 に記載の回路。

【請求項 9】

前記 n レベルキャッシュサブ回路は、 N_A の n 個の選択肢及び N_B の n 個の選択肢を導入し、ランダムに選択された $r = N_B / (N_A + N_B)$ は、位相において前記入力信号に先行する前記フィードバック信号の最大値 $N_A \cdot (T - T_A)$ と、位相において前記入力信号より遅れている前記フィードバック信号の最大値 $N_B \cdot (T_B - T)$ とによって定義される前記拡大境界を提供し、

平均周期 $T = F \cdot \Delta$ である、請求項 8 に記載の回路。

【請求項 10】

前記デジタル制御発振器は、等間隔位相を有する前記 K 個のパルスを生成する電圧制御発振器と、累算器を介して前記制御ワード F によって制御される累算レジスタに結合され、前記 K 個のパルスを下位経路を介して入力して低レベルの前記合成周期信号を生成する第 1 の $K - 1$ マルチプレクサと、加算器を介して半制御ワード $F / 2$ によって制御される加算器レジスタに結合され、前記 K 個のパルスを上位経路を介して入力して高レベルの前記合成周期信号を生成する第 2 の $K - 1$ マルチプレクサと、前記上位経路と前記下位経路との間の遷移を制御して前記合成周期信号を出力する $2 - 1$ マルチプレクサとを含む、請求項 2 に記載の回路。

【請求項 11】

前記合成周期信号は、データ受信確立時間が、前記平均周期 T の半分から、位相において前記入力信号に先行する前記合成周期信号の最大値を引いた値未満であり、またデータ受信維持時間が、前記平均周期 T の半分から、位相において前記入力信号より遅れている前記

合成周期信号の最大値を引いた値未満であるという条件で、前記第 2 の周波数が前記第 1 の周波数と実質的に同期しているため、スペクトル拡散クロック信号として送信される、請求項 10 に記載の回路。

【請求項 12】

前記デジタル制御発振器は、前記 $2 - 1$ マルチプレクサに結合されて、前記上位経路と前記下位経路の遷移を切り替えるトグルフリップフロップを更に含む、請求項 10 に記載の回路。

【請求項 13】

フィールドプログラマブルゲートアレイ (FPGA) に実装された請求項 1 ~ 12 のいずれか一項に記載の回路を含む、スペクトル拡散同期クロック信号を機能的に生成するためのチップ。

【請求項 14】

特定用途向け集積回路 (ASIC) に実装された請求項 1 ~ 12 のいずれか一項に記載の回路を含む、スペクトル拡散同期クロック信号を機能的に生成するためのチップ。

【請求項 15】

スペクトル拡散同期クロック信号を生成するための方法であって、
第 1 の周波数の入力信号を提供するステップと、
等間隔位相遅延 Δ を有する前記第 1 の周波数の複数のパルスを生成するステップと、
制御ワード F によって制御される前記複数のパルスのうちの 1 つから、時間平均周波数を有する合成周期信号を取得するステップであって、前記合成周期信号がフィードバック信号として使用される、ステップと、

フィードバックのループにおいて、前記第 1 の周波数の前記入力信号を第 2 の周波数の

前記フィードバック信号と比較するステップと、

前記第 1 の周波数と前記第 2 の周波数との関係に基づいて、第 1 の時間フレームと第 2 の時間フレーム内で次々に第 1 の制御信号と第 2 の制御信号を交互に生成するステップと、

前記第 1 の制御信号又は前記第 2 の制御信号に基づいて前記制御ワード F の整数部分 I を更新して、前記第 2 の周波数が前記第 1 の周波数を追跡できるようにするステップと、前記第 1 の制御信号及び前記第 2 の制御信号のそれぞれに複数の遅延を生成するステップと、

前記複数の遅延に基づいて前記制御ワード F の小数部分 r をランダムに選択して、スペクトル拡散の拡大位相境界を提供するステップと、

前記時間平均周波数を有する前記合成周期信号が前記フィードバックのループ内の動的平衡で I 及び I + 1 内の制御ワード F によってロックされていることに基づいて、クロック信号を出力するステップと、を含む、方法。

【請求項 16】

時間平均周波数を有する合成周期信号を取得するステップは、第 1 の経路において累算器を介して前記制御ワード F によって制御される累算レジスタに結合された第 1 の K - 1 マルチプレクサを用いて、等間隔位相遅延 Δ を有する前記第 1 の周波数の K 個のパルスを入力するステップと、低レベルの前記合成周期信号を生成するステップと、第 2 の経路において加算器を介して半制御ワード $F/2$ によって制御される加算器レジスタに結合された第 2 の K - 1 マルチプレクサを用いて、等間隔位相遅延 Δ を有する前記第 1 の周波数の前記 K 個のパルスを入力するステップと、高レベルの前記合成周期信号を生成するステップと、2 - 1 マルチプレクサを用いて、前記第 1 の経路と前記第 2 の経路を連動させて、前記高レベル又は前記低レベルの前記合成周期信号のいずれかを出力するステップとを含む、請求項 15 に記載の方法。

【請求項 17】

第 1 の制御信号及び第 2 の制御信号を生成するステップは、前記第 1 の周波数が前記第 2 の周波数よりも大きいという判定に基づいて第 1 の時間フレーム内で前記第 1 の制御信号を出力し、前記第 1 の周波数が前記第 2 の周波数よりも小さいという判定に基づいて第 2 の時間フレーム内で前記第 2 の制御信号を出力するように分数コントローラを動作させるステップを含む、請求項 15 に記載の方法。

【請求項 18】

前記制御ワード F の整数部分 I を更新するステップは、前記第 1 の時間フレーム内で前記第 1 の制御信号によってトリガーされる前記整数部分 I を減少させ、前記第 2 の時間フレーム内で前記第 2 の制御信号によってトリガーされる前記整数部分 I を増加させるステップを含む、請求項 17 に記載の方法。

【請求項 19】

前記第 1 の制御信号及び前記第 2 の制御信号のそれぞれに複数の遅延を生成するステップは、直列に接続された n 段を有する第 1 のグループの D 型フリップフロップを形成して、前記第 1 のグループの D 型フリップフロップの前記 n 段の第 1 の段で前記第 1 の制御信号を受信し、前記第 1 のグループの D 型フリップフロップの前記 n 段のそれぞれで前記フィードバック信号を受信して、n レベルの第 1 のレジスタ遅延制御信号を生成するステップと、直列に接続された n 段を有する第 2 のグループの D 型フリップフロップを形成して、前記第 2 のグループの D 型フリップフロップの前記 n 段の第 1 の段で前記第 2 の制御信号を受信し、前記第 2 のグループの D 型フリップフロップの前記 n 段のそれぞれで前記フィードバック信号を受信して、n レベルの第 2 のレジスタ遅延制御信号を生成するステップとを含む、請求項 17 に記載の方法。

【請求項 20】

前記複数の遅延に基づいて前記制御ワード F の小数部分 r をランダムに選択するステップは、擬似ランダムバイナリシーケンス (P R B S) 発生器を用いて前記第 1 のレジスタ遅延制御信号のうちの 1 つをランダムに選択して、前記第 1 の時間フレーム内で第 1 の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップと、擬似

10

20

30

40

50

ランダムバイナリシーケンス（P R B S）発生器を用いて前記第2のレジスタ遅延制御信号のうちの1つをランダムに選択して、前記第2の時間フレーム内で第2の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップとを含む、請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ送信技術に関し、より具体的には、データ送信用のスペクトル拡散同期クロック信号を生成するためのデジタルクロック信号発生器、チップ、及び方法に関する。

【背景技術】

【0002】

電磁干渉（E M I）は、多くのデジタル電子製品にとってますます大きな問題となっている。E M Iの主な発生源の1つは、I Cチップ内のクロック回路であり、これは、チップ動作全体に対して駆動心臓として機能する。タイミングシーケンス回路を駆動するには、クロック回路は、強力な駆動力を必要とし、外部に強力な放射エネルギーを放出する。より広い帯域幅の信号を使用するスペクトル拡散技術は、自然干渉、ノイズ及び妨害に対する耐性を高め、検出を防止し、電力束密度を制限するために使用できる。しかし、ビッグデータ応用では、データ送信は、常に強力なクロック信号とデータアラインメントに関する多くの考慮を必要とし、スペクトル拡散を有する従来のクロック信号は、クロックタイミングの位相が制御できなくなるため、データ送信のために実装するのは困難である。図1に示されるように、その上部は元々データ送信機を駆動するために使用されるクロック信号を示し、その下部は位相において拡散しているクロック信号を示す。拡散位相を有するクロック信号がデータ受信機を駆動するために使用される場合、このスペクトル拡散クロック信号は、データ受信機におけるすべてのデータに対して対応する確立時間及び維持時間を保証することができない。場合によっては、ある時点で、一部のデータが複数回読み取られたり、失われたりして、このシステムデータ送信が完全に安全でなくなる可能性がある。改善されたスペクトル拡散クロック信号発生器が望まれている。

【発明の概要】

【課題を解決するための手段】

【0003】

一態様では、本開示は、周波数ロックループにおいてスペクトル拡散同期クロック信号を生成するための回路を提供する。この回路は、フィードバックのループにおいて第1の周波数の入力信号を第2の周波数のフィードバック信号と比較して、第1の制御信号及び第2の制御信号を交互に生成して制御ワードFの整数部分Iを決定して第1の周波数を追跡するように構成された分数コントローラを含む周波数検出器を含む。周波数検出器はまた、第1の制御信号及び第2の制御信号に対してn個のレベルを登録し、n個の位相遅延を導入して制御ワードFの小数部分r（ $0 < r < 1$ ）をランダムに変更して周波数スペクトルにおける拡大境界を提供するように構成された位相シフトコントローラを含む。この回路は、基本時間単位 Δ 、第1の周波数、及び制御ワードに基づいて第2の周波数を有する合成周期信号を生成するように構成されたデジタル制御発振器を更に含む。合成周期信号は、フィードバックのループにおいてフィードバック信号としてフィードバックされ、第2の周波数が第1の周波数の拡大境界内にロックされ状態で出力される。任意選択で、デジタル制御発振器は、 Δ の等間隔位相シフトを有する第1の周波数のK個のパルスを生成するように構成され、その結果、制御ワードF（ $2 \leq F \leq 2K$ ）の制御下で、合成周期信号は、平均周期 $T = F \cdot \Delta$ を有するK個のパルスのうちの1つから選択され、第2の周波数は、 K / F に第1の周波数を乗算するものに等しい時間平均周波数である。

【0004】

任意選択で、分数コントローラは、入力信号を受信する第1の入力ポートと、フィード

10

20

30

40

50

バック信号を受信する第2の入力ポートと、第1の入力ポート及び第2の入力ポートに結合され、第1の周波数と第2の周波数との間の関係を検出するように構成されたトリガサブ回路と、トリガサブ回路に結合され、第1の時間フレーム内で第1の制御ポートへの第1の制御信号を生成し、第2の時間フレーム内で第2の制御ポートへの第2の制御信号を生成する結合論理サブ回路とを含む。第1の時間フレーム及び第2の時間フレームは次々に交互に現れる。

【0005】

任意選択で、トリガサブ回路は、電力分割器を介して第1の入力ポートに結合され、かつ部分的にインバータを介して第2の入力ポートに結合された4つのD型フリップフロップを含む。4つのD型フリップフロップは、第1の周波数が第2の周波数よりも大きい
10
か又は小さいかを判定するように構成される。結合論理サブ回路は、2つのXORゲートと、2つのインバータと、2つのANDゲートとを含み、第1の周波数が第2の周波数よりも大きいという判定に基づいて第1の時間フレーム内で第1の制御ポートに第1の制御信号を出力するか、又は第1の周波数が第2の周波数よりも小さいという判定に基づいて第2の時間フレーム内で第2の制御ポートに第2の制御信号を出力するように構成される。

【0006】

任意選択で、第1の制御信号は、第1の時間フレーム内で制御ワードFを減少させるように制御することであり、第2の制御信号は、第2の時間フレーム内で制御ワードFを増加させるように制御することであり、その結果、フィードバックのループが動的平衡に達すると、制御ワードFがIとI+1との間で切り替えられ、1つの第1の時間フレームと
20
1つの第2の時間フレームが次々に交互に現れる。

任意選択で、動的平衡は、第1の時間フレーム内に第1の周期 $T_A = I \cdot \Delta$ を有する出力パルス数 N_A と、第2の時間フレーム内に第2の周期 $T_B = (I + 1) \cdot \Delta$ を有する出力パルス数 N_B とに基づいて、平均して次々に交互に現れる1つの第1の時間フレーム及び1つの第2の時間フレームを含む。動的平衡は、 N_A と N_B の合計に対する N_B の比である分数rを得る。

【0007】

任意選択で、位相シフトコントローラは、第1の制御信号を受信して合計nレベルの第1のレジスタ遅延制御信号を生成するか、又は第2の制御信号を受信して合計nレベルの第2のレジスタ遅延制御信号を生成するように構成されたnレベルキャッシュサブ回路を含む。位相シフトコントローラはまた、分数rの値をランダムに選択する擬似ランダムバイナリシーケンス(PRBS)発生器を含む。位相シフトコントローラは、分数rの値をランダムに選択する擬似ランダムバイナリシーケンス(PRBS)発生器を含む。位相シフトコントローラは、nレベルの第1のレジスタ遅延制御信号及びnレベルの第2のレジスタ遅延制御信号に関連する任意の経路を選択し、分数rの値を受信して制御ワードFを決定するように構成された制御サブ回路を更に含む。

【0008】

任意選択で、nレベルキャッシュサブ回路は、直列に接続されたn段を有する第1のグループのD型フリップフロップを含み、それらは、第1のグループのD型フリップフロップのn段の第1の段で第1の制御信号を受信し、第1のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信して、nレベルの第1のレジスタ遅延制御信号を生成するように構成される。nレベルキャッシュサブ回路はまた、直列に接続されたn段を有する第2のグループのD型フリップフロップを含み、それらは、第2のグループのD型フリップフロップのn段の第1の段で第2の制御信号を受信し、第2のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信して、nレベルの第2のレジスタ遅延制御信号を生成するように構成される。

【0009】

任意選択で、nレベルキャッシュサブ回路は、 N_A のn個の選択肢及び N_B のn個の選択肢を導入する。ランダムに選択された $r = N_B / (N_A + N_B)$ は、位相において入力信号に先行するフィードバック信号の最大値 $N_A \cdot (T - T_A)$ と、位相において入力信号
50

より遅れているフィードバック信号の最大値 $N_B \cdot (T_B - T)$ によって定義される拡大境界を提供する。

【0010】

任意選択で、デジタル制御発振器は、等間隔位相を有する K 個のパルスを生成する電圧制御発振器と、累算器を介して制御ワード F によって制御される累算レジスタに結合され、 K 個のパルスを下位経路を介して入力して低レベルの合成周期信号を生成する第1の $K - 1$ マルチプレクサと、加算器を介して半制御ワード $F / 2$ によって制御される加算器レジスタに結合され、 K 個のパルスを上位経路を介して入力して高レベルの合成周期信号を生成する第2の $K - 1$ マルチプレクサと、上位経路と下位経路との間の遷移を制御して合成周期信号を出力する $2 - 1$ マルチプレクサを含む。

10

【0011】

任意選択で、合成周期信号は、データ受信確立時間が、周期 T の半分から、位相において入力信号に先行する合成周期信号の最大値を引いた値未満であり、またデータ受信維持時間が、周期 T の半分から、位相において入力信号より遅れている合成周期信号の最大値を引いた値未満であるという条件で、第2の周波数が第1の周波数と実質的に同期しているため、スペクトル拡散クロック信号として送信される。

【0012】

任意選択で、デジタル制御発振器は、 $2 - 1$ マルチプレクサに結合されて、上位経路と下位経路の遷移を切り替えるトグルフリップフロップを更に含む。

別の態様では、本開示は、スペクトル拡散同期クロック信号を機能的に生成するためのチップを提供しており、これは、本明細書に記載され、フィールドプログラマブルゲートアレイ (FPGA) に実装された回路を含む。

20

【0013】

更に別の態様では、本開示は、スペクトル拡散同期クロック信号を機能的に生成するためのチップを提供しており、これは、本明細書に記載され、特定用途向け集積回路 (ASIC) に実装された回路を含む。

【0014】

更に別の態様では、本開示は、スペクトル拡散同期クロック信号を生成するための方法を提供する。この方法は、第1の周波数の入力信号を提供するステップを含む。この方法はまた、等間隔位相遅延 Δ を有する第1の周波数の複数のパルスを生成するステップを含む。更に、この方法は、制御ワード F によって制御される複数のパルスのうちの1つから、時間平均周波数を有する合成周期信号を取得するステップを含む。合成周期信号はフィードバック信号として使用される。この方法は、フィードバックのループにおいて、第1の周波数の入力信号を第2の周波数のフィードバック信号と比較するステップを更に含む。更に、この方法は、第1の周波数と第2の周波数との関係に基づいて、第1の時間フレームと第2の時間フレーム内で次々に第1の制御信号と第2の制御信号を交互に生成するステップを含む。この方法は、第1の制御信号又は第2の制御信号に基づいて制御ワード F の整数部分 I を更新して、第2の周波数が第1の周波数を追跡できるようにするステップを更に含む。この方法はまた、第1の制御信号及び第2の制御信号のそれぞれに複数の遅延を生成するステップを含む。更に、この方法は、複数の遅延に基づいて制御ワード F の小数部分 r をランダムに選択して、スペクトル拡散の拡大位相境界を提供するステップを含む。更に、この方法は、時間平均周波数を有する合成周期信号がフィードバックのループ内の動的平衡で I 及び $I + 1$ 内の制御ワード F によってロックされていることに基づいて、クロック信号を出力するステップを含む。

30

40

【0015】

任意選択で、時間平均周波数を有する合成周期信号を取得するステップは、第1の経路において累算器を介して制御ワード F によって制御される累算レジスタに結合された第1の $K - 1$ マルチプレクサを用いて、等間隔位相遅延 Δ を有する第1の周波数の K 個のパルスを入力するサブステップと、低レベルの合成周期信号を生成するサブステップと、第2の経路において加算器を介して半制御ワード $F / 2$ によって制御される加算器レジスタに

50

結合された第2のK-1マルチプレクサを用いて、等間隔位相遅延 Δ を有する第1の周波数のK個のパルスを入力するサブステップと、高レベルの合成周期信号を生成するサブステップと、2-1マルチプレクサを用いて、第1の経路と第2の経路を連動させて、高レベル又は低レベルの合成周期信号のいずれかを出力するサブステップとを含む。

【0016】

任意選択で、第1の制御信号及び第2の制御信号を生成するステップは、第1の周波数が第2の周波数よりも大きいという判定に基づいて第1の時間フレーム内で第1の制御信号を出力し、第1の周波数が第2の周波数よりも小さいという判定に基づいて第2の時間フレーム内で第2の制御信号を出力するように分数コントローラを動作させるサブステップを含む。

【0017】

任意選択で、制御ワードFの整数部分Iを更新するステップは、第1の時間フレーム内で第1の制御信号によってトリガーされる整数部分Iを減少させ、第2の時間フレーム内で第2の制御信号によってトリガーされる整数部分Iを増加させるステップを含む。

任意選択で、第1の制御信号及び第2の制御信号のそれぞれに複数の遅延を生成するステップは、直列に接続されたn段を有する第1のグループのD型フリップフロップを形成して、第1のグループのD型フリップフロップのn段の第1の段で第1の制御信号を受信し、第1のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信するサブステップと、nレベルの第1のレジスタ遅延制御信号を生成するサブステップと、直列に接続されたn段を有する第2のグループのD型フリップフロップを形成して、第2のグループのD型フリップフロップのn段の第1の段で第2の制御信号を受信し、第2のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信するサブステップと、nレベルの第2のレジスタ遅延制御信号を生成するサブステップとを含む。

【0018】

任意選択で、複数の遅延に基づいて制御ワードFの小数部分rをランダムに選択するステップは、擬似ランダムバイナリシーケンス(PRBS)発生器を用いて第1のレジスタ遅延制御信号のうちの1つをランダムに選択して、第1の時間フレーム内で第1の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップと、擬似ランダムバイナリシーケンス(PRBS)発生器を用いて第2のレジスタ遅延制御信号のうちの1つをランダムに選択して、第2の時間フレーム内で第2の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップとを含む。

【図面の簡単な説明】

【0019】

以下の図面は、開示された様々な実施形態による例示目的のための単なる例であり、本発明の範囲を限定することを意図するものではない。

【図1】送信機を駆動するための単一周波数クロック信号及び従来の方で受信機を駆動するためのスペクトル拡散クロック信号を示す例示的な図である。

【図2】本開示の一部の実施形態による、送信機を駆動するための単一周波数クロック信号及び受信機を駆動するためのスペクトル拡散同期クロック信号を示す例示的な図である。

【図3】本開示の一実施形態による、周波数ロックループにおいてスペクトル拡散同期クロック信号を生成するための回路のブロック図である。

【図4】本開示の一実施形態によるデジタル制御発振器の機能図である。

【図5】本開示の一実施形態による、図4のデジタル制御発振器に対するK個の入力パルスの概略図である。

【図6】本開示の一実施形態による分数コントローラの機能図である。

【図7】本開示の一実施形態による分数コントローラにおいて生成される制御信号のタイミング波形図である。

【図8】本開示の一実施形態による位相シフトコントローラの機能図である。

【図9】本開示の一実施形態による、4レベルキャッシュ登録遅延の下での第1のサイクル周期の4つの可能なオプションを示す例示的な図である。

10

20

30

40

50

【図10】本開示の一実施形態による、スペクトル拡散機能がオンにされている場合とされていない場合の出力信号における拡大境界の比較を示す概略図である。

【図11】本開示の一実施形態による、安全なデータ送信を駆動するためのスペクトル拡散同期クロック信号を示す概略図である。

【発明を実施するための形態】

【0020】

次に、以下の実施形態を参照して、本開示をより具体的に説明する。一部の実施形態の以下の説明は、例示及び説明のみを目的として本明細書に提示されることに留意されたい。網羅的であること、又は開示された正確な形態に限定されることを意図するものではない。

【0021】

従来のスペクトル拡散クロック信号は、制御されていない位相関係を有するため、クロック信号は、受信機を駆動するための十分なデータ確立時間及びデータ維持時間を適切に提供することができない。このタイプの駆動クロック信号によって駆動されるデータ送信システムは、データを安全に送信するには信頼性がない。

【0022】

したがって、本開示は、とりわけ、従来技術の制限及び欠点に起因する1つ以上の問題を実質的に排除する、スペクトル拡散同期クロック信号を生成するための回路及びその方法を提供する。一態様では、本開示は、スペクトル拡散信号の位相を拡大境界内に保つことができる同期スペクトル拡散クロック信号を生成するための周波数ロックループに基づく回路を提供する。図2は、本開示の一部の実施形態による、送信機を駆動するための単一周波数クロック信号及び受信機を駆動するためのスペクトル拡散同期クロック信号を示す例示的な図を示す。図2に示されるように、出力されたクロック信号は元の入力信号と多重位相関係を有するが、スペクトル拡散において事前設定された境界を超えることはない。したがって、出力信号と入力信号は実質的に互いに同期していると見なされる。受信データのデータ確立時間及びデータ維持時間をスペクトル拡散同期クロック信号の下で十分に時間内に提供できれば、データを送信機から受信機に安全に送信することができる。

【0023】

図3は、本開示の一実施形態による、周波数ロックループにおいてスペクトル拡散同期クロック信号を生成するための回路のブロック図である。本開示では、周波数ロックループにおいてスペクトル拡散同期クロック信号を生成するための回路は、スペクトル拡散クロック信号発生器と呼ばれる。図3を参照すると、スペクトル拡散クロック信号発生器100は、フィードバックのループにおいて共に結合された周波数検出器110及びデジタル制御発振器120を含む。第1の周波数 f_1 を有する入力信号は、周波数検出器110によってロード及び受信され、クロック信号発生器100から出てくる第2の周波数 f_2 を有するフィードバック信号は、周波数検出器110にリロードされる。フィードバックのループは、フィードバック信号の第2の周波数 f_2 に、入力信号の第1の周波数 f_1 を追跡させるための周波数ロックループである。

【0024】

一実施形態では、デジタル制御発振器120は、基本時間単位 Δ に基づき、デジタル周波数制御ワード F によって制御されて、 Δ の等間隔位相を有する入力周波数 f_{in} の複数(K 個)の入力パルスの1つを選択してその出力ポートで合成周期信号を形成する(これは次にフィードバック信号として提供される)直接周期合成器として提供される。時間平均周波数直接周期合成の原理に基づいて、周波数制御ワード(又は単に制御ワードと呼ばれる) F は $2 \sim 2K$ の数値である。

【0025】

図4は、本開示の一実施形態によるデジタル制御発振器の機能図を示す。図4を参照すると、 K 個の入力パルスは、単純な電圧制御発振器によって生成される。任意選択で、 K 個の入力パルスは、同じ周波数 f_{in} を有する K 個の位相等間隔信号から生成される基本時間単位 Δ に基づく。図5は、本開示の一実施形態による、図4のデジタル制御発振器に

10

20

30

40

50

対する K 個の入力パルスの概略図を示す。任意選択で、基本時間単位は、 K 段クロス $N A$ $N D$ のリングを含む回路で達成される。任意選択で、基本時間単位はまた、インバータチェーン、ジョンソンカウンタ、又は遅延ロックスループから構成される。 K 個の入力パルスはそれぞれ、2つの $K - 1$ マルチプレクサに入力される。図の下半分にある第1の $K - 1$ マルチプレクサ ($M U X _ A$) は、累算器を介して制御ワード F によって制御される2パイプラインレジスタに結合され、 K 個の入力パルスが第1の出力 $M U X O U T _ A$ として下位経路を通過することを可能にする。遷移時間 t_6 で、累算器は、クロック信号の立ち上がりエッジごとに累積計算を実行して、制御ワード F が、整数部分 I を超える小数部分 r を含む実数であることを処理する。下位経路にある $K - 1$ マルチプレクサは、低電圧レベルで出力 $C L K 1$ の論理「0」の長さを支配する。第1の遷移時間 t_1 で、 $S E L _ L O W$ は $C L K 2$ の立ち上がりエッジで第1 (又は下位) の $K - 1$ マルチプレクサに供給される。したがって、それは K 個のパルスのうちの1つのパルスを第1の出力として選択する。第2の $K - 1$ マルチプレクサ ($M U X B$) は、加算器を介して半制御ワード $F / 2$ によって制御される2パイプラインレジスタに結合され、 K 個のパルスを上位経路を介して入力して、高レベルの第2の出力 $M U X O U T _ B$ を生成する。加算器は、制御ワード F の整数部分のみを有する。上位経路にある $K - 1$ マルチプレクサは、高電圧レベルで出力 $C L K 1$ の論理「1」の長さを支配する。更に、 $2 - 1$ マルチプレクサは $C L K 1$ によって制御され、上位経路及び下位経路の遷移を制御する。これで、上位経路又は下位経路のいずれかから1つの信号のみが、 D 型フリップフロップ $D F F$ 及び2つのインバータを含むトグルフリップフロップ回路に到達し、クロック信号の立ち上がりエッジごとに出力 $M U X O U T$ を「1」から「0」に、又は「0」から「1」に切り替える。第2の遷移時間 t_2 で、選択された信号は第1のマルチプレクサ $M U X _ A$ を通過し、 $2 - 1$ マルチプレクサに供給される。 t_2 と同時に発生する第3の遷移時間 t_3 で、 $C L K 2$ が立ち上がりエッジの後に論理「1」の状態にあるとき、 $C L K 1$ は論理「0」の状態にある。したがって、 $2 - 1$ マルチプレクサは、トグルフリップフロップに送信される $M U X O U T$ として、上位経路から第2の出力 $M U X O U T _ B$ を選択する。第4の遷移時間 t_4 で、第2の出力 $M U X O U T _ B$ の立ち上がりエッジはトグルフリップフロップに到達し、0から1への遷移が終了する。第5の遷移時間 t_5 で、 $C L K 1$ は1に遷移する。したがって、 $2 - 1$ マルチプレクサは、下位経路の第1の出力 $M U X O U T _ A$ を選択してトグルフリップフロップに送信する。プロセス全体が繰り返される。

基本時間単位 Δ から、デジタル制御発振器 120 に関連付けられた合成器は最初に、次々に交互に現れる2つ (又はそれ以上) のタイプのサイクル T_A 及び T_B を生成する。それらの時間の長さを以下に示し、

【数1】

$$T_A = I \cdot \Delta, \quad T_B = (I + 1) \cdot \Delta$$

ここで、 I は整数である。特定の第1の時間フレーム t_A の場合、サイクル T_A は、 N_A 個のパルスを生成するために継続し、 $t_A = N_A \cdot T_A$ である。特定の第1の時間フレーム t_B の場合、サイクル T_B は、 N_B 個のパルスを生成するために継続し、 $t_B = N_B \cdot T_B$ である。デジタル制御発振器 120 が動作しているとき、それはインターリーブ方式で T_A 及び T_B を使用し、合成周期信号の $t_A + t_B$ にわたる加重平均として時間平均周波数 ($T A F$) $f_{T A F}$ を生成し、

【数2】

$$T_{T A F} = \frac{N_A \cdot T_A + N_B \cdot T_B}{N_A + N_B} = I \cdot \Delta + \frac{N_B}{N_A + N_B} \cdot \Delta$$

【数 3】

$$T_{TAF} = \frac{1}{f_{TAF}} = (1-r) \cdot T_A + r \cdot T_B = (I+r) \cdot \Delta = F \cdot \Delta$$

【0026】

ここで、 $F = I + r$ である。

【数 4】

$$r = \frac{N_B}{N_A + N_B}$$

は、時間平均パルス $T = T_{TAF}$ の合成中に T_A と T_B が発生する確率を表す。制御ワード F を変更することにより、出力周波数 $f_{out} = f_{TAF}$ を変更することができる。

【0027】

本実施形態では、制御ワード F は、周波数ロック機構を備えたフィードバックのループにおいて周波数検出器 110 によって制御又は選択される。図 3 を参照すると、フィードバックループに対する入力信号の第 1 の周波数 f_1 は、デジタル制御発振器 120 に対する K 個の入力パルスの入力周波数 f_{in} と同じであり、フィードバック信号の第 2 の周波数 f_2 は、デジタル制御発振器 120 から出力される 1 つの時間平均周波数 f_{TAF} から動的に選択される。周波数検出器 110 は、第 1 の周波数 f_1 の入力信号を第 2 の周波数 f_2 のフィードバック信号と比較して、第 1 の制御信号 f_{ast} 及び第 2 の制御信号 s_{low} を交互に生成してフィードバックのループ内の制御ワード F の整数部分 I を決定して、第 2 の周波数 f_2 が第 1 の周波数 f_1 を追跡することを可能にするように構成された分数コントローラ 112 を含む。

【0028】

特に、図 6 は、本開示の一実施形態による分数コントローラの機能図を示す。図 6 を参照すると、分数コントローラ 112 は、入力信号を受信する第 1 の入力ポートと、フィードバック信号を受信する第 2 の入力ポートとを含む。更に、分数コントローラ 112 は、第 1 の入力ポート及び第 2 の入力ポートに結合され、第 1 の周波数 f_1 と第 2 の周波数 f_2 との間の関係を検出するように構成されたトリガーサブ回路 1121 を含む。分数コントローラ 112 は、トリガーサブ回路 1121 に結合され、第 1 の時間フレーム t_A 内で第 1 の制御ポートへの第 1 の制御信号 f_{ast} を生成し、第 2 の時間フレーム t_B 内で第 2 の制御ポートへの第 2 の制御信号 s_{low} を生成する結合論理サブ回路 1122 を更に含む。第 1 の時間フレーム t_A 及び第 2 の時間フレーム t_B は次々に交互に現れる。

【0029】

一実施形態では、トリガーサブ回路 1121 は、電力分割器を介して第 1 の入力ポートに結合され、かつ部分的にインバータを介して第 2 の入力ポートに結合された 4 つの D 型フリップフロップを含む。トリガーサブ回路 1121 は、第 1 の周波数 f_1 が第 2 の周波数 f_2 よりも大きい／小さいかを判定するように構成される。結合論理サブ回路 1122 は、2 つの XOR ゲートと、2 つのインバータと、2 つの AND ゲートとを含み、第 1 の周波数 f_1 が第 2 の周波数 f_2 よりも大きいという判定に基づいて第 1 の時間フレーム t_A 内で第 1 の制御ポートに第 1 の制御信号 f_{ast} を出力するか、又は第 1 の周波数 f_1 が第 2 の周波数 f_2 よりも小さいという判定に基づいて第 2 の時間フレーム t_B 内で第 2 の制御ポートに第 2 の制御信号 s_{low} を出力するように構成される。本実施形態では、フィードバックのループにおいて、1 の制御信号 f_{ast} は制御ワード F を縮小するように駆動し、第 2 の制御信号 s_{low} は、制御ワード F を拡大するように駆動する。最終的に、図 7 に概略的に示されるように、第 1 の制御信号 f_{ast} 及び第 2 の制御信号 s_{low}

owが交互に生成され、制御ワードFが2つの整数IとI+1の間で切り替えられるとき、フィードバックのループ全体が動的平衡に達する。言い換えると、第2の周波数は、フィードバックのループ内の

【数5】

$$f_{out} = \frac{K \cdot f_{in}}{F}$$

の関係を介して、実質的に第1の周波数にロックされる。入力周波数が増加すると、即ち、ロッキングターゲットが変更されると、分数コントローラ112は、異なる整数I及びN_AとN_Bの異なる比率を選択して、周波数ロッキングを決定するように動作する。分数コントローラ112は、フィードバックのループにおいて実質的なリアルタイム周波数ロッキングを達成する。

【0030】

周波数検出器110はまた、分数コントローラ112によって生成された第1の制御信号fast及び第2の制御信号slowに対してn個のレジスタレベルを提供することによってスペクトル拡散信号を生成するように構成された位相シフトコントローラ114を含む。一実施形態では、位相シフトコントローラ114は、第1の制御信号fast及び第2の制御信号slowのそれぞれにn個の位相遅延を導入して、制御ワードFの小数部分rに追加の複数のオプションを提供する。次に、位相シフトコントローラ114は、小数部分rの1つの任意の値をランダムに選択して、最終的にフィードバックのループ内の制御ワードF=I+rを決定する。

【0031】

一実施形態では、図8は、本開示の一実施形態による位相シフトコントローラの機能図である。図8を参照すると、位相シフトコントローラ114は、第1の制御信号fastを受信して合計nレベルの第1のレジスタ遅延制御信号を生成するか、又は第2の制御信号slowを受信して合計nレベルの第2のレジスタ遅延制御信号を生成するように構成されたnレベルキャッシュサブ回路を含む。任意選択で、nレベルキャッシュサブ回路は、直列に接続されたn段を有する第1のグループのD型フリップフロップ1140-1を含み、それらは、第1のグループのD型フリップフロップ1140-1のn段の第1の段で第1の制御信号fastを受信し、第1のグループのD型フリップフロップ1140-1のn段のそれぞれでフィードバック信号f2を受信して、nレベルの第1のレジスタ遅延制御信号を生成するように構成される。例えば、それは、第1の段でfast1、第2の段でfast2、第3の段でfast3…第(n-1)の段でfastn-1、第nの段でfastnを出力する。第1のn段のそれぞれは、それぞれ位相遅延を有するレジスタ遅延制御信号を与えるためにランダムに選択された1つの経路であり得る。また、nレベルキャッシュサブ回路は、直列に接続されたn段を有する第2のグループのD型フリップフロップ1140-2を含み、それらは、第2のグループのD型フリップフロップ1140-2のn段の第1の段で第2の制御信号slowを受信し、第2のグループのD型フリップフロップ1140-2のn段のそれぞれでフィードバック信号f2を受信して、nレベルの第2のレジスタ遅延制御信号、即ち、第1の段でslow1、第2の段でslow2、第3の段でslow3…第(n-1)の段でslown-1、第nの段でslownを生成するように構成される。第2のn段のそれぞれは、それぞれ位相遅延を有するレジスタ遅延制御信号を与えるためにランダムに選択された1つの経路であり得る。更に、全体的にfast[0:n]として示される第1の制御信号fast及びnレベルの第1のレジスタ遅延制御信号、ならびに全体的にslow[0:n]として示される第2の制御信号slow及びnレベルの第2のレジスタ遅延制御信号は、コントローラ1142に供給される。

【0032】

10

20

30

40

50

位相シフトコントローラ 114 はまた、擬似ランダムバイナリシーケンス (P R B S) 発生器 1141 を含み、それは、分数をランダムに選択して、 n レベルの第 1 のレジスタ遅延制御信号及び n レベルの第 2 のレジスタ遅延制御信号に関連する任意の特定の経路を選択するようにコントローラ 1142 を駆動する。効果的に、 n レベルキャッシュサブ回路は、 T_A のサイクル周期を有する N_A 個のパルスの n 個の選択肢と、 T_B のサイクル周期を有する N_B 個のパルスの n 個の選択肢とを導入する。したがって、制御ワード F の分数 $r = N_B / (N_A + N_B)$ は、位相シフトコントローラ 114 によって選択される。制御ワード F の分数 r による追加の位相遅延は、周波数スペクトルを拡散する。

例えば、図 9 は、本開示の一実施形態による、4 レベルキャッシュ登録遅延の下での第 1 のサイクル周期の 4 つの可能なオプションを示す例示的な図を示す。各キャッシュ登録は、入力と出力との間に位相オフセット θ を生じさせる遅延線の追加に対応する。例えば、

10

$$\theta_A = T - T_A$$

$$\theta_B = T_B - T$$

図 9 を参照すると、 t_A は 4 つの任意の値を有し、即ち、第 1 の 4 レベルレジスタ遅延制御信号における $fast0$ 、 $fast1$ 、 $fast2$ 、 $fast3$ のうちの 4 つの選択オプション、又は第 2 の 4 レベルレジスタ遅延制御信号における $slow0$ 、 $slow1$ 、 $slow2$ 、及び $slow3$ のうちの 4 つの選択オプションに基づいて周期 T_A を有するパルスの 4 つの異なる数 N_A 、 $N_A + 1$ 、 $N_A + 2$ 、 $N_A + 4$ を含む。この場合、 N_A 及び N_B はそれぞれ、4 つの任意の値から選択することができる。

20

【数 7】

$$N_A \in \{N_A, N_A + 1, N_A + 2, N_A + 3\}; N_B \in \{N_B, N_B + 1, N_B + 2, N_B + 3\}$$

【0033】

30

したがって、 N_A と N_B の異なる組み合わせは、分数 r の変化を引き起こすことができる。この 4 レベルキャッシュ登録構造の例では、分数 r は、 $4 \times 4 = 16$ の異なる任意の値を有することができる。位相シフトコントローラ 114 は、P R B S 発生器 1141 を用いて、4 レベルキャッシュサブ回路の分数 r の値をランダムに選択して、レジスタ遅延制御信号のそれぞれの経路を決定する。分数 r の選択のランダム性は、出力周波数のランダム性を高め、スペクトル拡散又は拡大を達成する。

【0034】

特に、位相シフトコントローラ 114 を用いてスペクトルを拡大する前に、合成周期信号の出力周波数を入力周波数に実質的にロックするために制御ワード F が整数値 I と $I + 1$ のみの間で前後に切り替えられることにより、中程度の周波数拡大が入力周波数の周囲で図 10 の境界 1 として発生した。制御ワード F の小数部分 r の値をランダムに選択するために位相シフトコントローラ 114 が導入されると、スペクトルは更に大きく拡散し、周波数境界が拡大する。一実施形態では、位相において入力信号に先行するフィードバック信号の最大位相シフト値

40

【数 8】

$$\theta_{max}^-$$

は、 $N_A \cdot (T - T_A)$ に等しく、位相において入力信号より遅れているフィードバック

50

信号の最大位相シフト値

【数 9】

$$\theta_{max}^{+}$$

は $N_B \cdot (T_B - T)$ に等しい。図 10 を参照すると、位相シフトコントローラ 114 が周波数検出器 110 に含まれている場合、より拡大された境界、境界 2 が出力信号に提供される。 N_A 及び N_B の値の範囲が広いと、第 1 の周波数 f_1 に先行する、又はそれより遅れている第 2 の周波数 f_2 の最大位相シフト値はより大きくなり、その結果、実質的に第 1 の周波数を追跡する第 2 の周波数の境界がより拡大される。一般に、分数コントローラ 112 及び位相シフトコントローラ 114 の両方の組み合わせた寄与により、周波数検出器 110 は、フィードバックのループにおいて制御ワード $F = I + r$ の整数部分及び小数部分の両方を決定することによって、合成周期信号に対する周波数ロッキング又は追跡機能及びスペクトル拡散機能を達成する（図 3 を参照）。

【0035】

一実施形態では、周波数スペクトルの拡大境界の周りで入力周波数に実質的にロックされている時間平均周波数を有する合成周期信号は、同期クロック信号として出力することができる。このクロック信号は、データ受信の信頼性及びデータ送信のセキュリティを気にすることなく、受信機で同期データ送信を駆動するために使用することができる。スペクトル拡散クロック信号の拡大境界は、電力をより広い範囲の周波数に拡散することによって、放射エネルギーを低減するのに役立つ。同時に、同期データ送信を成功させるために以下の条件を満たすようにすることができる。図 11 は、本開示の一実施形態による、安全なデータ送信を駆動するためのスペクトル拡散同期クロック信号の概略図を示す。図 11 を参照すると、入力信号は第 1 の周波数 f_1 を有し、本明細書に記載の同期クロック信号発生器回路（図 3 ～ 図 10）によって生成される出力信号は、 T の周期に対応する第 2 の周波数 f_2 を有する。第 2 の周波数 f_2 は、実質的に第 1 の周波数 f_1 を追跡するが、拡大境界を有する。図 9 を参照すると、拡大境界は

【数 10】

$$\theta_{max}^{-} + \theta_{max}^{+}$$

の最大値を有する。最大境界値が与えられた場合、図 11 は、以下を得る。

【数 11】

$$L1 = \frac{T}{2} - \theta_{max}^{-},$$

$$L2 = \frac{T}{2} - \theta_{max}^{+}.$$

$L1$ は、第 1 の周波数の立ち下がりエッジから第 2 の周波数の最も早い立ち上がりエッジまでの時間であり、 $L2$ は、第 2 の周波数の最も遅い立ち上がりエッジから第 1 の周波数の立ち下がりエッジまでの時間である。期間 $L1$ の時間の長さを受信機がデータを受信するためのデータ確立時間よりも長く設定し、期間 $L2$ の時間の長さを受信機がデータを受信するためのデータ維持時間よりも長く設定すれば、この同期クロック信号を安全に使用してデータ送信を駆動することができる。

【0036】

別の態様では、本開示は、スペクトル拡散同期クロック信号を機能的に生成するためのチップを提供する。チップは、本明細書に記載される回路を含み、フィールドプログラマ

ブルゲートアレイ（FPGA）に実装される。あるいは、チップは特定用途向け集積回路（ASIC）に実装することもできる。チップは、いくつかのキャッシュレジスタ及び複合論理回路で構成された完全なデジタル回路構造を有し、クロック信号を合成するためのリアルタイムスペクトル拡散を実現するために高効率、シンプルな設計、小容量という利点を有する。これは、システム性能及びデータ送信セキュリティを維持しながら、電磁干渉放射エネルギーを抑制し、多くの集積回路設計に適用できる。

【0037】

更に別の態様では、本開示は、スペクトル拡散同期クロック信号を生成するための方法を提供する。一実施形態では、この方法は、図3～図11に示される、本明細書に記載の回路に基づいて実行することができる。特に、この方法は、第1の周波数の入力信号を提供するステップと、等間隔位相遅延 Δ を有する第1の周波数の複数のパルス生成するステップとを含む。この方法は、制御ワードFによって制御される複数のパルスのうちの1つから、時間平均周波数を有する合成周期信号を取得するステップを更に含む。合成周期信号はフィードバック信号として使用される。更に、この方法は、フィードバックのループにおいて、第1の周波数の入力信号を第2の周波数のフィードバック信号と比較するステップを含む。この方法はまた、第1の周波数と第2の周波数との関係に基づいて、第1の時間フレームと第2の時間フレーム内で次々に第1の制御信号と第2の制御信号を交互に生成するステップを含む。この方法は、第1の制御信号又は第2の制御信号に基づいて制御ワードFの整数部分Iを更新して、第2の周波数が第1の周波数を追跡できるようにするステップを更に含む。更に、この方法は、第1の制御信号及び第2の制御信号のそれぞれに複数の遅延を生成するステップを含む。この方法は、複数の遅延に基づいて制御ワードFの小数部分rをランダムに選択して、スペクトル拡散の拡大位相境界を提供するステップを更に含む。更に、この方法は、時間平均周波数を有する合成周期信号がフィードバックのループ内の動的平衡でI及びI+1内の制御ワードFによってロックされていることに基づいて、クロック信号を出力するステップを含む。

【0038】

一部の実施形態では、時間平均周波数を有する合成周期信号を取得するステップは、第1の経路において累算器を介して制御ワードFによって制御される累算レジスタに結合された第1のK-1マルチプレクサを用いて、等間隔位相遅延 Δ を有する第1の周波数のK個のパルスを入力するステップと、低レベルの合成周期信号を生成するステップと、第2の経路において加算器を介して半制御ワードF/2によって制御される加算器レジスタに結合された第2のK-1マルチプレクサを用いて、等間隔位相遅延 Δ を有する第1の周波数のK個のパルスを入力するステップと、高レベルの合成周期信号を生成するステップと、2-1マルチプレクサを用いて、第1の経路と第2の経路を連動させて、高レベル又は低レベルの合成周期信号のいずれかを出力するステップとを含む。

【0039】

一部の実施形態では、第1の制御信号及び第2の制御信号を生成するステップは、第1の周波数が第2の周波数よりも大きいという判定に基づいて第1の時間フレーム内で第1の制御信号を出力し、第1の周波数が第2の周波数よりも小さいという判定に基づいて第2の時間フレーム内で第2の制御信号を出力するように分数コントローラを動作させるステップを含む。

【0040】

一部の実施形態では、制御ワードFの整数部分Iを更新するステップは、第1の時間フレーム内で第1の制御信号によってトリガーされる整数部分Iを減少させ、第2の時間フレーム内で第2の制御信号によってトリガーされる整数部分Iを増加させるステップを含む。

【0041】

一部の実施形態では、第1の制御信号及び第2の制御信号のそれぞれに複数の遅延を生成するステップは、直列に接続されたn段を有する第1のグループのD型フリップフロップを形成して、第1のグループのD型フリップフロップのn段の第1の段で第1の制御信

号を受信し、第1のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信して、nレベルの第1のレジスタ遅延制御信号を生成するステップと、直列に接続されたn段を有する第2のグループのD型フリップフロップを形成して、第2のグループのD型フリップフロップのn段の第1の段で第2の制御信号を受信し、第2のグループのD型フリップフロップのn段のそれぞれでフィードバック信号を受信して、nレベルの第2のレジスタ遅延制御信号を生成するステップとを含む。

【0042】

一部の実施形態では、複数の遅延に基づいて制御ワードFの小数部分rをランダムに選択するステップは、擬似ランダムバイナリシーケンス(PRBS)発生器を用いて第1のレジスタ遅延制御信号のうちの1つをランダムに選択して、第1の時間フレーム内で第1の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップと、擬似ランダムバイナリシーケンス(PRBS)発生器を用いて第2のレジスタ遅延制御信号のうちの1つをランダムに選択して、第2の時間フレーム内で第2の周期を有する多数の出力パルスを制御するようにコントローラを駆動するステップとを更に含む。

【0043】

本発明の実施形態の前述の説明は、例示及び説明の目的で提示されてきた。網羅的であること、又は本発明を正確な形態若しくは開示された例示的な実施形態に限定することを意図するものではない。したがって、前述の説明は、限定的ではなく例示的であると見なされるべきである。明らかに、多くの修正及び変形は当業者には明らかであろう。実施形態は、本発明の原理及びその最良の形態の実際の適用を説明するために選択及び記載され、それによって、当業者が、企図される特定の使用又は実装に適した様々な修正を加えて様々な実施形態について本発明を理解できるようにする。本発明の範囲は、本明細書に添付された特許請求の範囲及びそれらの同等物によって定義されることが意図され、すべての用語は、特に明記されていない限り、それらの最も広い合理的な意味で意味される。したがって、「発明」、「本発明」などの用語は、必ずしも特許請求の範囲を特定の実施形態に限定するものではなく、本発明の例示的な実施形態への言及は、本発明に対する限定を意味するものではなく、そのような限定は推論されるべきではない。本発明は、添付の特許請求の範囲の精神及び範囲によってのみ限定される。更に、これらの特許請求の範囲は、名詞又は要素に続く「第1」、「第2」などを使用することに言及することができる。そのような用語は、命名法として理解されるべきであり、特定の数が与えられていない限り、そのような命名法によって修飾される要素の数に制限を与えると解釈されるべきではない。記載されているいかなる利点及び利益も、本発明のすべての実施形態に当てはまるとは限らない。以下の特許請求の範囲によって定義される本発明の範囲から逸脱することなく、当業者によって記載された実施形態に変更を加えることができることを理解されたい。更に、本開示の要素及び構成要素は、その要素又は構成要素が以下の特許請求の範囲において明示的に記載されているか否かにかかわらず、公衆に提供されることを意図するものではない。

【符号の説明】

【0044】

- 100 スペクトル拡散クロック信号発生器
- 110 周波数検出器
- 112 分数コントローラ
- 114 位相シフトコントローラ
- 120 デジタル制御発振器

10

20

30

40

50

【図面】

【図 1】

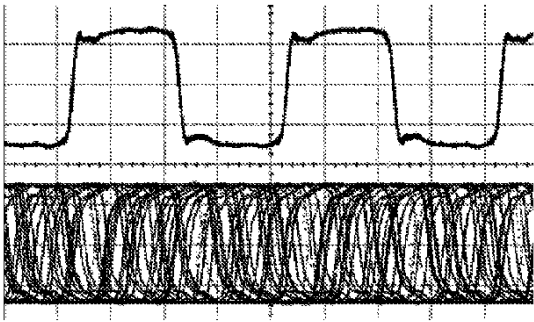


FIG. 1

【図 2】

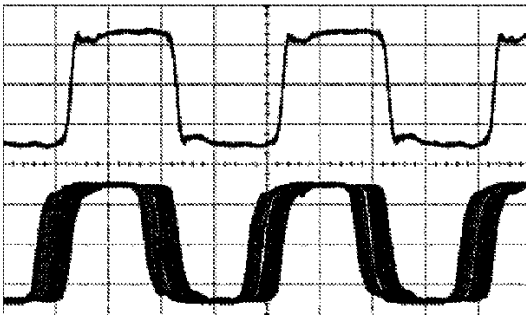
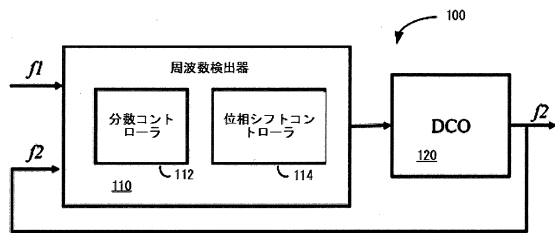
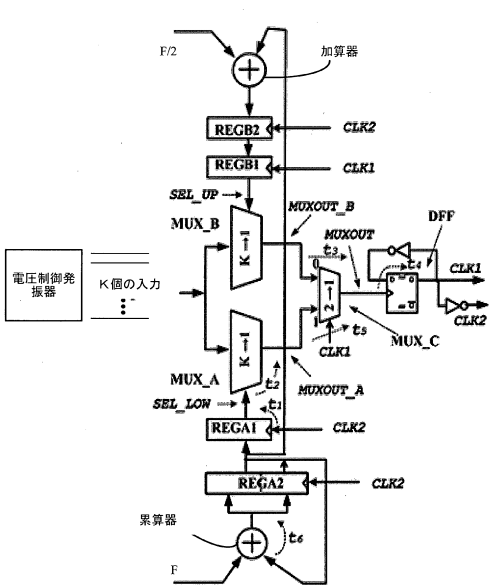


FIG. 2

【図 3】



【図 4】



10

20

30

40

50

【図 5】

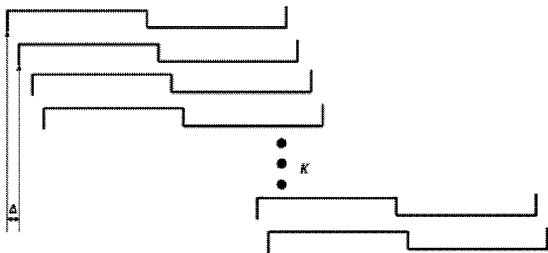


FIG. 5

【図 6】

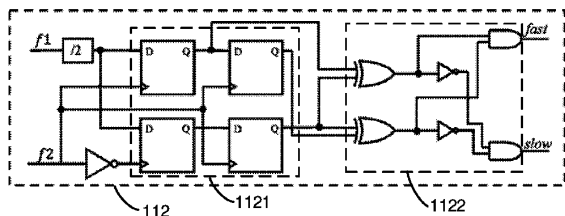


FIG. 6

【図 7】

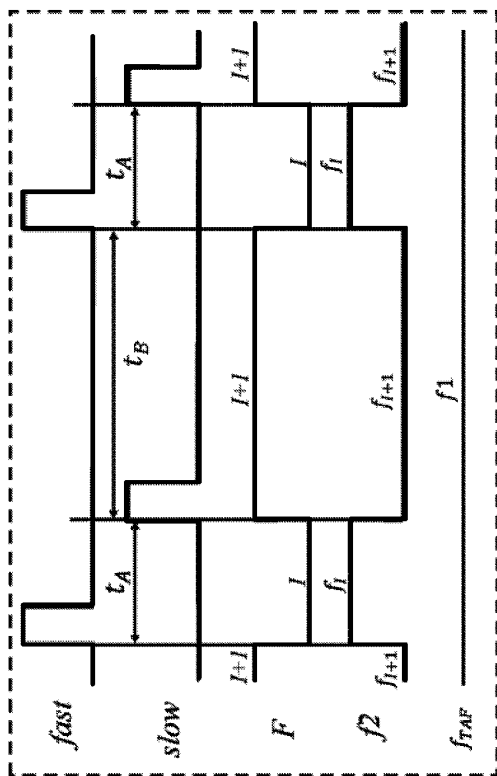
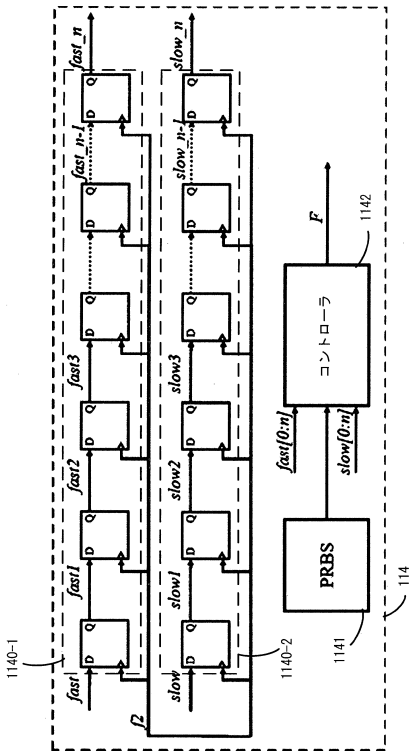


FIG. 7

【図 8】



10

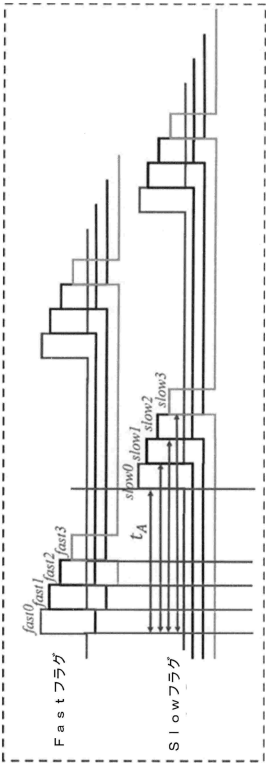
20

30

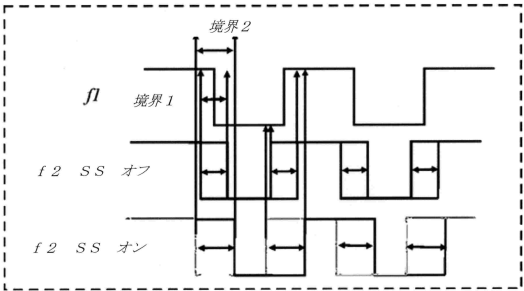
40

50

【図 9】



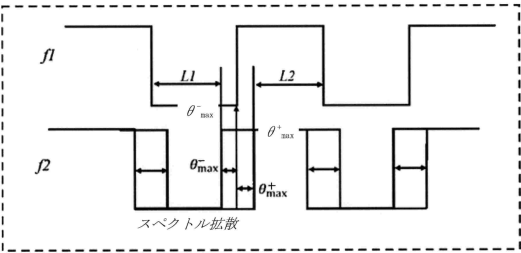
【図 10】



10

20

【図 11】



30

40

50

フロントページの続き

， L T D .
中華人民共和国 1 0 0 1 7 6 北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路 9 号 1 幢
4 0 7 室
Room 4 0 7 , B u i l d i n g 1 , N o . 9 D i z e R o a d , B D A , B e i j i n
g , 1 0 0 1 7 6 , C H I N A
(74)代理人 100108453
弁理士 村山 靖彦
(74)代理人 100110364
弁理士 実広 信哉
(72)発明者 シャンイエ・ウェイ
中華人民共和国・1 0 0 1 7 6 ・ 베이진・ビーディーイー・ディゼ・ロード・ナンバー・9
(72)発明者 リミン・シュ
中華人民共和国・1 0 0 1 7 6 ・ 베이진・ビーディーイー・ディゼ・ロード・ナンバー・9
審査官 ▲高▼橋 徳浩
(56)参考文献 特開 2 0 1 1 - 1 0 7 7 5 0 (J P , A)
特表 2 0 1 1 - 5 2 4 1 4 9 (J P , A)
米国特許出願公開第 2 0 1 4 / 0 0 9 3 0 1 5 (U S , A 1)
米国特許出願公開第 2 0 1 9 / 0 1 2 3 7 4 9 (U S , A 1)
中国特許出願公開第 1 0 7 8 9 6 1 0 7 (C N , A)
(58)調査した分野 (Int.Cl., D B 名)
H 0 3 L 1 / 0 0 - H 0 3 L 9 / 0 0