

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利说明书

C23C 16/40 (2006.01)

C23C 16/56 (2006.01)

H01L 21/768 (2006.01)

专利号 ZL 02813259.9

[45] 授权公告日 2007 年 7 月 4 日

[11] 授权公告号 CN 1324162C

[22] 申请日 2002.9.26 [21] 申请号 02813259.9

[30] 优先权

[32] 2001. 9. 29 [33] US [31] 09/968,212

[86] 国际申请 PCT/US2002/030792 2002. 9. 26

[87] 国际公布 WO2003/029514 英 2003. 4. 10

[85] 进入国家阶段日期 2003. 12. 30

[73] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 志鹏·劳 驰-I·吴 颖·周

格兰特·M·克洛斯特

[56] 参考文献

US6133163A 2000. 8. 17

EP1077480A1 2001. 2. 21

US6265303B1 2001. 7. 24

审查员 张 莉

[74] 专利代理机构 北京东方亿思知识产权代理有
限责任公司

代理人 肖善强 吴湘文

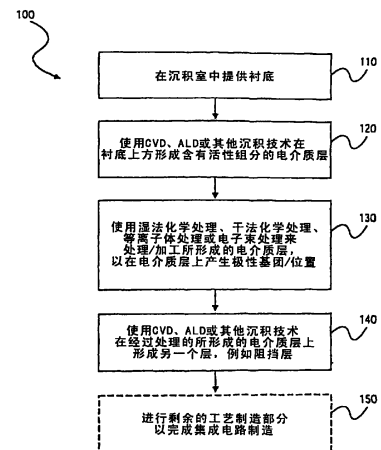
权利要求书 3 页 说明书 14 页 附图 5 页

[54] 发明名称

在低介电常数电介质上沉积化学气相沉积膜和原子层沉积膜的方法

[57] 摘要

本发明提供了一种用于增强在低介电常数(低 k)电介质层上 CVD 或 ALD 沉积的膜/层的成核和/或附着的方法,所述低 k 电介质层例如为聚合物电介质或掺碳氧化物。在一个实施例中,所述方法包括向沉积室中提供衬底。在衬底上方形成具有活性组分的电介质层。然后,对所形成的具有活性组分的电介质层进行处理,以至少在所形成的电介质层的表面上产生极性基团或极性位置。本发明形成低 k 有机聚合物电介质层或者有机掺杂的氧化物电介质层,所形成的电介质层具有增强的成核和/或附着特性以用于随后沉积的诸如阻挡材料层的层。



1. 一种方法，包括：

在衬底上方形成含有有机材料的电介质层，所述电介质层包括活性组分，所述活性组分具有有机部分；

处理所形成的具有活性组分的电介质层，以产生优先地朝向所述电介质层表面的极性基团或极性位置，所述极性基团或极性位置用于增强沿着所述电介质层表面的成核和附着特性以沉积另一个材料层；以及

在所述电介质层表面上沉积另一个材料层。

2. 如权利要求 1 所述的方法，其中，形成所述电介质层的操作包括使用化学气相沉积工艺或原子层沉积工艺来沉积其中具有所述活性组分的电介质材料。

3. 如权利要求 1 所述的方法，其中，形成所述电介质层的操作包括当使用化学气相沉积或原子层沉积形成所述电介质层时，加入前驱体溶液以引入所述活性组分。

4. 如权利要求 1 所述的方法，其中，处理所述电介质层的操作包括通过湿法化学处理、干法化学处理、等离子体处理或电子束处理来处理所述电介质层。

5. 如权利要求 1 所述的方法，其中，所述活性组分从由硅烷醇、有机硅卤化物、硅氧烷、有机硅烷和酚所组成的组中选择。

6. 如权利要求 1 所述的方法，其中，所述活性组分从由三甲基硅烷醇、三苯基硅烷醇、六甲基二硅氧烷、六甲基乙硅烷和三甲基硅烷所组成的组中选择。

7. 如权利要求 1 所述的方法，其中，所述电介质层包括从由具有低介电常数的有机聚合物电介质材料、有机掺杂的氧化物电介质材料和高介电常数电介质材料所组成的组中选择出来的材料。

8. 如权利要求 1 所述的方法，其中，处理所述电介质层的操作包括使用利用碱性溶液的湿法化学处理，所述碱性溶液从由氢氧化钾和氢氧化钠所组成的组中选择。

9. 如权利要求 1 所述的方法, 其中, 处理所述电介质层的操作包括使用电子束处理, 所述电子束处理在 35°C 到 450°C 的温度范围内使电介质层的所述表面暴露在 10-500 微库仑每平方厘米的电子束辐射剂量下, 所述电子束具有在 0.5 KeV 到 20 KeV 范围内的电子束加速电压。

10. 如权利要求 1 所述的方法, 其中, 处理所述电介质层的操作包括使用在如下条件下进行的等离子体处理, 所述条件即处在以 100-2000 标准升每分的流速流进所述室中的氧气、氮气或一氧化二氮的环境中, 温度在从 -25°C 到 425°C 的范围内, 压强为 0.1 托到 20 托, 功率为从 100 瓦到 3000 瓦, 频率在 350KHz 到 2.45GHz 的范围内。

11. 如权利要求 1 所述的方法, 其中, 沉积所述另一个材料层的操作沉积出阻挡层。

12. 如权利要求 1 所述的方法, 其中, 形成所述电介质层的操作包括沉积电介质材料, 所述电介质材料从由有机聚合物电介质、有机掺杂的氧化物电介质所组成的组中选出。

13. 如权利要求 1 所述的方法, 其中, 沉积所述另一个材料层的操作使用化学气相沉积或原子层沉积沉积出阻挡层。

14. 一种方法, 包括:

在衬底上方形成其中含有有机材料的低介电常数电介质层, 其中所述低介电常数电介质层具有含有机部分的活性组分;

处理所述低介电常数电介质层中的活性组分, 以产生优先地朝向所述低介电常数电介质层表面的极性基团或极性位置, 所述极性基团或极性位置用于增强沿着所述低介电常数电介质层的表面的成核和附着特性以沉积金属材料的上覆阻挡层; 以及

在所述低介电常数电介质层的表面上沉积上覆阻挡层。

15. 如权利要求 14 所述的方法, 其中, 所述活性组分从由硅烷醇、有机硅卤化物、硅氧烷、有机硅烷和酚所组成的组中选择。

16. 如权利要求 14 所述的方法, 其中, 所述低介电常数电介质层包括从由具有低介电常数的有机聚合物电介质材料、有机掺杂的氧化物电介质材料所组成的组中选择出来的材料。

17. 一种集成电路，包括：

衬底；

在所述衬底上方形成的含有有机材料的电介质层，所述电介质层包括具有有机部分的活性组分，其中当使用从湿法化学处理、干法化学处理、等离子体处理和电子束处理所组成的组中选出的工艺来处理所形成的电介质层时，所述活性组分产生优先地朝向所述电介质层的表面的极性基团或极性位置，其中，所述极性基团或极性位置增强沿着所述电介质层的所述表面的成核和附着特性；和

沉积在所述电介质层上方的另一个材料层。

18. 如权利要求 17 所述的集成电路，其中，所述活性组分从由硅烷醇、有机硅卤化物、硅氧烷、有机硅烷和酚所组成的组中选择。

19. 如权利要求 17 所述的集成电路，其中，所述电介质层由电介质材料形成，所述电介质材料从由有机聚合物电介质、有机掺杂的氧化物电介质所组成的组中选出。

20. 如权利要求 17 所述的集成电路，其中，至少在所形成的电介质层的表面上所产生的极性基团或极性位置增强了随后沉积的材料层的成核或附着特性或特点。

21. 如权利要求 17 所述的集成电路，其中，所述衬底包括在其上所形成的金属化结构。

22. 如权利要求 17 所述的集成电路，其中，使用从由化学气相沉积、原子层沉积或物理气相沉积所组成的组中选出的工艺来形成所述电介质层。

23. 如权利要求 17 所述的集成电路，其中，所述电介质层的厚度在 500 埃到 50000 埃的范围内。

在低介电常数电介质上沉积化学气相沉积膜和原子层沉积膜的方法

技术领域

本发明涉及集成电路制造，更具体地说，本发明涉及下面这种方法，该方法用于增强在低介电常数（低 k）的电介质层、高介电常数（高 k）的栅极电介质层或者高 k 的电容器电介质层上沉积的膜/层的成核和附着。

背景技术

在集成电路（IC）制造中，因为金属间距缩小到等于或小于 0.2 微米，阻挡材料的物理气相沉积（PVD）不再能够提供充分的阶梯式覆盖（step coverage），所以必须使用其他替代的技术。对于包括化学气相沉积（CVD）和原子层沉积（ALD）的这些替代的技术来说，在衬底上的膜/层的成核和/或附着是非常关键的。这对于表面活性位置（active site）一般低于 1×10^{13} 个原子每平方厘米（atom/cm²）的低介电常数（低 k）的聚合物电介质来说尤其必要，而相比之下氧化硅（SiO_x）中的表面活性位置为 $1 \times 10^{14-15}$ 个原子每平方厘米。类似的情况也适用于诸如含有有机物的二氧化硅或者掺碳氧化物（carbon-doped oxide, CDO）的低介电常数的电介质，它们的可润湿性或者粘附系数可以因 Si-CH₃ 表面而很低。

一种用于增强在低 k 电介质上 CVD 沉积的和 ALD 沉积的膜的成核和/或附着的方法，包括选择一种材料作为电介质衬底，其可能不具有所期望的介电常数性能。另一种用于增强在低 k 电介质上 CVD 沉积的或 ALD 沉积的膜的成核和/或附着的技术是只使用用于所沉积的例如阻挡层的膜/层的特定类型的材料，这可能限制所制造出来的集成电路的性能。另一种用于增强膜在低 k 电介质上的成核和/或附着的方法是使用诸如高温之类的非理想的处理条件来处理具有 CVD 膜的衬底。

附图说明

通过示例图示了本发明，但是本发明不限于附图中的示例，在附图中类似的标号指示相似的元件，其中：

图 1 表示一般性地根据本发明的用于增强在诸如低 k 电介质、高 k 电介质、高 k 电容器电介质等之类的电介质上所沉积的膜/层的成核和附着的工艺；

图 2A-2C 是图示了根据图 1 中示出的工艺实施例所处理的衬底的横截面示意图；

图 3 是根据本发明的用于增强在铜镶嵌结构的低 k 电介质层上所沉积的诸如阻挡层的膜/层的成核和附着的工艺的实施例；以及

图 4A-4E 是图示根据图 3 中示出的工艺实施例所处理的衬底的横截面示意图。

具体实施方式

描述了一种用于增强在诸如聚合物电介质或掺碳氧化物的低介电常数（低 k）电介质层上 CVD 沉积的或 ALD 沉积的膜/层的成核和/或附着的方法。通过这个工艺，低 k 电介质层可以被修饰而不影响诸如刻蚀和化学机械抛光（CMP）的其他集成电路制造工艺。

本发明形成低 k 有机聚合物层或有机掺杂的氧化物电介质层，所述低 k 有机聚合物层或有机掺杂的氧化物电介质层对于诸如阻挡材料层之类的随后所沉积的层具有增强的成核和/或附着特性。在此处所讨论的方法的发明人已经将 Si-OH 或极性表面化学性质确定为用于增强在低 k 电介质上 CVD 沉积的或 ALD 沉积的阻挡材料层或其他材料层的成核和/或附着的决定性的参数，尤其是对于掺碳氧化物和聚合物电介质而言 Si-OH 或极性表面化学性质更加重要。发明人的数据支持了这一发现，所述数据示出了氮化钛（TiN）在含硅聚苯上有良好的成核和沉积，其中所述含硅聚苯在前驱体溶液基质中具有 2-3 个原子百分比（at.%）的硅以及与 Si-OH 含量相关联的 SiO₂。

虽然包含在其中的讨论具体参考了增强在低 k 电介质材料层上 CVD 沉积的或 ALD 沉积的阻挡膜/层的成核和附着的方法，但是本发明的方法

不限于此。如下面所讨论的，本发明的方法对于其他 IC 制造应用也是非常有用的，所述其他制造应用包括例如使用 CVD 或 ALD 沉积技术的高 k 栅极电介质层沉积（例如氧化铝（ Al_2O_3 ）、五氧化二钽（ Ta_2O_5 ）、五氧化二铪（ Hf_2O_5 ）材料层）以及高 k 电容器电介质层沉积（例如 Ta_2O_5 、钛酸钡锶（ BaSrTiO_3 或 BST））。

在下面详细的描述中，阐述了大量具体的细节，以提供对本发明更加全面的理解。但是，很明显，对于本发明所属领域的技术人员来说，没有这些具体的细节，本发明也可以实施。在其他实例中，没有详细描述公知的设备、方法、步骤和个别组件，以避免喧宾夺主、不必要地淡化了本发明的主要内容。

参照附图，其中相似的标号指示相似的单元，通过图 1 至图 4 图示了本发明的用于增强在低 k 电介质层上 CVD 沉积的或 ALD 沉积的诸如阻挡层的膜/层的成核和/或附着的实施例。

图 1 表示一般性地根据本发明用于增强在低 k 有机聚合物电介质层、有机掺杂的二氧化硅电介质层或者例如高 k 栅极电介质层或 DRAM 电容器电介质层之类的本领域中公知的其他电介质层上，CVD 沉积的或 ALD 沉积的膜/层的成核和附着的工艺。图 2A 到 2C 是图示了根据图 1 中示出的工艺实施例所处理的衬底的横截面示意图。

参照图 1 和图 2A，本发明的方法一般以下面这个步骤（图 1 的工艺图 100 的方框 110）开始：在集成电路（IC）制造常用的系统的沉积室中提供衬底 10。适合于本发明的衬底材料包括但不限于低 k 介电材料，诸如低 k 聚合物电介质或含有机物的二氧化硅或掺碳氧化物（CDO）电介质。诸如硅和含硅的复合物以及在 IC 制造领域中公知的其他衬底材料也在本发明的范围之内。衬底 10 上可以什么都没有，或者可以具有金属线、晶体管或根据传统的 IC 制造技术在衬底/晶片表面 11 下已经制造出来的其他电路。

继续参照图 1 和图 2A，沉积室中放置有衬底 10，而在该衬底 10 上方形成具有活性组分 20 的电介质层 12（图 1 中的工艺图 100 的方框 120）。活性组分 20 可以包括在所形成的电介质层 12 上产生极性基团或极性位置

的任何组分，或者增强极性基团或极性位置在所形成的电介质层 12 上生成的任何组分。在一个实施例中，活性组分 20 被加入到用于形成电介质层 12 的前驱体溶液 22 中。然后，具有活性组分 20 的前驱体溶液 22 通过化学气相沉积（CVD）工艺、原子气相沉积（ALD）工艺等被沉积到衬底 10 上方，以形成电介质层 12。或者，为了使对介电常数的影响最小化，不是将活性组分 20 加入到前驱体溶液 22 基质中，而可以将活性组分 20 沉积到已经形成的电介质层 12 的表面上。在衬底 10 上形成的介电膜 12 的厚度 13 可以根据所制造的集成电路（IC）的类型、处理的优先选择等而变化，但是一般地厚度 13 可以在约 500 埃（Å）到约 50,000 Å 的范围内变化，优选在约 2,000 到 20,000 Å 的范围内。

在一个实施例中，使用适当的 CVD 技术在衬底 10 上方形成电介质层 12，其中在约为 150°C 到 400°C 的温度范围以及约 1 托到 5 托的压强范围内，将具有活性组分 20 以及诸如用于 CDO 的四甲基环四硅氧烷、用于 CDO 的硅烷、用于聚四氟乙烯的氧化六氟丙烯、用于高 k 电介质的乙酰丙酮锆（以及其他金属乙酰丙酮化物）或用于高 k 电介质的四乙氧基铪酸酯（tetraethoxyhafniate）（以及其他金属烷氧基化物）之类的前驱体的溶液沉积在衬底 10 上方。

电介质层 12 可以由诸如低 k 聚合物电介质或者含有机物的二氧化硅或掺碳氧化物电介质的低 k 电介质材料形成。或者，电介质层 12 可以由诸如氧化铝（ Al_2O_3 ）、五氧化二钽（ Ta_2O_5 ）、五氧化二铪（ Hf_2O_5 ）等的高 k 栅极电介质材料形成。在另一个实施例中，电介质层 12 可以由诸如 Ta_2O_5 、钛酸钡锶（ BaSrTiO_3 或 BST）等的高 k 电容器电介质材料形成。通过本发明的实施所形成的电介质层可以是层间电介质（ILD）层、金属间电介质（IMD）层、金属前电介质（premetal dielectric）或者在制造集成电路中使用的任何类型的电介质层。一般地，所形成的电介质层被涂覆到将被处理为为集成电路（IC）或其它微电子器件的晶片衬底上。晶片/衬底在其表面上可以有电路图案，也可以没有。

可以在这个发明中使用的活性组分 20，包括但不限于包含极性端基、含硅（Si-）基或酚基的组分。通过将活性组分 20 加入到前驱体溶液 22 中

或者加到所形成的一侧具有非极性键而另一侧具有极性键的电介质层 12 材料上，能够以类似于形成双层磷脂和自组装胶束的方式来增加表面极性基团或极性位置（site）。活性组分 20 的非极性组分将被吸附到有机聚合物或有机掺杂的氧化物的基体上并嵌入其中。极性基团将优先地朝着有机聚合物或有机掺杂氧化物的表面取向。

在本发明的一个实施例中，加入到前驱体溶液 22 基质中的或者加到所形成的电介质层 12 上的活性组分 20，可以包括诸如三甲基硅烷醇、三苯基硅烷醇等的有机硅烷醇和硅烷醇。有机硅烷醇和硅烷醇的有机部分提供了在有机聚合物或有机掺杂的氧化物之中的必要的溶解度，而极性 Si-OH 键将朝着表面取向以帮助或增强随后沉积的材料层的成核，包括例如阻挡材料层的成核。用另一种方式来陈述，化学通式为 $-(R_2Si)_nOH$ 的有机硅烷醇是可以被加到前驱体溶液 22 基质中的或者加到所形成的电介质层 12 上的一类活性组分 20 的分子，这里 R 代表诸如烷基、芳香族类、烯烃的有机基团。因为 R（即烷基、芳香族类、烯烃）与聚合物层间电介质基质是相容的，所以-SiOH 基团将倾向于在表面上分离并提供成核位置。随后可以通过利用电子束或 O_2 、 N_2O 、 H_2 等离子体来进行处理以进一步增加表面的 Si-OH。

在另一个实施例中，诸如六甲基二硅氧烷、六甲基乙硅烷、三甲基硅烷的硅氧烷 $-(R_2SiO)_n-$ 和有机硅烷 $-(R_2Si)_n-$ 可以作为活性组分 20 加到前驱体溶液 22 中，或者加到所形成的电介质层 12 上，以在处理过程中形成 Si-OH 基团。通过使用诸如 O_2 、 N_2O 或 H_2 等离子体处理工艺的等离子体处理工艺来处理/加工所形成的电介质层 12（如在后面的部分中详述的），可以很容易地将硅氧烷和有机硅烷转化为-Si-OH 基团。

在另一个实施例中，通式为 $-(R_2Si)_nX$ ($X = Cl, F, Br$)的有机硅卤化物可以作为活性组分 20 被加到前驱体溶液 22 中，或者加到所形成的电介质层 12 上，以在处理过程中形成 Si-OH 基团。所暴露出的 Si-X 基团一般通过与湿气的反应被转化为 Si-OH。在一个实施例中，可以在高于 10^{-6} 托的压强下以及在从高于室温到约 $400^\circ C$ 的温度范围内使用水蒸汽处理来进行反应 $(R_2Si)_nX + H_2O \rightarrow (R_2Si)_n-OH + HX$ 。在可替换的实施例中，可以通过

在 25-100°C 的温度范围内与 pH 值大于 8 的碱性溶液（诸如 NH_4OH 、 KOH 、 NaOH ）反应来进行反应 $(\text{R}_2\text{Si})_n\text{X} + \text{H}_2\text{O} \rightarrow (\text{R}_2\text{Si})_n\text{-OH} + \text{HX}$ 。

极性基团的生成或产生不限于使用具有含硅分子的活性组分 20。例如，在另一个实施例中，可以将酚基组分作为活性组分 20 加到前驱体溶液 22 中，或者加到所形成的电介质层 12 上，以增强阻挡层成核。酚化合物是指一般具有 Ar-OH 结构的聚合物，其中 Ar -表示芳香族聚合物。在一个示例性实施例中，厚度在约 10 到 100 Å 范围的酚聚合物层可以被沉积到低 k 电介质层 12 的表面上。

在另一个实施例中，可以在有机聚合物中的侧链增加少量的极性，使得不需要向溶液中加入第二组分。

参照图 1 和图 2B，如在图 1 中的工艺图 100 的方框 130 中所阐述的，在衬底 10 上形成了具有活性组分 20 的电介质层 12 之后，所述方法一般继续下述步骤：即，通过处理/加工所形成的具有活性组分 20 的电介质层 12，以至少在所形成的电介质层 12 的表面 14 上产生、生成极性基团或极性位置 30 或增强极性基团或极性位置 30 的生成。可以使用下面的处理工艺来处理所形成的电介质层 12，所述处理工艺包括：湿法或干法化学处理工艺、等离子体处理工艺、电子束处理工艺或本领域中公知的用于至少在所形成的电介质层 12 的表面 14 上产生或增强极性基团 30 或极性位置 30 的生成的其他工艺。经过处理的电介质层 12A 具有增强的成核和/或附着特性或特点，这会有利地使例如阻挡材料层的随后沉积的材料层受益，最终得到改进了的 IC 器件。

在一个实施例中，可以通过使用湿法化学处理技术来对所形成的具有活性组分 20 的电介质层 12 进行处理（图 1 中的工艺方框 130），其中，所形成的电介质层 12 的表面 14 利用诸如氢氧化钾（ KOH ）或氢氧化钠（ NaOH ）的碱性溶液处理，以增加 Si-OH 、 C-OH 或 C(O)-OH 基团的数量。湿法化学处理技术在本领域中是公知的，并且已经被用于例如聚酰亚胺衬底的金属化。

在第二实施例中，可以通过这样的处理，例如使电介质层 12 的表面 14 暴露在处于足够用于增强成核的条件之下的电子束辐射中，来对所形成

的具有活性组分 20 的电介质层 12 进行处理（图 1 中的工艺方框 130）。形成在衬底 10 上的电介质层 12 可以在具有用于对放置在其中的衬底提供电子束辐射的装置的任何沉积/处理室中，利用电子束处理（例如，暴露在电子束中）。通过改变电子束流量和能量，在有机硅氧烷表面上的 Si-OH 基团 30 的数量以可控的方式增加。电介质层表面 14 增强的极性将导致用于随后沉积的金属阻挡层的成核的增加。

在电子束处理（图 1 中工艺图 100 的方框 130）过程中室的压强可以在从约 10 毫托到约 50 托的范围内变化。在电子束处理过程中室的温度可以在从约 35°C 到约 450°C 的范围内变化，优选约 400°C。电子束曝光的持续时间将取决于施加在衬底上的束剂量的强度以及束电流密度。本领域的普通技术人员可以很容易地优化曝光条件以得到所要求的结果，但是一般地曝光将在约 1 分钟到约 120 分钟之间的范围内，并且电子束剂量优选为从约 10 到约 500 微库仑每平方厘米 ($\mu\text{C}/\text{cm}^2$)，更优选地从约 20 到约 300 $\mu\text{C}/\text{cm}^2$ 。电子束的加速电压可以在从约 0.5 KeV 到约 20 KeV 的范围内变化，优选约为 3 KeV。所选择的剂量和加速电压将分别与所期望的表面修饰的程度和深度成比例。在一个示例性实施例中，在约 400°C 的温度下使用约 20 $\mu\text{C}/\text{cm}^2$ 的电子束剂量，在室中对具有其上形成有活性组分 20 的掺碳氧化物 (CDO) 的衬底 10 进行处理，其中，电子束的加速电压约 3 KeV。

在第三实施例中，可以使用本领域中公知的例如 O_2 、 N_2O 或 H_2 等离子体处理的等离子体处理来对所形成的具有活性组分 20 的电介质层 12 进行处理（图 1 中的工艺方框 130），所述电介质层 12 例如为低 k 聚合物电介质层。 O_2 和 N_2O 等离子体可以置换低 k 电介质层表面 14 上的 C-H 或 Si-H 键并产生 Si-OH 和 C-OH 基团 30，这对于使用 ALD 技术沉积诸如 TiN 阻挡的金属化合物或金属非常关键。在掺碳氧化物 (CDO) 电介质层表面上所进行的使用基于 H_2 等离子体的活性预清洗工艺 (active pre-clean process)，通过去除憎水性基团（如甲基基团）增加表面上的 Si-OH 基团。等离子体处理可以在例如用于沉积薄电介质层 12 的同一个室中原位进行，或者可以在与沉积电介质层 12 所用的装置不同的系统或设备中进

行。在一个示例性的等离子体处理工艺中，可以在从约-25°C到约 425°C范围内的温度下、在约 0.1 到 20 托的压强下、在 O₂、N₂ 或 N₂O 的流量为约 100 到 2,000 标准升每分 (SLM)、功率为约 10 到 3000 瓦、频率范围为约 350KHz 到 2.45GHz 的条件下，进行等离子体处理。

现在参照图 1 和图 2C，如在图 1 中工艺图 100 的方框 140 中所阐述的，在电介质层处理之后，所述方法继续下述步骤：即，在处理后的电介质层 12A 上形成另一个材料层 15（例如阻挡材料层 15），其中，所述处理后的电介质层 12A 至少在其表面 14 上具有极性基团/极性位置 30（例如 Si-OH 或 C-OH 基团 30）。一般通过使用适当的 CVD 或 ALD 工艺或任何在本领域中所公知的沉积工艺来在电介质层 12A 上方形成另一个材料层 15（例如阻挡材料层 15）。

一般地，ALD 工艺通过在处理后的电介质层 12A 的沉积表面 14 上的化学吸附 (chemisorption) 来实施。ALD 技术基于下面这个原理，即，通过化学吸附形成反应前驱体分子的饱和单层。在实施例中，通过向 ALD 沉积室之中处理后的电介质层 12A 上方交替引入（例如脉冲式引入）前驱体，以形成阻挡材料层 15，所述 ALD 沉积室被保持在约 150°C 到 400°C 的温度范围内并且优选约 350°C 以及约 1 到 5 托的压强并且优选为 1 托。前驱体的每一次例如注入脉冲 (injection pulse) 的引入都被例如氮气 (N₂) 排气的惰性气体排气分隔开。每一次前驱体注入都提供了附加到前面所沉积层的新的原子层，以形成一层均匀的固体膜。重复此循环，直到达到期望的阻挡层/膜 15 的厚度为止。

在一个示例性的阻挡材料 ALD 工艺中，通过在处理后的电介质层 12A 上交替地沉积 TDMAT（四(二甲基氨基)钛）和 NH₃ 前驱体，来在处理后的电介质层 12A 上形成氮化钛 (TiN) 层 15。ALD TiN 层 15 的沉积速率约为 10 Å 每分钟。在实施例中，ALD 工艺的温度和压强分别为约 380°C 和 1 托。本领域的普通技术人员可以容易地修改上述处理条件以得到所要求的结果。所形成的 TiN 层 15 的厚度 16 可以根据所制造的集成电路 (IC) 类型、处理的优先选择等而变化，但是一般地，厚度 16 可以在从约 50 埃 (Å) 到约 1,000 Å 的范围内变化，并且优选为约 10-100 Å。

继续参照图 1，接下来，所述方法继续进行完成 IC 制造所需的任何剩余的处理步骤（图 1 中工艺图 100 的方框 150）。这些步骤可以包括但不限于对另外形成的导电或绝缘材料层的形成、图案化、退火等，这些步骤在本领域中是公知的。

现在转到图 3 和图 4A 到 4D，在图 3 中示出了根据本发明的工艺实施例，该工艺用于增强在铜镶嵌结构的低 k 电介质层上沉积的诸如阻挡层的膜/层的成核和附着，而图 4A 到 4D 是图示根据图 3 中示出的工艺实施例所处理的衬底的横截面示意图。

参照图 3 和图 4A，在本发明的一个实施例中，向沉积室中提供下面这种示例性半导体衬底结构 40（图 2 中工艺图 300 的方框 310），该结构 40 在其表面 41 上具有在先被沉积的绝缘电介质层 55 和例如为金属化结构或金属线 47 的导电通路 47。金属层 47 代表在多个金属层的半导体器件中的若干金属层中的一个，金属层 47 可以由铜金属、铜合金或在金属互连领域中使用的任何其他材料制成。电介质层 55 可以是低 k 电介质材料层、高 k 电介质材料层或它们的组合。电介质层 55 在其顶部或其上表面上可以具有诸如氮化硅或碳化硅层的刻蚀终止层/扩散阻挡层（未示出）。适合于本发明的衬底材料包括但不限于低 k 电介质材料，诸如低 k 聚合物电介质或含有机物的二氧化硅或掺碳氧化物（CDO）电介质。诸如硅和含硅复合物的其他衬底材料，以及在 IC 制造领域中公知的其他衬底材料也在本发明的范围内。

如上所讨论的，虽然在这个实施例中衬底 40 在其上具有金属化结构 47，但是应该注意当实施本发明时，晶片/衬底在其表面上可以具有诸如电路图案的金属化结构，也可以不具有这种结构。

参照图 3 和图 4B，根据本发明的实施例，在沉积室中放置有衬底 40，在衬底 40、电介质层 55 和金属化结构 47 上方形成其中具有活性组分 20 的电介质层 42（图 3 中工艺图 300 的方框 320）。活性组分 20 可以包括在所形成的电介质层 42 上产生极性基团或极性位置或增强极性基团或极性位置的生成的任何组分。如上所讨论的，活性组分 20 可以被加到用于形成电介质层 42 的前驱体溶液中。然后，通过 CVD 工艺、ALD 工艺或

其他本领域中公知的适当的沉积工艺，将含有活性组分 20 的前驱体溶液沉积到衬底 40 上。或者，活性组分 20 可以被沉积到所形成的电介质层 42 上，因此不被加到用于形成电介质层 42 的前驱体基质中。

在本发明的一个实施例中，活性组分 20 可以包括诸如三甲基硅烷醇、三苯基硅烷醇等的有机硅烷醇和硅烷醇。有机硅烷醇和硅烷醇的有机部分提供了在有机聚合物或有机掺杂氧化物之中的必要的溶解度，而极性 Si-OH 键将朝着表面取向以帮助或增强随后沉积的材料层的成核，包括例如阻挡材料层的成核。在另一个实施例中，诸如六甲基二硅氧烷、六甲基乙硅烷、三甲基硅烷的硅氧烷和有机硅烷，可以作为活性组分 20 被加到前驱体溶液以在处理过程中形成 Si-OH 基团。在另一个实施例中，通式为 $(R_2Si)_nX$ ($X = Cl, F, Br$) 的有机硅卤化物可以作为活性组分 20 被加到前驱体溶液中以在处理过程中形成 Si-OH 基团。在另一个实施例中，可以将酚基组分作为活性组分 20 加入到前驱体溶液中以增强阻挡层成核。在另一个实施例中，可以在有机聚合物中的侧链增加少量的极性，使得不需要向溶液中加入第二组分。

使用如前面所讨论的用于形成电介质层 12 的适当的 CVD 或 ALD 技术在衬底 40 上方沉积电介质层 42。可以由诸如低 k 聚合物电介质或者含有机物的二氧化硅或掺碳氧化物电介质之类的低 k 电介质材料形成电介质层 42。如上所述，对于可替换的 IC 器件实施例，电介质层 42 可以由诸如氧化铝 (Al_2O_3)、五氧化二钽 (Ta_2O_5)、五氧化二铪 (Hf_2O_5) 等的高 k 栅极电介质材料形成。在另一个实施例中，电介质层 42 可以由诸如 Ta_2O_5 、钛酸钡锶 ($BaSrTiO_3$ 或 BST) 等的高 k 电容器电介质材料形成。所形成的金属间电介质层/膜 42 的厚度 43 可以根据所制造的集成电路 (IC) 的类型、处理优先选择等而变化，但是一般地厚度 43 可以在约 500 埃 (Å) 到约 50,000 Å 的范围内变化，优选在约 2,000 到 20,000 Å 的范围内。

应该理解，结构 40 只是存在于半导体晶片上的许多结构中的一部分。在图 4B 中示出的实施例中，使用诸如刻蚀的公知技术对结构 40 中尤其是在所形成的电介质层 42 中图案化沟槽 49A 和 49B。还在电介质层 42

中在沟槽 49B 之下图案化通孔开口 (via opening) 48, 以用于到下金属层 47 的互连。可以利用本领域中公知的单或双镶嵌工艺来制造结构 40 或类似的结构。

参照图 3 和图 4C, 如在图 3 中工艺图 300 的方框 330 中所阐述的, 在衬底 40 上形成并图案化具有活性组分 20 的电介质层 42 之后, 所述方法一般继续如下步骤: 即, 通过处理所形成的具有活性组分 20 的电介质层 42 以至少在所形成的电介质层 42 的表面 44 上产生、生成极性基团或极性位置 30 或增强极性基团或极性位置 30 的生成。可以使用上面详细讨论的等离子体处理工艺、湿法或干化学处理工艺或电子束处理工艺来处理所形成的电介质层 42。经过处理的电介质层 42A 具有增强的成核和/或附着特性或特点, 这会有利地使例如阻挡材料层的随后沉积的材料层受益, 最终得到改进了的 IC 器件。

现在参照图 3 和图 4D, 在一个示例性双镶嵌工艺中, 如在图 3 中工艺图 300 的方框 340 中提到的一样, 在电介质层处理之后, 所述方法继续下面的步骤: 即, 在具有例如 Si-OH 或 C-OH 基团 30 的极性基团/极性位置 30 的处理后的电介质层 42A 的上方, 至少在处理后的电介质层 42A 的表面 44 上形成另一个材料层 45 (例如阻挡材料层 45)。阻挡层 45 不仅在处理后的电介质层 42A 的上方形形成, 而且也在沟槽开口 49A、49B 和通孔开口 48 中形成, 使得阻挡层 45 覆盖在 ILD 层 42 上面并且成为沟槽 49A、49B 和通孔 48 的内衬 (如在图 4D 中示出的)。诸如阻挡层 45 的阻挡层一般与金属互连材料一起使用, 以优化金属互连的性能并防止金属互连材料扩散到衬底之中。

阻挡层 45 可以由钽 (Ta)、氮化钽 (TaN)、钛 (Ti)、氮化钛 (TiN)、氮化钨 (WN)、钨化钨 (WTa)、氮化钨硅或其它三元化合物构成。但是, 应该理解的是, 在本发明的实施中可以使用其它的材料用于阻挡层 45。通过诸如上面详细讨论的 CVD 和 ALD 之类的公知的膜沉积技术来形成阻挡层 45。还可以使用物理气相沉积、电解电镀或无电镀技术。

在一个示例性的阻挡材料 ALD 工艺中, 通过在处理后的电介质层 42A 上交替地沉积 TDMAT (四(二甲基氨基)钛) 和 NH_3 前驱体, 来在处

理后的电介质层 42A 上形成氮化钛 (TiN) 层 45。ALD TiN 层 45 的沉积速率约为 10 Å 每分钟。在实施例中, ALD 工艺温度和压强分别为约 380 °C 和 1 托。本领域的普通技术人员可以容易地修改上述处理条件以得到所要求的结果。所形成的 TiN 层 45 的厚度 46 可以根据所制造的集成电路 (IC) 类型或处理优先选择等而变化, 但是一般地, 厚度 46 可以在从约 50 Å 到约 1,000 Å 的范围内变化, 并且优选为约 10 到 100 Å。

参照图 3 和图 4E, 如在图 3 中工艺图 300 的方框 350 中所阐述的, 接下来, 示例性的双镶嵌金属化工艺继续进行剩余的制造部分。该工艺一般可以包括: 在覆盖于处理后的 ILD 层 42A 上面并且成为沟槽 49A、49B 和通孔 48 的内衬的阻挡层 45 上, 形成诸如铜晶种层 50 的金属晶种层 50。可以使用金属、金属合金、金属化合物、多层金属堆叠或任何衬底来沉积或形成金属晶种层 50, 其中将被用于形成沟槽和通孔中的互连的金属可以在晶种层上成核和生长。一般地, 金属晶种层 50 由金属或金属合金形成, 并且可以包括但不限于铜、铜合金、镍、银、金和钴。

可以使用定向沉积技术来沉积/形成金属晶种层 50。本领域中公知的定向沉积技术包括: 准直溅镀 (collimated sputtering)、等离子体增强化学气相沉积以及使用偏压或不使用偏压的离子化物理气相沉积。一般地, 晶种层 50 被沉积到约 1000-3000 Å 的范围内的厚度。在实施例中, 晶种层 50 被沉积到约 2000Å 的厚度。

继续参照图 3 和图 4E, 所述工艺继续如下步骤: 在衬底 40 上进行导电材料的电解电镀/无电镀。但是, 在导电材料的电解电镀/无电镀之前, 一般对金属晶种层 50 进行物理和化学的处理以在衬底 40 上形成钝化层 (未示出)。然后, 对具有形成在阻挡层 50 上方的钝化层 (未示出) 的衬底 40 进行热退火, 以去除钝化层和在衬底表面上积聚的任何其它污染物。可以使用诸如酸、碱、溶剂和去离子水的液体介质来原位或异位进行金属晶种层 50 的钝化, 或者可以使用诸如氩 (Ar)、氦 (He)、氧气 (O₂)、氢气 (H₂)、H₂ 和 He、H₂ 和氮气 (N₂)、H₂ 和 Ar 等的化学活性或惰性气体在本领域中公知的温度和浓度范围下来进行钝化。一般地, 通过在约 250°C 的温度下向晶种退火室或类似的装置中通入包含 95%N₂ 和

5% H_2 的合成气体流约 30 秒，并然后在约 15 到 20°C 的温度下在合成气体中冷却衬底约 25 秒，来对其上具有钝化层（未示出）的金属晶种层 50 进行退火。在一个实施例中，以约 19 标准升每分（slm）的流速向退火室中提供 N_2 ，而以约 1slm 的流速向退火室中提供 H_2 。

在金属晶种退火步骤之后，所述工艺继续对衬底结构 40 进行无电镀或电解电镀，以在衬底结构 40 的覆盖层 53、沟槽 49A、49B 和通孔 48 中沉积诸如金属或合金的导电材料 52（图 3 中工艺图 300 的方框 350）。所沉积的导电材料将形成用来与下金属层 47 互连的金属互连 54。可以用于形成金属互连 54 的无电镀和电解电镀工艺是本领域中公知的。电解电镀包括从电解液中通过阴极还原的金属沉积。无电镀包括从电解液中通过化学还原的金属沉积。电解液中的还原剂（例如 Red）是电子的来源。可以使用硫酸铜溶液（产生铜覆镀）、硝酸银溶液（产生银覆镀）或氰化金溶液（产生金覆镀）将导电材料电解或无电沉积到衬底结构 40 的覆盖层 53、沟槽 49A、49B 和通孔 48 之中，以形成金属互连。

作为示例，在无电镀铜工艺中，通过诸如将衬底结构/晶片 40 浸入镀槽中，或者通过将镀液喷涂到衬底结构/晶片 40 上之类的方式，使衬底结构/晶片 40 暴露在第一镀液之中。第一镀液是诸如氢氟酸或硫酸之类的酸和金属盐或络合物的水溶液，所述金属盐或络合物可以溶解在所使用的酸中。在溶液中的例如二价铜离子（ Cu^{2+} ）的金属离子和还原剂之间发生氧化还原反应，导致金属离子的还原以及随后在铜晶种层 50 上的覆镀。一般地反应在室温下进行一段时间，直到形成导电互连/级（level）。如果需要的话可以调节时间和温度以影响反应的速率，这在本领域中是公知的。

在衬底结构 40 的无电镀或电解电镀之后，可以进行化学机械抛光（CMP）工艺或化学刻蚀去除工艺。CMP 或化学刻蚀去除将多余的金属（例如 ILD 层 42A 上方的铜、金属晶种材料和阻挡层材料）抛光掉或去除掉，使得所留下的铜和阻挡层材料都只位于沟槽 49A、49B 和通孔 48 中。

已经描述了一种用于增强在低介电常数电介质材料层（诸如阻挡层）上的 CVD 和 ALD 沉积的膜/层的成核和附着的方法。虽然已经描述了具体的实施例，包括具体的参数、方法和材料，但是对于本领域的技术人员来

说，一看到本公开就可以很清楚地想到各种对所公开的实施例的修改。因此，应该理解这些实施例仅仅是说明性的，而不是对本发明范围的限制，并且本发明不限于所示出和描述的具体的实施例。

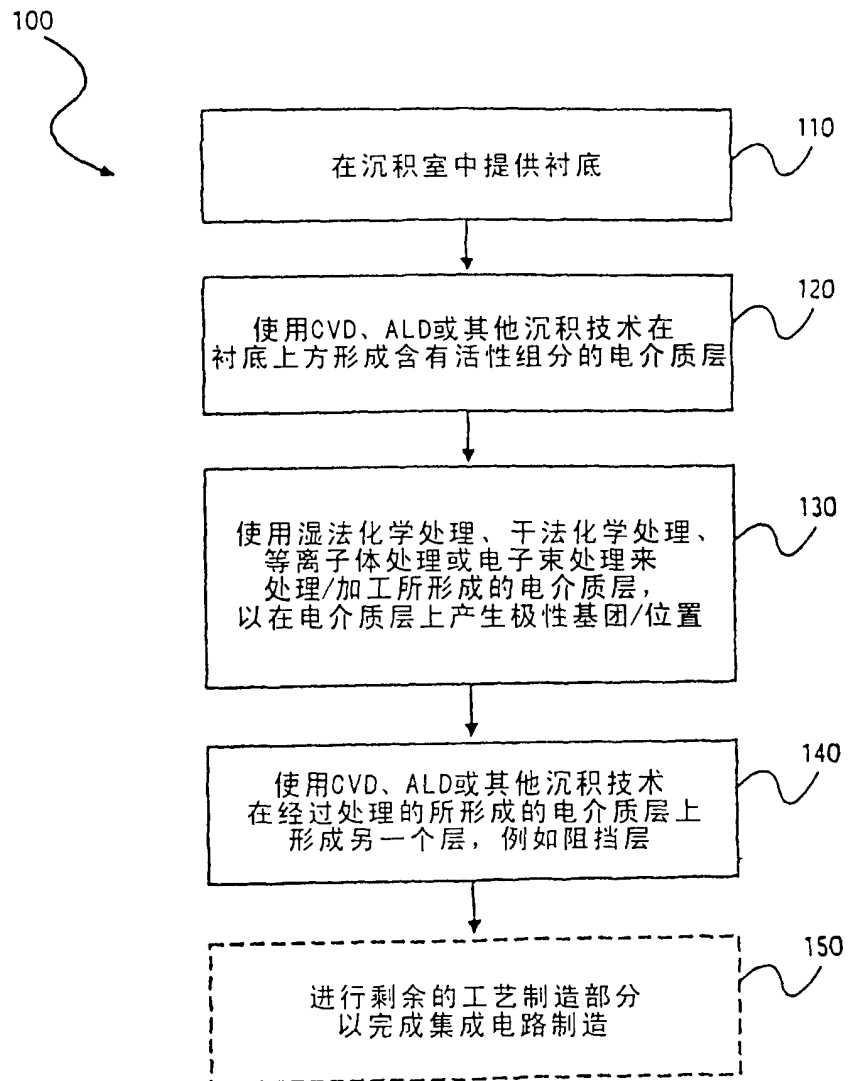


图1

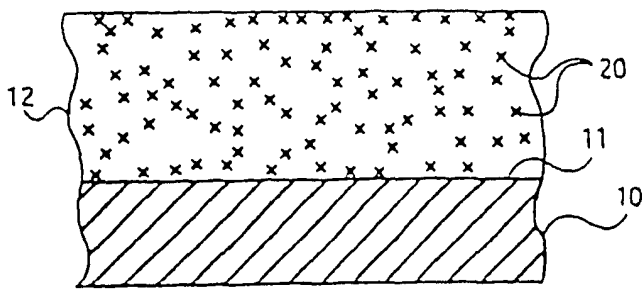
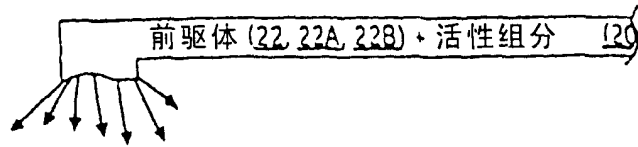


图2A

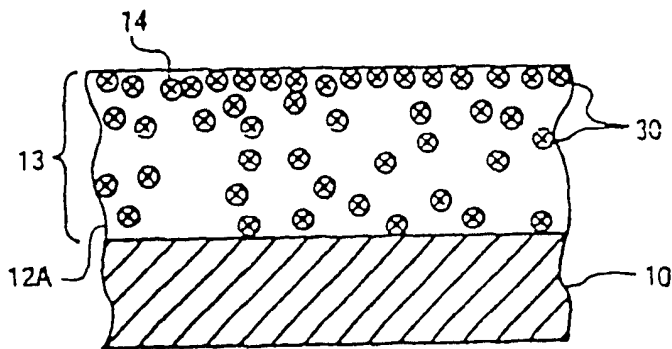


图2B

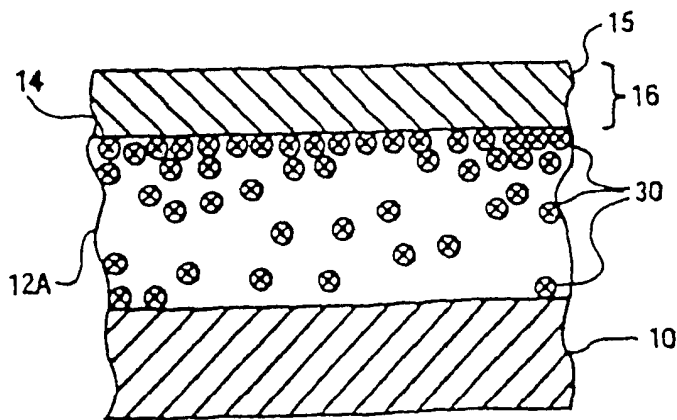


图2C

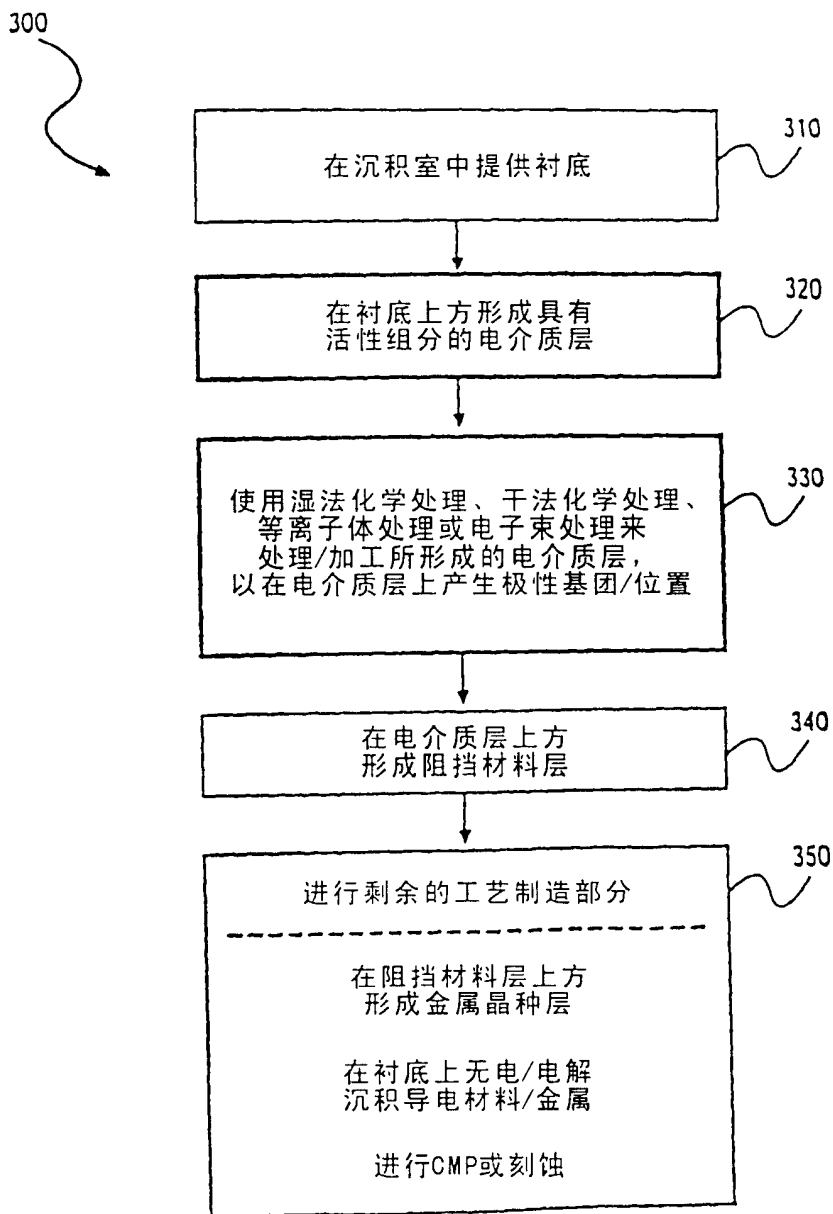


图3

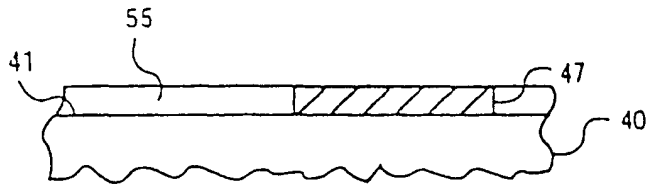


图4A

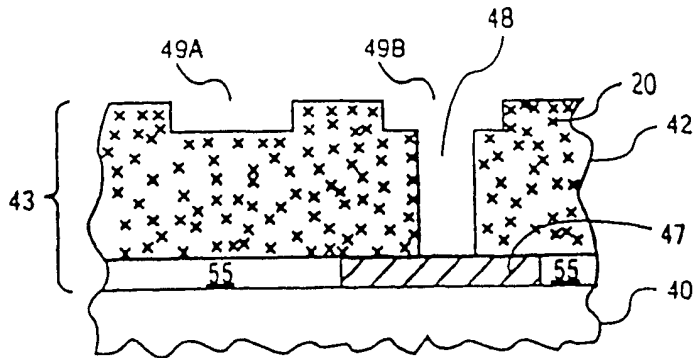


图4B

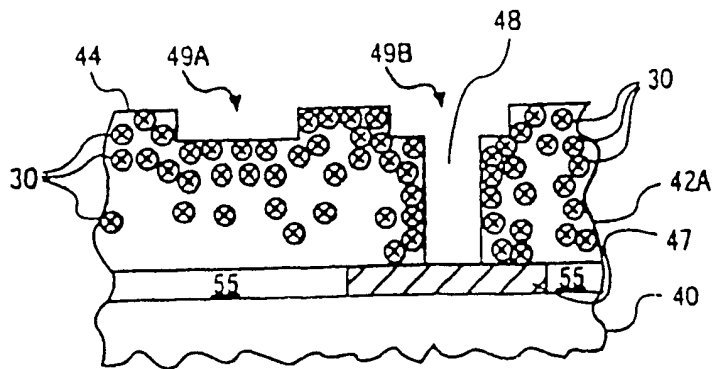


图4C

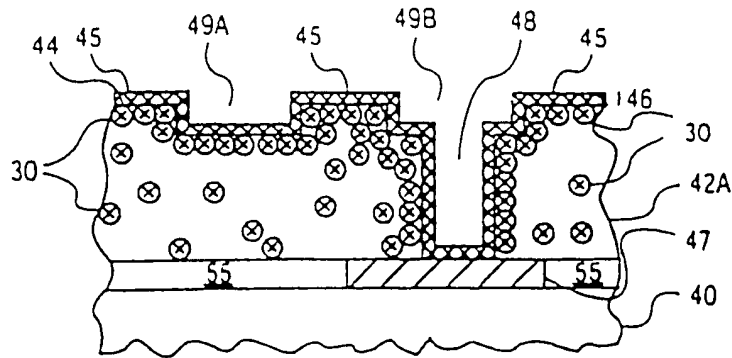


图4D

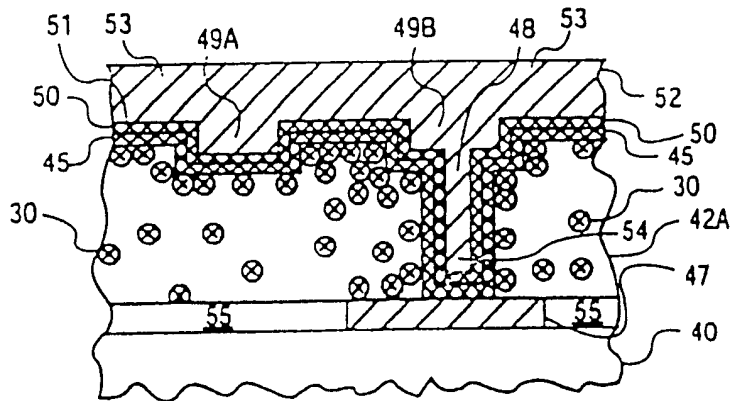


图4E