

申請日期	88.12.14
案 號	88126796
類 別	H01L 21/56

A4
C4

469576

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中 文	降低因高硼濃度對絕緣層造成之不當蝕刻之程度的方法
	英 文	METHOD OF REDUCING UNDESIED ETCHING OF INSULATTON DUE TO ELEVATED BORON CONCENTRATIONS
二、發明人	姓 名	1.夏立群 2.法蘭絲瑪坎貝納 3.艾立耶和
	國 籍	1.中華人民共和國 2.美國 3.美國
三、申請人	住、居所	1.美國加州聖大克勞拉市凱利貝克大街 5358 號 2.美國加州美爾皮塔芳騰布魯大街 1271 號 3.美國加州聖荷西市匹斯脫亞路 5888 號
	姓 名 (名稱)	美商·應用材料股份有限公司
三、申請人	國 籍	美國
	住、居所 (事務所)	美國加州聖大克勞拉市波爾斯大道 3050 號
三、申請人	代 表 人 姓 名	瓊西 J. 史維尼

裝

訂

線

經濟部智慧財產局員工消費合作社印製

469576

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☒有 ☐無主張優先權

本案已向美國申請專利；申請日：1999年12月14日 案號：09/461,504號

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明()

發明領域：

本發明關係於一種方法，用以降低於半導體處理時之絕緣玻璃狀層之部份的過度蝕刻，該絕緣層典型為一矽，硼及其他元素之熔融化合物。此有缺陷蝕刻係由硼之高濃度所造成，其中絕緣與半導體裝置的部份，即裝置之導體元件及裝置形成於其上之晶片之絕緣基材交界或接觸。

發明背景：

近年來，半導體裝置之密度已經大量地增加。現行市場上已可購得大至 256 百萬位元記憶元件之動態隨機存取記憶體(DRAM)於單一小矽晶片上。於不久將來，將會有每晶片多至十億位元主動元件之裝置出現。此高密度已經造成了某些問題，不只是於設計上，同時，也於裝置之製造上造成了問題。

於矽晶圓受到處理成為例如高密度 DRAM 裝置之步驟中，即於施加高溫絕緣層或諸層至裝置上的步驟。典型地，一含矽及其他元素之薄玻璃狀層係被使用作為絕緣。例如，於高密度 DRAM 中，於晶片分隔一記憶體單元與另一記憶體單元之空間可以窄至現行生產之 DRAM 的一微米之很小分數。垂直於此窄空間之晶片面的深度可以足夠地大，而使得其很困難完全地將之填滿以絕緣而沒有孔隙。

傳統施加絕緣至半導體裝置之方式係使用化學氣相沉積法(CVD)沉積二氧化矽(SiO_2)至反應室內之裝置上，

五、發明說明()

該反應室包含原矽酸四乙酯 (TEOS) 及臭氧之氣體混合物。當薄膜成長於具有於裝置元件間具空間或間隙之拓樸表面上時，薄膜將填滿間隙。然而，由於反應機制的本質，這些間隙之頂面相較於底面，傾向於接收更多進入之反應劑，因此具有較高成長速率。因此，於 CVD 處理時，因為高密度半導體裝置 (例如十億位元 DRAM) 中之空間的較大深寬比，所以會傾向形成有孔隙。如於本技藝中所知，為了消除這些困難處，TEOS 係被混合以適當比例之硼酸三乙酯 (TEB) 及磷酸三乙酯 (TEPO)。先前於絕緣中之孔隙遭遇的係藉由更"富流動性"的矽，磷及硼的混合物加以消除。但接觸或與一裝置之半導體元件 (例如記憶體單元) 之裸表面交界或與介電層交界之薄區中之此一絕緣層包含了較絕緣中之任一地方為高之硼濃度。隨後，當絕緣部份係使用如本技藝中所習用之緩衝氫氟酸 (BHF) 選擇性地蝕刻時，該酸係太富侵略性地攻擊界面表面之絕緣的富硼區域。這情況造成這些富硼區域之不想要的側侵蝕 (或過量蝕刻)。這隨後曝露出或呈現出裝置元件之裸導體部份。當金屬導體後續應用於金屬化步驟中之蝕刻裝置時，可能發生電氣短路之情形。這明顯為不可接受之狀況。

吾人想要實際地消除於絕緣層中之此等富硼區域，並減少這些層之有缺陷蝕刻，及由其造成之電氣短路。

發明目的及概述：

本發明有關一種用以大量消除於絕緣層中之高硼濃

五、發明說明 ()

度(此後簡稱"硼尖波")區之方法，其中它們與元件(記憶體單元)之表面及半導體裝置之表面接觸或交界。大量消除"硼尖波"降低了於金屬化層(導體)之裝置前之此等絕緣層之有缺陷蝕刻，以及，可能之電氣短路。

於施加絕緣至反應室之半導體表面前，一般係於本發明前清洗室中之前一處理步驟留下之化學殘留物。然後，半導體晶圓係放置於該室中，以及，絕緣係如同本技藝所知地經由原矽酸四乙酯(TEOS)，硼酸三乙酯(TEB)，磷酸三乙酯(TEPO)及臭氧之CVD反應而形成。

依據本發明，於半導體晶圓放置於一清潔反應室前，該室係被"風乾"，或由引入相同絕緣化合物(即TEOS, TEB及TEPO混合)之相同種類至室中之步驟加以預先調整，並於類似時間，溫度，壓力及濃度之條件下，該化合物同時也於隨後應用至晶圓上之半導體上。

例如，一(沒有晶圓)之清潔反應室係於本發明之一特定實施例中為以下調整處理所"風乾"。這包含將下列氣體混合物通入室溫及約400托耳或以下之壓力之室中，該氣體混合物包含：每分800毫克(mgm)之TEOS，同時，保持其他氣體以一般流速流動，例如，TEB=120mgm，TEPO=50mgm， $O_3=4000\text{sccm}$ -12重量百分比。為了方便起見，吾人可以採用類似於實際沉積條件之流速。總"風乾"時間係約60秒。此一"風乾"步驟傾向於鈍化室之內壁及於沉積時降低反應劑之表面吸收，並於壁上留下一薄氧化物塗層至適當厚度(例如，一微米之分數)。隨後，一半導

五、發明說明()

體晶圓係被插入現在"已風乾"之室中，並且，藉由使用例如用於先前室"風乾"處理之材料，時間，及條件之相當類似之處理，以將絕緣應用於晶圓上之裝置上。沉積於裝置上之絕緣係藉由加熱裝置至一適當高溫而如所知地加以再緩流。以此方式下，形成於半導體裝置上之絕緣層中之硼尖波係被大量消除，於後續蝕刻諸層之所造成之缺陷係基本上被避免。當然，於半導體裝置上形成絕緣層之精確時間，化學劑比例，壓力等將取決於被絕緣之特定裝置之需求而定。

(申請專利範圍第1項)由第一方面所看，本發明係有關於一種降低於含矽，硼及其他元素之絕緣層中之硼濃度的方法，其中該層與半導體晶圓的表面交界。該方法包含步驟：風乾一反應室，藉由將一包含矽，硼，磷之氣體混合物通入其中，該氣體混合物係在設定之時間，壓力，溫度及流速條件下呈預定比例，以一薄氧化物沉積風乾塗層，來鈍化室之內壁及表面；及放置一半導體晶圓於室中，並將之覆蓋以一絕緣層，該絕緣層具有類似於該風乾塗層之組成，使得硼尖波降低及絕緣層之選定部份之後續蝕刻並不會外露出形成於半導體晶圓內及/或半導體晶圓上之不想要曝露之裝置的導體表面。

(申請專利範圍第5項)由第二方面看來，本發明係有關於一種用以降低硼濃度及降低由含硼及摻磷氧化矽之絕緣層所造成之缺陷蝕刻的方法，其中該層係與半導體晶圓的表面交界。該方法包含步驟有：藉由將一氣體混合物

五、發明說明()

通入一反應室，而將之風乾，該氣體混合物包含預定比例之矽，硼，磷，及臭氧，並在設定之時間，壓力，溫度及流速之條件下，以沉積一薄風乾塗層於室之內壁及表面上；放置一半導體晶圓於室中，並對之沉積以一硼-磷-矽-玻璃(BPSG)絕緣層，其具有類似於風乾塗層之組成，及一厚度少於一微米，硼向下通過 BPSG 層之平均濃度係為大約不變，BPSG 層實質覆蓋形成於半導體晶圓內及/或半導體晶圓上之裝置，而於用以施加金屬化導體至半導體晶圓之備製中沒有孔隙；及蝕刻去用於施加金屬化導體至裝置時所備製之 BPSG 絕緣層之選定部份，同時，留下仍為 BPSG 層所覆蓋之半導體晶圓之導電表面，以避免對金屬化導體的電氣短路。

本發明之較佳了解以其及很多優點之完全了解將由研讀以下之附圖及申請專利範圍有關之說明而加以取得。

圖式簡單說明：

第 1 圖為一半導體晶圓之一部份的剖面圖，其中兩場效電晶體已經以蝕刻導孔加以形成，該圖示出本發明所予以解決之問題；及

第 2 圖為於第 1 圖之半導體晶圓的主表面上之矽(Si)，硼(B)，及磷(P)的相對濃度圖表，其中左側垂直軸顯示以每 cc 原子為單位之這些元素之標稱值，右側垂直軸顯示以每秒計數之二次電子強度，及水平軸

五、發明說明()

顯示於垂直於半導體晶圓之方向中以微米表示之絕緣層深度。

這些圖並未以統一規格顯示。

圖號對照說明：

10	半導體晶圓	12	基材
12A	表面	14	場效電晶體
16	場效電晶體	18	汲極區
20	源極區	22	汲極區
24	源極區	25	介電質區
26	閘極介電層	28	導體層
30	閘極介電層	32	導體閘極層
34	絕緣層	34A	頂面
36	導孔		

發明詳細說明：

現參考第 1 圖，其中顯示一具有表面 12A 之基材 (體)12 之半導體晶圓的一部份的剖面。場效電晶體 14 及 16 係形成於基材 12 中及於表面 12A 上。電晶體 14 包含一汲極區 18 及一源極區 20，其係為基材 12 之一部份所分離。位於表面 12A 上的是一閘極介電層 26，其係於基材 12A 之部份上並將之覆蓋，該部份係將汲極區 18 與源極區 20 分離。一導電閘極層 28 覆蓋閘極介電層 26。導體層 28 可以摻雜多晶矽或金屬。電晶體 16 基本上係完全相同

五、發明說明()

於電晶體 14，其包含汲極區 22，源極區 24，閘極介電層 30，及一導體閘極層 32。電晶體源極區 20 係與電晶體 16 藉由基材 12 之一部份所分離，或者，可選用介電質區 25(以虛線表示)加以分離，該介電質區係形成於電晶體 14 及 16 間之基材 12 之部份中。重疊電晶體 14 及 16 及表面 12A 的是一絕緣層 34，其具有一頂面 34A，經由該頂面被蝕刻有一導孔 36 下至表面 12A。

可以形成高密度 DRAM 一部份之電晶體的電晶體 14 及 16 可以很接近地分隔。於電晶體 14 及 16 間之水平間距可以小至一微米寬之很小分數及由表面 34A 至表面 12A 之垂直深度可以典型為幾倍大於此量。此大深至寬比使得其很難以絕緣物填充於電晶體 14 及 16 間之空間，而沒有孔隙。於傳統方式中，只使用原矽酸四乙酯(TEOS)所產生之絕緣，於被回火於 950°C 以下時，並不足夠"可流動性"，以填充於裝置 10 之電晶體 14 及 16 及其他電晶體(未示出)及裝置(未示出)間之深窄空間。因此，TEOS 與加入量之硼酸三乙酯(TEB)及磷酸三乙酯(TEPO)之混合物係較佳以生產絕緣層 34，因為，此絕緣當被熔化時係足夠地可流動性以填充於晶圓 10 之電晶體 14 及 16 及其他電晶體及裝置間之空間。

以下本發明所進一步說明之絕緣層 34 係被顯示以被施加至反應室中之晶圓 10 上，該反應室係未被事先"風乾"，以例示於絕緣中之升高硼濃度(硼尖波)的問題，其中絕緣係接觸或與表面 12A 作交界。於絕緣層 34 隨後被選擇

五、發明說明()

性地蝕刻，以提供用以加入金屬導體至例如電晶體的源極時，這些硼尖波造成絕緣層 34 於接觸表面 12A 處之缺陷蝕刻，這將進一步說明如後。

於一特定例子中，絕緣層 34 係施加至晶圓 10 上，藉由將氣體混合物通入室溫及約 600 托耳(T)之壓力下之反應室(未示出)，該氣體混合物包含：於每分 250 毫克(MGM)之 TEOS，於 112mgm 之 TEB，50mgm 之 TEPO，及每分 4 公升之氬被混合以 12.5%重量之臭氧。此氣體流係通入室中持續約 120 秒。該壓力係然後降低至約 200T，於增加 TEOS 至 600mgm，TEB 至 160mgm，及 TEPO 至 70mgm，及相同之氬及臭氧流速，持續另外之 80 秒。沉積於晶圓 10 上之絕緣係藉由將之加熱至所知之適當高溫，而將之熔融為硼-磷-矽玻璃(BPSG)。如此沉積於晶圓 10 上之絕緣層 34 係無孔隙並於此特定例中，具有約 0.6 微米之厚度。

蝕刻例如絕緣層 34 之絕緣的傳統方式係使用為本技藝中所知之溫度，時間，濃度等條件下之緩衝氫氟酸(BHF)。所示之絕緣層 34 係具有一導孔(開口)36，由其頂面 36A 延伸向下至表面 12A。導孔 36 係典型藉由使用蝕刻劑 BHF 加以形成。於導孔 36 中，接近頂面 34A 及向下接近表面 12A 之層 34 中之硼濃度並未被提高，及導孔 36 之壁面基本上係平行，直到其到達接近表面 12A 為止。然而，因為於絕緣層 34 接觸表面 12A 中之硼尖波，導孔 36 之下端係橫向地(側向)蝕刻，或側侵蝕如由括弧 24 所示。此於 24 之層 34 的側侵蝕嚴重地造成導孔 36 之缺陷蝕刻。

五、發明說明()

於 24 之側侵蝕係被顯示延伸並在閘極層 28 及電晶體 16 之汲極區 22 的小部份上。於 24 之絕緣層 34 的側侵蝕係由蝕刻劑 BHF 之太過蝕刻去絕緣層 34，該處具有平均值以上之硼濃度。當一金屬化層(未示出)係後續應用以填充導孔 36，以提供給電晶體 14 之源極電導體，該金屬化層並不能接觸電晶體 14 之閘極層 28 及電晶體 16 之汲極區 22。這可能造成電晶體 14 之閘極層 28 及汲極 20 電氣短路至電晶體 16 之源極區 24。這問題係為本發明所避免，本發明提供處理室之"風乾"或預調整，於將絕緣層 34 施加至晶圓 10 之前。如前所解釋，室之"風乾"禁止硼尖波後續形成於一半導體裝置之絕緣中。這隨後有效地防止於導孔 36 之下端之後續形成之絕緣層 34 之側侵蝕，其係由括弧 24 所表示。使用本發明之方法造成導孔 36 之側邊保持實質垂直向下至表面 12A。這使電晶體 14 及 16 之未為沉積於導孔 36 中之金屬所接觸之表面仍為絕緣層 34 之部份所覆蓋。

現參考第 2 圖，其中顯示一圖表 40，其量測於晶圓 10(見第 1 圖)中之絕緣層 34 中之元素矽(Si)，硼(B)，及磷(P)之濃度。圖表 40 具有一左側垂直軸，顯示以每 cc 原子表示之這些元素之濃度之標稱值，一右側垂直軸，顯示以計數每秒為單位之二次離子強度，及一水平軸顯示由頂面 34A 向下至表面 12A 之絕緣層 34 之以微米表示之深度。這係相當於示於第 1 圖中之導孔 36 的深度。圖表 40 包含一第一曲線 42，其顯示矽原子之濃度為第 1 圖之絕緣層

五、發明說明()

34 的深度的函數，一第二曲線 44，其顯示硼原子之濃度為絕緣層 34 的深度的函數，及一第三曲線 46，其顯示磷原子之濃度為絕緣層 34 的深度的函數。曲線 42，44 及 46 顯示為本技藝所知之技術的二次離子質譜儀(SIMS)所完成之量測值。

曲線 42 顯示由頂(零深度)向下至絕緣層 34 之矽濃度大致保持不變，直到一略大於 0.6 微米之深度為止，相當於表面 12A，於此為箭頭 48 所表示。曲線 44 顯示由頂向下至絕緣層 34 之硼濃度大致保持不變，直到一約 0.4 微米之深度為止。然後，由曲線 44 之括弧部份 50 所表示，硼濃度迅速地增加至由 52 所表示之值，其中至絕緣層 34 之深度向下到達至表面 12A。於值 52 中，於此例子中硼濃度實際地超出矽的濃度。曲線 44 之部份 50 相當於絕緣層 34 中之硼尖波。藉由"風乾"反應室，硼尖波係有效地消除。於一晶圓(實質上相同於晶圓 10)上之絕緣所取之 SIMS 量測值顯示於"風乾"後，於到達絕緣約 0.4 微米之深度後，硼濃度之前一曲線 44 繼續，而不是沿著虛線水平括弧部份 54 到由箭頭 48 所指之約 0.6 微米之深度。顯示磷濃度之曲線 46 於"風乾"後大致保持不變，如同用於矽之曲線 42 般。

為何於半導體晶圓 10 上形成絕緣層 34 前，反應室壁之"風乾"(即，形成絕緣層狀層 34)確實完成了降低過量橫向蝕刻的想要結果，並未能完全了解。最佳的原理應是當反應室壁未以其本身絕緣層，如層 34 加以"風乾"時，在

五、發明說明()

半導體晶圓 10 上形成絕緣層 34 之前，該壁傾向於吸收較多之磷而不是硼，這使得過量之硼可以用以併入被形成於半導體晶圓 10 上之層 34 中。

上述說明係想要例示但並不是限制本發明。各種之於前述例子中之變化可能為熟習於本技藝者所完成但並未脫離隨附之申請專利範圍所述之精神及範圍。例如，本發明並未限定於一特定種類之半導體裝置，或者所述之精確處理條件及參數。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱:)

降低因高硼濃度對絕緣層
造成之不當蝕刻之程度的方法

一種用以降低於絕緣層中之高硼濃度(簡稱"硼尖波")之方法係加以提供,該絕緣層包含矽,硼及其他元素,其中該層與半導體裝置之表面交界。該方法包含步驟:將含預定比例之矽,硼,臭氧及其他元素的混合氣體,在設定之時間,壓力,溫度及流率之條件下,將之通入反應室中,以風乾該反應室,以沉積一薄風乾塗層於室之內壁及表面上,及放置一半導體裝置於該室中,並將之覆蓋以一絕緣層,該層具有類似於該風乾塗層之組成。對絕緣層之選定部份的後續蝕刻已經發現未曝露出該裝置之導電表面。

英文發明摘要(發明之名稱:)

METHOD OF REDUCING UNDESIRED ETCHING OF INSULATION
DUE TO ELEVATED BORON CONCENTRATIONS

A method is provided for reducing elevated boron concentrations (denoted as "boron spikes") in an insulating layer containing silicon, boron and other elements where the layer interfaces with surfaces of a semiconductor device. The method includes the steps of: seasoning a reaction chamber by flowing into it a mixture of gasses containing silicon, boron, ozone and other elements in predetermined proportions under set conditions of time, pressure, temperature and flow rates to deposit on inner walls and surfaces of the chamber a thin seasoning coating, and placing a semiconductor device in the chamber and covering it with an insulating layer having a composition similar to the seasoning coating. Subsequent etching of selected portions of the insulating layer has been found not to expose conductive surfaces of the device.

第1頁

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

- 1.一種用以降低含矽、硼及其他元素之絕緣層中的硼濃度之方法，其中該層係與一半導體晶圓的表面交界，該方法至少包含步驟：

藉由對反應室通入一氣體混合物而風乾該反應室，該氣體混合物包含矽，硼，磷，並呈預定比例，在時間，壓力，溫度及流速之設定條件下，以薄氧化物沉積風乾塗層，鈍化室之內壁及表面；及

將一半導體晶圓放置於一室中，並將之覆蓋以一絕緣層，該絕緣層具有一類似於風乾塗層之組成，使得硼尖波降低及後續之絕緣層的選定部份之蝕刻並不會曝露出形成於半導體晶圓內及/或上不想要曝露之裝置的導體表面。

- 2.如申請專利範圍第1項所述之方法，其中上述之於裝置上之絕緣層係被熔融入硼-磷-矽-玻璃(BPSG)，使得於絕緣中之孔隙及空洞空間可以避免。

- 3.如申請專利範圍第2項所述之方法，其中上述之BPSG之絕緣層具有矽比硼比磷之原子平均比例大約為8比6比4。

- 4.如申請專利範圍第3項所述之方法，其中上述之BPSG層係大約為0.6微米厚，及該層之厚度之硼的平均濃度係大致不變。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

5. 一種降低絕緣層中之硼濃度及降低由高硼濃度所造成之缺陷蝕刻的方法，上述之絕緣層包含硼及摻磷之氧化矽，其中該絕緣層係與半導體晶圓之表面交界，上述之方法至少包含步驟：

藉由對反應室通入一氣體混合物而風乾該反應室，該氣體混合物包含矽，硼，磷，及臭氧並呈預定比例，在時間，壓力，溫度及流速之設定條件下，以在該室之內壁及表面上沉積一薄風乾塗層；

將一半導體晶圓放於室內，並對之沉積以一硼-磷-矽-玻璃(BPSG)之絕緣層，該玻璃具有類似於風乾塗層之組成，及少於一微米之厚度，該硼經過 BPSG 層的平均濃度係大約不變，於備製金屬化導體施加至半導體晶圓時，覆蓋形成於半導體晶圓中及/或上之裝置的 BPSG 層是實質上沒有孔隙；及

蝕刻掉於備製金屬化導體施加至裝置之 BPSG 絕緣層之選定部份，同時，使半導體晶圓之導體表面保持為 BPSG 層所覆蓋，以避免對金屬化導體之電氣短路。

6. 如申請專利範圍第 5 項所述之方法，其中上述之反應室之風乾係藉由將氣體混合物通入室中，以預定之時間，溫度，壓力及濃度之條件下，加以完成，該氣體混合物係為原矽酸四乙酯 (TEOS)，硼酸三乙酯 (TEB)，磷酸三乙酯 (TEPO) 及於惰性氣體中之臭氧。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

六、申請專利範圍

- 7.如申請專利範圍第6項所述之方法，其中上述之BPSG層具有矽比硼比磷之平均比例為大約8份比6份比4份。

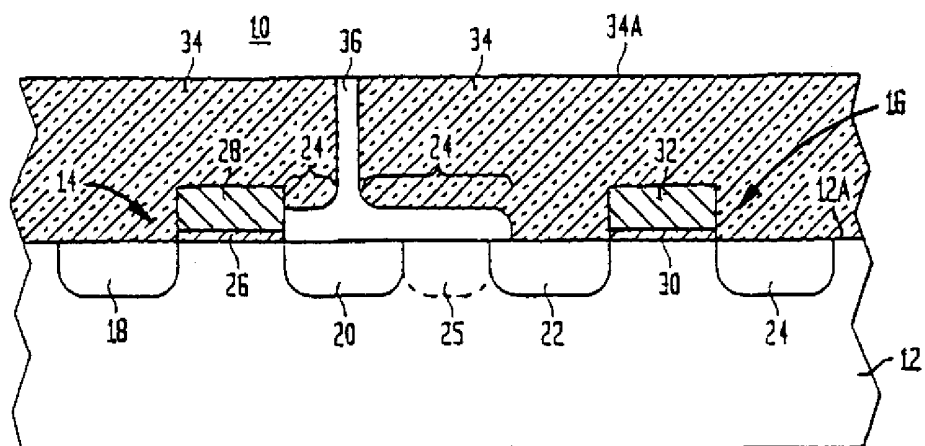
(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

第 1 圖



第 2 圖

