

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4914397号  
(P4914397)

(45) 発行日 平成24年4月11日 (2012. 4. 11)

(24) 登録日 平成24年1月27日 (2012. 1. 27)

(51) Int. Cl.	F I
HO 1 L 21/8247 (2006. 01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006. 01)	HO 1 L 27/10 4 3 4
HO 1 L 29/792 (2006. 01)	
HO 1 L 27/115 (2006. 01)	

請求項の数 19 (全 53 頁)

(21) 出願番号	特願2008-98555 (P2008-98555)	(73) 特許権者	000005821
(22) 出願日	平成20年4月4日 (2008. 4. 4)		パナソニック株式会社
(62) 分割の表示	特願2003-570403 (P2003-570403) の分割		大阪府門真市大字門真1006番地
原出願日	平成15年2月5日 (2003. 2. 5)	(74) 代理人	100077931
(65) 公開番号	特開2008-177606 (P2008-177606A)		弁理士 前田 弘
(43) 公開日	平成20年7月31日 (2008. 7. 31)	(74) 代理人	100110939
審査請求日	平成20年4月4日 (2008. 4. 4)		弁理士 竹内 宏
(31) 優先権主張番号	特願2002-44202 (P2002-44202)	(74) 代理人	100110940
(32) 優先日	平成14年2月21日 (2002. 2. 21)		弁理士 嶋田 高久
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実
		(74) 代理人	100115691
			弁理士 藤田 篤史

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、  
前記トラップ膜の上に第1の導電膜を堆積する工程と、  
前記第1の導電膜をビット線方向に延びる第1のマスクパターンを用いてパターニングする工程と、

前記半導体基板に対して、前記第1のマスクパターン又はパターニングされた前記第1の導電膜をマスクに不純物を注入してビット線となる不純物拡散層を形成する工程と、

前記半導体基板上におけるパターニングされた前記第1の導電膜同士の間、前記不純物拡散層と直接又は前記トラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、

パターニングされた前記第1の導電膜及び前記埋め込み絶縁膜の上に第2の導電膜を堆積する工程と、

前記第2の導電膜及びパターニングされた前記第1の導電膜をワード線方向に延びる第2のマスクパターンを用いてパターニングして、パターニングされた前記第2の導電膜及びパターニングされた前記第1の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、

前記不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介して前記不純物を注入する工程を含むことを特徴とする半導体記憶装置の製造方法。

【請求項 2】

10

20

半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、  
前記トラップ膜の上に第１の導電膜を堆積する工程と、  
前記第１の導電膜をビット線方向に延びる第１のマスクパターンを用いてパターニングする工程と、

パターニングされた前記第１の導電膜の側面に第１の側壁絶縁膜を形成する工程と、  
前記半導体基板に対して、パターニングされた前記第１の導電膜及び前記第１の側壁絶縁膜をマスクに不純物を注入してビット線となる不純物拡散層を形成する工程と、

前記半導体基板に熱処理を施して、前記不純物拡散層をパターニングされた前記第１の導電膜とオーバーラップさせる工程と、

前記半導体基板上における互いに対向する前記第１の側壁絶縁膜同士の間、前記不純物拡散層と直接又は前記トラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、

10

パターニングされた前記第１の導電膜及び前記埋め込み絶縁膜の上に第２の導電膜を堆積する工程と、

前記第２の導電膜及びパターニングされた前記第１の導電膜をワード線方向に延びる第２のマスクパターンを用いてパターニングして、パターニングされた前記第２の導電膜及びパターニングされた前記第１の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備えていることを特徴とする半導体記憶装置の製造方法。

【請求項３】

前記不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介して前記不純物を注入する工程を含むことを特徴とする請求項２に記載の半導体記憶装置の製造方法。

20

【請求項４】

前記第１の導電膜をパターニングする工程と前記不純物拡散層を形成する工程との間に、前記第１のマスクパターン又はパターニングされた前記第１の導電膜をマスクにして前記トラップ膜をパターニングする工程を備え、

前記不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介することなく前記不純物を注入する工程を含むことを特徴とする請求項２に記載の半導体記憶装置の製造方法。

【請求項５】

30

半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、  
前記トラップ膜の上に第１の導電膜を堆積する工程と、  
前記第１の導電膜をビット線方向に延びる第１のマスクパターンを用いてパターニングする工程と、

前記半導体基板に対して、パターニングされた前記第１の導電膜をマスクに不純物を注入して低濃度不純物拡散層を形成する工程と、

パターニングされた前記第１の導電膜の側面に第１の側壁絶縁膜を形成する工程と、  
前記半導体基板に対して、パターニングされた前記第１の導電膜及び前記第１の側壁絶縁膜をマスクに不純物を注入してビット線となる高濃度不純物拡散層を形成する工程と、

前記半導体基板上における互いに対向する前記第１の側壁絶縁膜同士の間、前記高濃度不純物拡散層と直接又は前記トラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、

40

パターニングされた前記第１の導電膜及び前記埋め込み絶縁膜の上に第２の導電膜を堆積する工程と、

前記第２の導電膜及びパターニングされた前記第１の導電膜をワード線方向に延びる第２のマスクパターンを用いてパターニングして、パターニングされた前記第２の導電膜及びパターニングされた前記第１の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、

前記低濃度不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介して前記不純物を注入する工程を含むことを特徴とする半導体記憶装置の製造方法。

50

## 【請求項 6】

前記高濃度不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介して前記不純物を注入する工程を含むことを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

## 【請求項 7】

前記低濃度不純物拡散層を形成する工程と前記高濃度不純物拡散層を形成する工程との間に、前記第 1 のマスクパターン又はパターニングされた前記第 1 の導電膜をマスクにして前記トラップ膜をパターニングする工程を備え、

前記高濃度不純物拡散層を形成する工程は、前記半導体基板に対して前記トラップ膜を介することなく前記不純物を注入する工程を含むことを特徴とする請求項 5 に記載の半導体記憶装置の製造方法。

## 【請求項 8】

半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、

前記トラップ膜の上に第 1 の導電膜を堆積する工程と、

前記第 1 の導電膜をビット線方向に延びる第 1 のマスクパターンを用いてパターニングする工程と、

前記半導体基板に対して、パターニングされた前記第 1 の導電膜をマスクに不純物を注入して低濃度不純物拡散層を形成する工程と、

パターニングされた前記第 1 の導電膜の側面に第 1 の側壁絶縁膜を形成する工程と、

前記半導体基板に対して、パターニングされた前記第 1 の導電膜及び前記第 1 の側壁絶縁膜をマスクに不純物を注入してビット線となる高濃度不純物拡散層を形成する工程と、

前記半導体基板上における互いに対向する前記第 1 の側壁絶縁膜同士の間、前記高濃度不純物拡散層と直接又は前記トラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、

パターニングされた前記第 1 の導電膜及び前記埋め込み絶縁膜の上に第 2 の導電膜を堆積する工程と、

前記第 2 の導電膜及びパターニングされた前記第 1 の導電膜をワード線方向に延びる第 2 のマスクパターンを用いてパターニングして、パターニングされた前記第 2 の導電膜及びパターニングされた前記第 1 の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、

前記低濃度不純物拡散層を形成する工程は、前記トラップ膜におけるパターニングされた前記第 1 の導電膜から露出している領域のうちの少なくとも一部分を除去してから前記半導体基板に対して前記不純物を注入する工程を含むことを特徴とする半導体記憶装置の製造方法。

## 【請求項 9】

前記ゲート電極を形成する工程は、パターニングされた前記第 2 の導電膜の表面部にシリサイド層を形成する工程を含むことを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

## 【請求項 10】

前記ゲート電極を形成する工程は、前記埋め込み絶縁膜の側面に第 2 の側壁絶縁膜を形成した後に、パターニングされた前記第 2 の導電膜の表面部にシリサイド層を形成する工程を含むことを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

## 【請求項 11】

前記半導体記憶装置は、前記半導体基板上に設けられ論理回路を構成するトランジスタを有し、

前記埋め込み絶縁膜の側面に前記第 2 の側壁絶縁膜を形成する工程は、前記論理回路を構成するトランジスタのゲート電極の側面に前記第 2 の側壁絶縁膜を形成する工程を含むことを特徴とする請求項 10 に記載の半導体記憶装置の製造方法。

## 【請求項 12】

前記ゲート電極を形成する工程は、前記埋め込み絶縁膜同士の間、絶縁膜を埋め込んだ

10

20

30

40

50

後に、パターンニングされた前記第 2 の導電膜の表面部にシリサイド層を形成する工程を含むことを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

【請求項 1 3】

前記第 2 の導電膜は金属膜であることを特徴とする請求項 2、5 又は 8 に記載の半導体記憶装置の製造方法。

【請求項 1 4】

前記半導体記憶装置は、前記半導体基板上に設けられ論理回路を構成するトランジスタを有し、

前記論理回路を構成するトランジスタのゲート電極は、パターンニングされた前記第 1 の導電膜とパターンニングされた前記金属膜との積層構造を有することを特徴とする請求項 1 3 に記載の半導体記憶装置の製造方法。

10

【請求項 1 5】

前記半導体記憶装置は、前記半導体基板上に設けられ論理回路を構成するトランジスタを有し、

前記論理回路を構成するトランジスタのゲート電極は、パターンニングされた前記第 2 の導電膜のみからなることを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

【請求項 1 6】

前記半導体記憶装置は、前記半導体基板上に設けられ論理回路を構成するトランジスタを有し、

20

前記ゲート電極を形成する工程は、前記半導体基板上の論理回路形成領域において、前記第 2 の導電膜及びパターンニングされた前記第 1 の導電膜をパターンニングすることにより、パターンニングされた前記第 2 の導電膜及びパターンニングされた前記第 1 の導電膜よりなる、前記論理回路を構成するトランジスタのゲート電極を形成する工程を含むことを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

【請求項 1 7】

前記半導体記憶装置は、前記半導体基板上に設けられ論理回路を構成するトランジスタを有し、

前記ゲート電極を形成する工程よりも後に、前記埋め込み絶縁膜の側面及び前記ゲート電極の側面に第 2 の側壁絶縁膜を形成することにより、互いに対向する前記埋め込み絶縁膜と互いに対向する前記ゲート電極とによって囲まれた領域を前記第 2 の側壁絶縁膜で埋め込むと同時に、前記論理回路を構成するトランジスタのゲート電極の側面に前記第 2 の側壁絶縁膜を形成する側壁絶縁膜形成工程をさらに備えていることを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

30

【請求項 1 8】

前記側壁絶縁膜形成工程よりも後に、パターンニングされた前記第 2 の導電膜の表面部にシリサイド層を形成する工程をさらに備えていることを特徴とする請求項 1 7 に記載の半導体記憶装置の製造方法。

【請求項 1 9】

前記埋め込み絶縁膜を形成する工程において、前記埋め込み絶縁膜と前記第 1 の導電膜との高さがほぼ等しくなるように、前記埋め込み絶縁膜を形成することを特徴とする請求項 1、2、5 又は 8 に記載の半導体記憶装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高集積化が可能である不揮発性の半導体記憶装置及びその製造方法に関する。

【背景技術】

【0002】

50

近年、さまざまな半導体記憶装置が提案されており、その一例として、例えば、特許文献 1 に示されるように、素子分離領域の下にビット線を有する半導体記憶素子は、高集積化が容易であるため注目されている。

【 0 0 0 3 】

以下、素子分離領域の下にビット線を有する半導体記憶装置及びその製造方法について、図 5 9 (a) ~ (d) 及び図 6 0 を参照しながら説明する。

【 0 0 0 4 】

まず、図 5 9 (a) に示すように、シリコン基板 1 の上にトラップ膜 2 を堆積した後、図 5 9 (b) に示すように、シリコン基板 1 に対してレジストパターン 3 をマスクにして不純物をイオン注入することにより、ビット線となる不純物拡散層 4 を形成し、その後、トラップ膜 2 に対してレジストパターン 3 をマスクにして選択的エッチングを行なって、トラップ膜 2 における不純物拡散層 4 の上側部分を除去する。

10

【 0 0 0 5 】

次に、図 5 9 (c) に示すように、レジストパターン 3 を除去した後、熱酸化法により、LOCOS 分離領域 5 を形成する。

【 0 0 0 6 】

次に、図 5 9 (d) に示すように、半導体基板 1 の上に全面に亘って多結晶シリコン膜 6 を堆積した後、該多結晶シリコン膜 6 に対して選択的エッチングを行なうと、図 6 0 に示すように、従来の半導体記憶装置が得られる。

【特許文献 1】特開平 0 5 - 3 2 6 8 9 3 号公報

20

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

しかしながら、前記従来の半導体記憶装置においては、主として 3 つの問題点を有している。

【 0 0 0 8 】

第 1 は、素子を分離するために LOCOS 分離領域を用いているために、微細化が困難であるという問題である。すなわち、LOCOS 分離領域は素子分離領域の端部にバースピークが発生するため、活性領域がマスク寸法に比べて縮小してしまう。そこで、マスク寸法を予め大きくしておく必要があるため、微細化が困難になる。

30

【 0 0 0 9 】

第 2 は、ビット線となる不純物拡散層が LOCOS 分離領域の下に設けられているため、ビット線の低抵抗化が困難であるという問題である。

【 0 0 1 0 】

第 3 は、サリサイド技術の適用が困難であるため、ゲート電極の低抵抗化が困難であるという問題である。すなわち、図 6 0 に示すように、ビット線となる不純物拡散層 4 は LOCOS 分離領域 5 の外側にまで拡散している。従って、この状態でサリサイドを行なうと、不純物拡散層 4 の表面部にシリサイド層が形成されてしまうため、ビット線同士がシリサイド層を介して短絡してしまう恐れがあるので、サリサイド技術の適用が困難である。

40

【 0 0 1 1 】

前記に鑑み、本発明は、不揮発性の半導体記憶装置において、ビット線となる不純物拡散層の上に LOCOS 分離領域を形成しなくてもよいようにして、半導体記憶装置の微細化を実現することを目的とする。

【課題を解決するための手段】

【 0 0 4 4 】

本発明に係る第 1 の半導体記憶装置の製造方法は、半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、トラップ膜の上に第 1 の導電膜を堆積する工程と、第 1 の導電膜をビット線方向に延びる第 1 のマスクパターンを用いてパターンニングする工程と、半導体基板に対して、第 1 のマスクパターン又はパターンニングされた第 1 の導電膜をマ

50

スクに不純物を注入してビット線となる不純物拡散層を形成する工程と、半導体基板上におけるパターンニングされた第1の導電膜同士の間、不純物拡散層と直接又はトラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、パターンニングされた第1の導電膜及び埋め込み絶縁膜の上に第2の導電膜を堆積する工程と、第2の導電膜及びパターンニングされた第1の導電膜をワード線方向に延びる第2のマスクパターンを用いてパターンニングして、パターンニングされた第2の導電膜及びパターンニングされた第1の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介して不純物を注入する工程を含むことを特徴とする。

【0045】

第1の半導体記憶装置の製造方法によると、ビット線となる不純物拡散層の上側にビット線方向に延びる埋め込み絶縁膜が設けられると共に、ゲート電極を構成するパターンニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されるため、ゲート電極とトラップ膜とからなるメモリ素子同士の間、L O C O S分離領域を設ける必要がなくなる。パターンニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されているが、パターンニングされた第1の導電膜同士は第2の導電膜により電氣的に接続されているため、支障はない。

10

【0046】

従って、第1の半導体記憶装置の製造方法によると、半導体記憶装置の微細化を実現することができる。

【0047】

20

本発明に係る第2の半導体記憶装置の製造方法は、半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、トラップ膜の上に第1の導電膜を堆積する工程と、第1の導電膜をビット線方向に延びる第1のマスクパターンを用いてパターンニングする工程と、パターンニングされた第1の導電膜の側面に第1の側壁絶縁膜を形成する工程と、半導体基板に対して、パターンニングされた第1の導電膜及び第1の側壁絶縁膜をマスクに不純物を注入してビット線となる不純物拡散層を形成する工程と、半導体基板に熱処理を施して、不純物拡散層をパターンニングされた第1の導電膜とオーバーラップさせる工程と、半導体基板上における互いに対向する第1の側壁絶縁膜同士の間、不純物拡散層と直接又はトラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、パターンニングされた第1の導電膜及び埋め込み絶縁膜の上に第2の導電膜を堆積する工程と、第2の導電膜及びパターンニングされた第1の導電膜をワード線方向に延びる第2のマスクパターンを用いてパターンニングして、パターンニングされた第2の導電膜及びパターンニングされた第1の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備えている。

30

【0048】

第2の半導体記憶装置の製造方法によると、ビット線となる不純物拡散層の上側にビット線方向に延びる埋め込み絶縁膜が設けられると共に、ゲート電極を構成するパターンニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されるため、ゲート電極とトラップ膜とからなるメモリ素子同士の間、L O C O S分離領域を設ける必要がなくなる。パターンニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されているが、パターンニングされた第1の導電膜同士は第2の導電膜により電氣的に接続されているため、支障はない。

40

【0049】

また、ゲート電極を構成するパターンニングされた第1の導電膜の側面に第1の側壁絶縁膜を形成する工程を備えているため、不純物拡散層に注入された不純物の拡散による短チャネル効果を抑制できるため、ゲート長を縮小することができる。

【0050】

従って、第2の半導体記憶装置の製造方法によると、半導体記憶装置の一層の微細化を実現することができる。

【0051】

本発明に係る第3の半導体記憶装置の製造方法は、半導体基板上のメモリ素子形成領域

50

にトラップ膜を形成する工程と、トラップ膜の上に第1の導電膜を堆積する工程と、第1の導電膜をビット線方向に延びる第1のマスクパターンを用いてパターニングする工程と、半導体基板に対して、パターニングされた第1の導電膜をマスクに不純物を注入して低濃度不純物拡散層を形成する工程と、パターニングされた第1の導電膜の側面に第1の側壁絶縁膜を形成する工程と、半導体基板に対して、パターニングされた第1の導電膜及び第1の側壁絶縁膜をマスクに不純物を注入してビット線となる高濃度不純物拡散層を形成する工程と、半導体基板上における互いに対向する第1の側壁絶縁膜同士の間、高濃度不純物拡散層と直接又はトラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、パターニングされた第1の導電膜及び埋め込み絶縁膜の上に第2の導電膜を堆積する工程と、第2の導電膜及びパターニングされた第1の導電膜をワード線方向に延びる第2のマスクパターンを用いてパターニングして、パターニングされた第2の導電膜及びパターニングされた第1の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、低濃度不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介して不純物を注入する工程を含むことを特徴とする。

10

本発明に係る第4の半導体記憶装置の製造方法は、半導体基板上のメモリ素子形成領域にトラップ膜を形成する工程と、トラップ膜の上に第1の導電膜を堆積する工程と、第1の導電膜をビット線方向に延びる第1のマスクパターンを用いてパターニングする工程と、半導体基板に対して、パターニングされた第1の導電膜をマスクに不純物を注入して低濃度不純物拡散層を形成する工程と、パターニングされた第1の導電膜の側面に第1の側壁絶縁膜を形成する工程と、半導体基板に対して、パターニングされた第1の導電膜及び第1の側壁絶縁膜をマスクに不純物を注入してビット線となる高濃度不純物拡散層を形成する工程と、半導体基板上における互いに対向する第1の側壁絶縁膜同士の間、高濃度不純物拡散層と直接又はトラップ膜を介して接するように埋め込み絶縁膜を形成する工程と、パターニングされた第1の導電膜及び埋め込み絶縁膜の上に第2の導電膜を堆積する工程と、第2の導電膜及びパターニングされた第1の導電膜をワード線方向に延びる第2のマスクパターンを用いてパターニングして、パターニングされた第2の導電膜及びパターニングされた第1の導電膜よりなるメモリ素子のゲート電極を形成する工程とを備え、低濃度不純物拡散層を形成する工程は、トラップ膜におけるパターニングされた第1の導電膜から露出している領域のうちの少なくとも一部分を除去してから半導体基板に対して不純物を注入する工程を含むことを特徴とする。

20

30

#### 【0052】

第3の半導体記憶装置の製造方法によると、ビット線となる高濃度不純物拡散層の上側にビット線方向に延びる埋め込み絶縁膜が設けられると共に、ゲート電極を構成するパターニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されるため、ゲート電極とトラップ膜とからなるメモリ素子同士の間、L O C O S 分離領域を設ける必要がなくなる。パターニングされた第1の導電膜は埋め込み絶縁膜により互いに分離されているが、パターニングされた第1の導電膜同士は第2の導電膜により電氣的に接続されているため、支障はない。

#### 【0053】

また、ビット線となる高濃度不純物拡散層の両側に低濃度不純物拡散層を確実に形成することができるので、高濃度不純物拡散層に注入された不純物の拡散による短チャネル効果を抑制できるため、ゲート長を縮小することができる。

40

#### 【0054】

従って、第3及び第4の半導体記憶装置の製造方法によると、半導体記憶装置の一層の微細化を実現することができる。

#### 【0055】

第2又は第3の半導体記憶装置の製造方法において、埋め込み絶縁膜を形成する工程は、半導体基板上に金属膜を介して埋め込み絶縁膜を形成する工程を含むことが好ましい。

#### 【0056】

このようにすると、ビット線となる不純物拡散層の上に金属膜を形成することができる

50

ので、ビット線の低抵抗化を図ることができる。

【0057】

第2の半導体記憶装置の製造方法において、不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介して不純物を注入する工程を含むことが好ましい。

【0058】

このようにすると、不純物の注入時に半導体基板の表面をトラップ膜により保護することができる。

【0059】

第2の半導体記憶装置の製造方法は、第1の導電膜をパターニングする工程と不純物拡散層を形成する工程との間に、第1のマスクパターン又はパターニングされた第1の導電膜をマスクにしてトラップ膜をパターニングする工程を備え、不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介することなく不純物を注入してもよい。

10

【0060】

第3の半導体記憶装置の製造方法において、低濃度不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介して不純物を注入する工程を含むことが好ましい。

【0061】

このようにすると、低濃度不純物層を形成するための不純物の注入時に半導体基板の表面をトラップ膜により保護することができるので、半導体基板が受けるダメージを低減することができる。

【0064】

20

第3の半導体記憶装置の製造方法において、低濃度不純物拡散層を形成する工程が、半導体基板に対してトラップ膜を介して不純物を注入する工程を含む場合には、高濃度不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介して不純物を注入する工程を含むことが好ましい。

【0065】

このようにすると、高濃度不純物層を形成するための不純物の注入時においても半導体基板の表面をトラップ膜により保護することができる。

【0066】

第3の半導体記憶装置の製造方法において、低濃度不純物拡散層を形成する工程が、半導体基板に対してトラップ膜を介して不純物を注入する工程を含む場合には、低濃度不純物拡散層を形成する工程と高濃度不純物拡散層を形成する工程との間に、第1のマスクパターン又はパターニングされた第1の第1の導電膜をマスクにしてトラップ膜をパターニングする工程を備え、高濃度不純物拡散層を形成する工程は、半導体基板に対してトラップ膜を介することなく不純物を注入する工程を含んでいてもよい。

30

【0068】

第1～第4の半導体記憶装置の製造方法において、ゲート電極を形成する工程は、パターニングされた第2の導電膜の表面部にシリサイド層を形成する工程を含むことが好ましい。

【0069】

このようにすると、ゲート電極の低抵抗化を図ることができる。

40

【0070】

第1～第4の半導体記憶装置の製造方法において、ゲート電極を形成する工程がパターニングされた第2の導電膜の表面部にシリサイド層を形成する工程を含む場合、埋め込み絶縁膜の側面に第2の側壁絶縁膜を形成した後に、パターニングされた第2の導電膜の表面部にシリサイド層を形成する工程を含むことが好ましい。

【0071】

このようにすると、半導体基板の表面における不純物拡散層の外側部分を第2の側壁絶縁膜により覆った状態でサイサイドを行なうことができるので、ビット線となる不純物拡散層同士がシリサイド層により短絡してしまう事態を防止できる。

【0072】

50



第1～第4の半導体記憶装置の製造方法において、ゲート電極を形成する工程が 埋め込み絶縁膜の側面に第2の側壁絶縁膜を形成する工程を含む場合、半導体記憶装置は、半導体基板上に設けられ論理回路を構成するトランジスタを有し、埋め込み絶縁膜の側面に第2の側壁絶縁膜を形成する工程は、論理回路を構成するトランジスタのゲート電極の側面に第2の側壁絶縁膜を形成する工程を含むことが好ましい。

【0073】

このようにすると、論理回路を構成するトランジスタのゲート電極の側面に、工程数の増加を招くことなく側壁絶縁膜を形成することができる。

【0074】

第1～第4の半導体記憶装置の製造方法において、ゲート電極を形成する工程は、埋め込み絶縁膜同士の間絶縁膜を埋め込んだ後に、パターニングされた第2の導電膜の表面部にシリサイド層を形成する工程を含むことが好ましい。

10

【0075】

このようにすると、半導体基板の表面における不純物拡散層の外側部分を絶縁膜で完全に覆った状態でサイサイドを行なうので、ビット線となる不純物拡散層同士がシリサイド層により短絡してしまう事態を確実に防止できる。

【0076】

第2～第4の半導体記憶装置の製造方法において、第2の導電膜は金属膜であることが好ましい。

【0077】

20

このようにすると、ゲート電極の低抵抗化を図ることができる。

【0078】

第2～第4の半導体記憶装置の製造方法において、第2の導電膜が金属膜である場合、半導体記憶装置は、半導体基板上に設けられ論理回路を構成するトランジスタを有し、論理回路を構成するトランジスタのゲート電極は、パターニングされた第1の導電膜とパターニングされた金属膜との積層構造を有することが好ましい。

【0079】

このようにすると、論理回路を構成するトランジスタのゲート電極を、工程数の増加を招くことなくポリメタル構造にすることができる。

【0080】

30

第1～第4の半導体記憶装置の製造方法において、半導体記憶装置は、半導体基板上に設けられ論理回路を構成するトランジスタを有し、論理回路を構成するトランジスタのゲート電極は、パターニングされた第2の導電膜のみからなることが好ましい。

【0081】

このようにすると、論理回路を構成するトランジスタのゲート電極の微細化を図ることができる。

【0082】

第1～第4の半導体記憶装置の製造方法において、半導体記憶装置は、半導体基板上に設けられ論理回路を構成するトランジスタを有し、ゲート電極を形成する工程は、半導体基板の論理回路形成領域において、第2の導電膜及びパターニングされた第1の導電膜をパターニングすることにより、パターニングされた第2の導電膜及びパターニングされた第1の導電膜よりなる、論理回路を構成するトランジスタのゲート電極を形成する工程を含むことが好ましい。

40

【0083】

このようにすると、論理回路を構成するトランジスタのゲート電極を、工程数の増加を招くことなく形成することができる。

【発明の効果】

【0118】

本発明に係る第1～第4の半導体記憶装置の製造方法によると、半導体記憶装置の微細化及びビット線の低抵抗化を実現できると共に、ゲート電極に対してサリサイドを行うこ

50

とが可能になる。

【発明を実施するための最良の形態】

【0119】

以下、本発明の各実施形態に係る半導体記憶装置及びその製造方法について説明するが、通常、論理回路領域にはnチャネル型トランジスタとpチャネル型トランジスタとが形成されるが、これらは不純物の種類が異なるのみであるから、以下に示す各図面においては、nチャネル型トランジスタのみを示してある。

【0120】

(第1の実施形態)

以下、本発明の第1の実施形態に係る半導体記憶装置及びその製造方法について、図1 (a) ~ (c)、図2 (a) ~ (c)、図3及び図4 (a) ~ (d) を参照しながら説明する。尚、図4 (a) は図3におけるIVA - IVA線の断面構造を示し、図4 (b) は図3におけるIVB - IVB線の断面構造を示し、図4 (c) は図3におけるIVC - IVC線の断面構造を示し、図4 (d) は図3におけるIVD - IVD線の断面構造を示している。

【0121】

まず、図1 (a) に示すように、シリコン基板よりなる半導体基板10のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり電荷の捕獲サイトを有すると共に30nmの合計膜厚を有するトラップ膜11を堆積した後、図1 (b) に示すように、トラップ膜11の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ150nm ~ 300nmの厚さを有する第1

【0122】

次に、図1 (c) に示すように、第1の多結晶シリコン膜12に対して、ビット線方向に延びる第1のレジストパターン13をマスクにして選択的エッチングを行なって、第1の多結晶シリコン膜12をパターニングする。尚、このエッチング工程においては、後に行なう不純物の注入工程において半導体基板10の表面を保護するために、トラップ膜11を残存させておくことが好ましい。

【0123】

次に、図2 (a) に示すように、半導体基板10に対して第1のレジストパターン13をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、ビット線となるn型の高濃度不純物拡散層14を形成する。

【0124】

次に、図2 (b) に示すように、半導体基板10の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜12の上に存在する部分を除去することにより、パターニングされた第1の多結晶シリコン膜12同士の間で且つ高濃度不純物拡散層14の上に埋め込み絶縁膜15を形成する。この場合、パターニングされた第1の多結晶シリコン膜12の高さ位置と埋め込み絶縁膜15の高さ位置とはほぼ等しくなる。

【0125】

次に、図2 (c) に示すように、パターニングされた第1の多結晶シリコン膜12及び埋め込み絶縁膜15の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ50nm ~ 200nmの厚さを有する第2の多結晶シリコン膜16を堆積する。

【0126】

次に、第2の多結晶シリコン膜16及びパターニングされた第1の多結晶シリコン膜12に対して、ワード線方向に延びる第2のレジストパターン(図示は省略している)をマスクにして選択的エッチングを行なって、図3及び図4 (a) ~ (d) に示すように、パターニングされた第2の多結晶シリコン膜16及びパターニングされた第1の多結晶シリコン膜12よりなるゲート電極を形成する。

## 【0127】

第1の実施形態によると、ビット線となる高濃度不純物拡散層14の上側にビット線方向に延びる埋め込み絶縁膜15が設けられていると共に、ゲート電極を構成するパターニングされた第1の多結晶シリコン膜12は埋め込み絶縁膜15により互いに分離されているため、ゲート電極とトラップ膜11とからなるメモリ素子同士の間にはLOCOS分離領域を設ける必要がなくなる。

## 【0128】

また、パターニングされた第1の多結晶シリコン膜12は埋め込み絶縁膜15により互いに分離されているが、パターニングされた第1の多結晶シリコン膜12同士は第2の多結晶シリコン膜16により電氣的に接続されているため、支障はない。

10

## 【0129】

従って、第1の実施形態によると、半導体記憶装置の微細化を実現することができる。

## 【0130】

尚、第1の実施形態においては、電荷の捕獲サイトを有するトラップ膜11として、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜との積層膜を用いたが、これに代えて、酸化シリコン膜の単層膜、窒化シリコン膜の単層膜、又は半導体基板10側から順次堆積された、酸化シリコン膜と窒化シリコン膜との積層膜を用いてもよい。

## 【0131】

トラップ膜11の膜厚は30nmであったが、トラップ膜11の膜厚としては、薄い方がトランジスタ特性が良好になり、20nm程度が特に好ましい。

20

## 【0132】

ゲート電極としては、第1の多結晶シリコン膜12及び第2の多結晶シリコン膜16の積層膜を用いたが、これに代えて、多結晶シリコン膜、アモルファスシリコン膜、融点が600℃以上である高融点金属膜若しくは金属シリサイド膜の単層膜、又はこれらの積層膜を用いることができる。

## 【0133】

埋め込み絶縁膜15としては、シリコン酸化膜を用いたが、これに代えて、フッ素含有シリコン酸化膜若しくは多孔質膜の単層膜、又はこれらの積層膜を用いてもよい。埋め込み絶縁膜15がフッ素含有シリコン酸化膜又は多孔質膜を含むと、配線間容量が低減するためトランジスタの高速化を図ることができる。

30

## 【0134】

また、第1の実施形態においては、高濃度不純物拡散層14を形成するためのマスクとして、第1のレジストパターン13を用いたが、これに代えて、第1のレジストパターン13を除去して、パターニングされた第1の多結晶シリコン膜12を用いてもよい。このようにすると、ゲート電極にもn型の不純物が注入されるため、ゲート電極の一層の低抵抗化を図ることができる。

## 【0135】

また、第1の実施形態においては、第1の多結晶シリコン膜12及び第2の多結晶シリコン膜16としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後に不純物をドーピングしてもよい。

40

## 【0136】

さらに、第1の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

## 【0137】

(第2の実施形態)

以下、本発明の第2の実施形態に係る半導体記憶装置及びその製造方法について、図5(a)～(d)、図6(a)～(d)、図7及び図8(a)～(d)を参照しながら説明する。尚、図8(a)は図7におけるVIII A - VIII A線の断面構造を示し、図8(b)は図7におけるVIII B - VIII B線の断面構造を示し、図8(c)は図7におけるVIII C - VIII C線の断面構造を

50

示し、図 8 (d) は図 7 におけるVIII D - VIII D 線の断面構造を示している。

【 0 1 3 8 】

まず、図 5 (a) に示すように、シリコン基板よりなる半導体基板 2 0 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 3 0 n m の合計膜厚を有するトラップ膜 2 1 を堆積した後、図 5 (b) に示すように、トラップ膜 2 1 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 1 5 0 n m ~ 3 0 0 n m の厚さを有する第 1 の多結晶シリコン膜 2 2 を堆積する。

【 0 1 3 9 】

次に、図 5 (c) に示すように、第 1 の多結晶シリコン膜 2 2 に対して、ビット線方向に延びる第 1 のレジストパターン (図示は省略している) をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 2 2 をパターンニングする。

10

【 0 1 4 0 】

次に、図 5 (d) に示すように、半導体基板 2 0 の上に全面に亘って例えば 5 0 n m ~ 2 0 0 n m の膜厚を有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックして、パターンニングされた第 1 の多結晶シリコン膜 2 2 の側面に側壁絶縁膜 2 3 を形成する。この場合、トラップ膜 2 1 における第 1 の多結晶シリコン膜 2 2 及び側壁絶縁膜 2 3 から露出している部分は、通常エッチングにより除去されるが、トラップ膜 2 1 を残存させてもよい。トラップ膜 2 1 が残存すると、半導体基板 2 0 がエッチング工程で受けるダメージを低減することができる。

20

【 0 1 4 1 】

次に、図 6 (a) に示すように、半導体基板 2 0 に対して、パターンニングされた第 1 の多結晶シリコン膜 2 2 及び側壁絶縁膜 2 3 をマスクにして n 型の不純物を例えば  $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、ビット線となる n 型の高濃度不純物拡散層 2 4 を形成する。

【 0 1 4 2 】

次に、図 6 (b) に示すように、半導体基板 2 0 に対して、例えば 8 5 0 ~ 9 5 0 の熱処理を施して、高濃度不純物拡散層 2 4 をパターンニングされた第 1 の多結晶シリコン膜 2 2 とオーバーラップさせる。この熱処理は、電気炉を用いるバッチ処理又はランプを用いる急速熱処理 (R T A) により行なうことができる。

30

【 0 1 4 3 】

次に、図 6 (c) に示すように、半導体基板 2 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば C M P 又はエッチバックを行なって、該シリコン酸化膜におけるパターンニングされた第 1 の多結晶シリコン膜 2 2 の上に存在する部分を除去することにより、互いに対向する側壁絶縁膜 2 3 同士の間で且つ高濃度不純物拡散層 2 4 の上に埋め込み絶縁膜 2 5 を形成する。この場合、パターンニングされた第 1 の多結晶シリコン膜 2 2 の高さ位置と埋め込み絶縁膜 2 5 の高さ位置とはほぼ等しくなる。

【 0 1 4 4 】

次に、図 6 (d) に示すように、パターンニングされた第 1 の多結晶シリコン膜 2 2 及び埋め込み絶縁膜 2 5 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 5 0 n m ~ 2 0 0 n m の厚さを有する第 2 の多結晶シリコン膜 2 6 を堆積する。

40

【 0 1 4 5 】

次に、第 2 の多結晶シリコン膜 2 6 及びパターンニングされた第 1 の多結晶シリコン膜 2 2 に対して、ワード線方向に延びる第 2 のレジストパターン (図示は省略している) をマスクにして選択的エッチングを行なって、図 7 及び図 8 (a) ~ (d) に示すように、パターンニングされた第 2 の多結晶シリコン膜 2 6 及びパターンニングされた第 1 の多結晶シリコン膜 2 2 よりなるゲート電極を形成する。

【 0 1 4 6 】

第 2 の実施形態によると、ゲート電極を構成するパターンニングされた第 1 の多結晶シリ

50

コン膜 22 の側面に側壁絶縁膜 23 を形成するため、第 1 の実施形態の効果に加えて、高濃度不純物拡散層 24 に注入された不純物の拡散による短チャネル効果を抑制できるため、ゲート長の縮小を図ることができる。

#### 【0147】

従って、第 2 の実施形態によると、半導体記憶装置の一層の微細化を実現することができる。

#### 【0148】

尚、第 2 の実施形態においては、第 1 の多結晶シリコン膜 22 及び第 2 の多結晶シリコン膜 26 としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後に不純物をドーピングして

10

#### 【0149】

また、第 2 の実施形態における第 1 の多結晶シリコン膜 22 及び第 2 の多結晶シリコン膜 26 に代えて、アモルファスのシリコン膜を用いてもよい。

#### 【0150】

さらに、第 2 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

#### 【0151】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態に係る半導体記憶装置及びその製造方法について、図 9

20

(a) ~ (d)、図 10 (a) ~ (d)、図 11 及び図 12 (a) ~ (d) を参照しながら説明する。

尚、図 12 (a) は図 11 における XII A - XII A 線の断面構造を示し、図 12 (b) は図 11 における XII B - XII B 線の断面構造を示し、図 12 (c) は図 11 における XII C - XII C 線の断面構造を示し、図 12 (d) は図 11 における XII D - XII D 線の断面構造を示している。

#### 【0152】

まず、図 9 (a) に示すように、シリコン基板よりなる半導体基板 30 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 30 nm の合計膜厚を有するトラップ膜 31 を堆積した後、図 9 (b) に示すように、トラップ膜 31 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドー

30

プされ且つ 150 nm ~ 300 nm の厚さを有する第 1 の多結晶シリコン膜 32 を堆積する。

#### 【0153】

次に、図 9 (c) に示すように、第 1 の多結晶シリコン膜 32 に対して、ビット線方向に延びる第 1 のレジストパターン (図示は省略している) をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 32 をパターニングする。尚、このエッチング工程においては、後に行なう不純物の注入工程において半導体基板 30 の表面を保護するために、トラップ膜 31 を残存させておくことが好ましい。

#### 【0154】

次に、図 9 (d) に示すように、半導体基板 30 に対して第 1 のレジストパターンをマスクにして p 型の不純物例えばボロンを 20 keV ~ 50 keV 及び  $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$  の条件でイオン注入して p 型の不純物拡散層 33 を形成した後、半導体基板 30 に対して第 1 のレジストパターンをマスクにして n 型の不純物例えば砒素を 20 keV ~ 50 keV 及び  $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$  の条件でイオン注入して n 型の低濃度不純物拡散層 34 を形成する。尚、p 型の不純物の注入工程と n 型の不純物の注入工程とはいずれが先であってもよい。

40

#### 【0155】

次に、図 10 (a) に示すように、半導体基板 30 の上に全面に亘って例えば 50 nm ~ 200 nm の膜厚を有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックして、パターニングされた第 1 の多結晶シリコン膜 32 の側面に側壁絶縁膜 35 を形成

50

する。

【0156】

次に、図10(b)に示すように、半導体基板30に対して、パターニングされた第1の多結晶シリコン膜32及び側壁絶縁膜35をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、ビット線となるn型の高濃度不純物拡散層36を形成する。

【0157】

図10(c)に示すように、半導体基板30の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜32の上に存在する部分を除去することにより、互いに対向する側壁絶縁膜35同士の間で且つ高濃度不純物拡散層36上に埋め込み絶縁膜37を形成する。この場合、パターニングされた第1の多結晶シリコン膜32の高さ位置と埋め込み絶縁膜37の高さ位置とはほぼ等しくなる。

10

【0158】

次に、図10(d)に示すように、パターニングされた第1の多結晶シリコン膜32及び埋め込み絶縁膜37の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドープされ且つ50nm～200nmの厚さを有する第2の多結晶シリコン膜38を堆積する。

【0159】

次に、第2の多結晶シリコン膜38及びパターニングされた第1の多結晶シリコン膜32に対して、ワード線方向に延びる第2のレジストパターン（図示は省略している）をマスクにして選択的エッチングを行なって、図11及び図12(a)～(d)に示すように、パターニングされた第2の多結晶シリコン膜38及びパターニングされた第1の多結晶シリコン膜32よりなるゲート電極を形成する。

20

【0160】

第3の実施形態によると、低濃度不純物拡散層34を形成した後、ゲート電極の側面に側壁絶縁膜35を形成し、その後、パターニングされた第1の多結晶シリコン膜32及び側壁絶縁膜35をマスクにしてn型の不純物を注入して、高濃度不純物拡散層36を形成するため、つまりLDD構造を形成するため、第1の実施形態の効果に加えて、高濃度不純物拡散層36に注入された不純物の拡散に起因する短チャネル効果を抑制することができるので、ゲート長の縮小を図ることができる。

30

【0161】

尚、第3の実施形態においては、p型の不純物拡散層33及びn型の低濃度不純物拡散層34を形成するためのマスクとして、図示しない第1のレジストパターンを用いたが、これに代えて、パターニングされた第1の多結晶シリコン膜32を用いてもよい。

【0162】

また、第3の実施形態においては、第1の多結晶シリコン膜32及び第2の多結晶シリコン膜38としては、不純物がドープされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドープされていない多結晶シリコン膜を堆積した後に不純物をドープしてもよい。

40

【0163】

また、第3の実施形態における第1の多結晶シリコン膜32及び第2の多結晶シリコン膜38に代えて、アモルファスのシリコン膜を用いてもよい。

【0164】

さらに、第3の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

【0165】

（第4の実施形態）

以下、本発明の第4の実施形態に係る半導体記憶装置及びその製造方法について、図13(a)～(e)、図14(a)～(d)、図15及び図16(a)～(d)を参照しながら説明する

50

。尚、図 1 6 (a) は図 1 5 におけるXVI A - XVI A 線の断面構造を示し、図 1 6 (b) は図 1 5 におけるXVI B - XVI B 線の断面構造を示し、図 1 6 (c) は図 1 5 におけるXVI C - XVI C 線の断面構造を示し、図 1 6 (d) は図 1 5 におけるXVI D - XVI D 線の断面構造を示している。

#### 【 0 1 6 6 】

まず、図 1 3 (a) に示すように、シリコン基板よりなる半導体基板 4 0 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 3 0 n m の合計膜厚を有するトラップ膜 4 1 を堆積した後、図 1 3 (b) に示すように、トラップ膜 4 1 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 1 5 0 n m ~ 3 0 0 n m の厚さを有する第 1 の多結晶シリコン膜 4 2 を堆積する。

10

#### 【 0 1 6 7 】

次に、図 1 3 (c) に示すように、第 1 の多結晶シリコン膜 4 2 に対して、ビット線方向に延びる第 1 のレジストパターン (図示は省略している) をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 4 2 をパターニングする。尚、このエッチング工程においては、後に行なう不純物の注入工程において半導体基板 4 0 の表面を保護するために、トラップ膜 4 1 を残存させておくことが好ましい。

#### 【 0 1 6 8 】

次に、図 1 3 (d) に示すように、半導体基板 4 0 に対して第 1 のレジストパターンをマスクにして p 型の不純物例えばボロンを 2 0 k e V ~ 5 0 k e V 及び  $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$  の条件でイオン注入して p 型の不純物拡散層 4 3 を形成した後、半導体基板 4 0 に対して第 1 のレジストパターンをマスクにして n 型の不純物例えば砒素を 2 0 k e V ~ 5 0 k e V 及び  $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$  の条件でイオン注入して n 型の低濃度不純物拡散層 4 4 を形成する。

20

#### 【 0 1 6 9 】

次に、図 1 3 (e) に示すように、半導体基板 4 0 の上に全面に亘って例えば 5 0 n m ~ 2 0 0 n m の膜厚を有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックして、パターニングされた第 1 の多結晶シリコン膜 4 2 の側面に側壁絶縁膜 4 5 を形成する。

#### 【 0 1 7 0 】

30

次に、図 1 4 (a) に示すように、半導体基板 4 0 に対して、パターニングされた第 1 の多結晶シリコン膜 4 2 及び側壁絶縁膜 4 5 をマスクにして n 型の不純物を例えば  $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、ビット線となる n 型の高濃度不純物拡散層 4 6 を形成する。

#### 【 0 1 7 1 】

次に、図 1 4 (b) に示すように、半導体基板 4 0 の上に全面に亘ってタングステン膜を堆積した後、該タングステン膜に対してエッチバックを行なうことにより、互いに対向する側壁絶縁膜 4 5 同士の間で且つ高濃度不純物拡散層 4 6 上に、パターニングされた第 1 の多結晶シリコン膜 4 2 よりも低い高さ位置を有する金属膜 4 7 を形成する。この場合、金属膜 4 7 としては約 4 0 0 以上の融点を有する膜を用いることが好ましい。また、金属膜 4 7 の高さ位置としては、パターニングされた第 1 の多結晶シリコン膜 4 2 の高さ位置の約半分程度が好ましい。その理由は、金属膜 4 7 の膜厚が大きくなると、金属膜 4 7 とパターニングされた第 1 の多結晶シリコン膜 4 2 とがショートする恐れが発生する一方、金属膜 4 7 の膜厚が小さ過ぎると、後に行なわれるエッチング工程において金属膜 4 7 が消滅する恐れがあるためである。

40

#### 【 0 1 7 2 】

次に、図 1 4 (c) に示すように、半導体基板 4 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば C M P 又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第 1 の多結晶シリコン膜 4 2 の上に存在する部分を除去することにより、互いに対向する側壁絶縁膜 4 5 同士の間で且つ金属膜 4 7 の上

50

に埋め込み絶縁膜 4 8 を形成する。この場合、パターニングされた第 1 の多結晶シリコン膜 4 2 の高さ位置と埋め込み絶縁膜 4 8 の高さ位置とはほぼ等しくなる。

【 0 1 7 3 】

次に、図 1 4 (d) に示すように、パターニングされた第 1 の多結晶シリコン膜 4 2 及び埋め込み絶縁膜 4 8 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ  $50 \text{ nm} \sim 200 \text{ nm}$  の厚さを有する第 2 の多結晶シリコン膜 4 9 を堆積する。

【 0 1 7 4 】

次に、第 2 の多結晶シリコン膜 4 9 及びパターニングされた第 1 の多結晶シリコン膜 4 2 に対して、ワード線方向に延びる第 2 のレジストパターン（図示は省略している）をマスクにして選択的エッチングを行なって、図 1 5 及び図 1 6 (a) ~ (d) に示すように、パターニングされた第 2 の多結晶シリコン膜 4 9 及びパターニングされた第 1 の多結晶シリコン膜 4 2 よりなるゲート電極を形成する。

【 0 1 7 5 】

第 4 の実施形態によると、互いに対向する側壁絶縁膜 4 5 同士の間で且つビット線となる高濃度不純物拡散層 4 6 上に金属膜 4 7 が設けられているため、ビット線の低抵抗化を図ることができる。

【 0 1 7 6 】

尚、第 4 の実施形態においては、p 型の不純物拡散層 4 3 及び n 型の低濃度不純物拡散層 4 4 を形成するためのマスクとして、図示しない第 1 のレジストパターンを用いたが、これに代えて、パターニングされた第 1 の多結晶シリコン膜 4 2 を用いてもよい。

【 0 1 7 7 】

また、第 4 の実施形態においては、第 1 の多結晶シリコン膜 4 2 及び第 2 の多結晶シリコン膜 4 9 としては、不純物がドープされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドープされていない多結晶シリコン膜を堆積した後不純物をドープしてもよい。

【 0 1 7 8 】

また、第 4 の実施形態における第 1 の多結晶シリコン膜 4 2 及び第 2 の多結晶シリコン膜 4 9 に代えて、アモルファスのシリコン膜を用いてもよい。

【 0 1 7 9 】

さらに、第 4 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

【 0 1 8 0 】

（第 5 の実施形態）

以下、本発明の第 5 の実施形態に係る半導体記憶装置及びその製造方法について、図 1 7 (a) ~ (d)、図 1 8 (a) ~ (d)、図 1 9 及び図 2 0 (a) ~ (d) を参照しながら説明する。尚、図 2 0 (a) は図 1 9 における XXA - XXA 線の断面構造を示し、図 2 0 (b) は図 1 9 における XXB - XXB 線の断面構造を示し、図 2 0 (c) は図 1 9 における XXC - XXC 線の断面構造を示し、図 2 0 (d) は図 1 9 における XXD - XXD 線の断面構造を示している。

【 0 1 8 1 】

まず、図 1 7 (a) に示すように、シリコン基板よりなる半導体基板 5 0 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり  $30 \text{ nm}$  の合計膜厚を有するトラップ膜 5 1 を堆積した後、図 1 7 (b) に示すように、トラップ膜 5 1 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ  $150 \text{ nm} \sim 300 \text{ nm}$  の厚さを有する第 1 の多結晶シリコン膜 5 2 を堆積する。

【 0 1 8 2 】

次に、第 1 の多結晶シリコン膜 5 2 及びトラップ膜 5 1 に対して、ビット線方向に延びる第 1 のレジストパターン（図示は省略している）をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 5 2 及びトラップ膜 5 1 をパターニングする。



## 【0183】

次に、図17(d)に示すように、半導体基板50に対してパターニングされた第1の多結晶シリコン膜52をマスクにしてp型の不純物例えばボロンを20keV~50keV及び $1 \times 10^{12} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入してp型の不純物拡散層53を形成した後、半導体基板50に対してパターニングされた第1の多結晶シリコン膜52をマスクにしてn型の不純物例えば砒素を20keV~50keV及び $1 \times 10^{14} \text{ cm}^{-2} \sim 1 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入してn型の低濃度不純物拡散層54を形成する。

## 【0184】

次に、図18(a)に示すように、半導体基板50の上に全面に亘って例えば50nm~200nmの膜厚を有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックして、パターニングされた第1の多結晶シリコン膜52の側面に側壁絶縁膜55を形成する。

10

## 【0185】

次に、図18(b)に示すように、半導体基板50に対して、パターニングされた第1の多結晶シリコン膜52及び側壁絶縁膜55をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、ビット線となるn型の高濃度不純物拡散層56を形成する。

## 【0186】

図18(c)に示すように、半導体基板50の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜52の上に存在する部分を除去することにより、互いに対向する側壁絶縁膜55同士の間で且つ高濃度不純物拡散層56の上に埋め込み絶縁膜57を形成する。この場合、パターニングされた第1の多結晶シリコン膜52の高さ位置と埋め込み絶縁膜57の高さ位置とはほぼ等しくなる。

20

## 【0187】

次に、図18(d)に示すように、パターニングされた第1の多結晶シリコン膜52及び埋め込み絶縁膜57の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーピングされ且つ50nm~200nmの厚さを有する第2の多結晶シリコン膜58を堆積する。

30

## 【0188】

次に、第2の多結晶シリコン膜58及びパターニングされた第1の多結晶シリコン膜52に対して、ワード線方向に延びる第2のレジストパターン(図示は省略している)をマスクにして選択的エッチングを行なって、図19及び図20(a)~(d)に示すように、パターニングされた第2の多結晶シリコン膜58及びパターニングされた第1の多結晶シリコン膜52よりなるゲート電極を形成する。

## 【0189】

第5の実施形態によると、第1の多結晶シリコン膜52及びトラップ膜51をパターニングし、ビット線となる領域において半導体基板50を露出させておいてから不純物をイオン注入してn型の低濃度不純物拡散層54を形成するため、トラップ膜51が残存した状態でイオン注入する場合(図9(d)を参照)に比べて、イオン注入の加速エネルギーを低くすることができる。すなわち、第3の実施形態のように、シリコン酸化膜、シリコン窒化膜及びシリコン酸化膜の積層膜よりなり30nmの膜厚を有するトラップ膜が残存する場合には、60keV以上の加速エネルギーが必要であるが、トラップ膜が除去されておれば、イオン注入装置の加速エネルギーの下限(現状では、10keV程度)まで加速エネルギーを低くすることができる。

40

## 【0190】

尚、第5の実施形態においては、イオン注入法によりn型の低濃度不純物拡散層54を形成したが、これに代えて、プラズマドーピング法又は固相拡散法により形成してもよい。

50

## 【 0 1 9 1 】

また、第 5 の実施形態においては、第 1 の多結晶シリコン膜 5 2 及び第 2 の多結晶シリコン膜 5 8 としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後に不純物をドーピングしてもよい。

## 【 0 1 9 2 】

また、第 5 の実施形態における第 1 の多結晶シリコン膜 5 2 及び第 2 の多結晶シリコン膜 5 8 に代えて、アモルファスのシリコン膜を用いてもよい。

## 【 0 1 9 3 】

さらに、第 5 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

10

## 【 0 1 9 4 】

( 第 6 の実施形態 )

以下、本発明の第 6 の実施形態に係る半導体記憶装置及びその製造方法について、図 2 1 (a) ~ (d)、図 2 2 (a) ~ (d)、図 2 3 (a) ~ (d)、図 2 4 及び図 2 5 (a) ~ (d) を参照しながら説明する。尚、図 2 5 (a) は図 2 4 における XXV A - XXV A 線の断面構造を示し、図 2 5 (b) は図 2 4 における XXV B - XXV B 線の断面構造を示し、図 2 5 (c) は図 2 4 における XXV C - XXV C 線の断面構造を示し、図 2 5 (d) は図 2 4 における XXV D - XXV D 線の断面構造を示している。

## 【 0 1 9 5 】

20

まず、図 2 1 (a) に示すように、シリコン基板よりなる半導体基板 6 0 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 3 0 n m の合計膜厚を有するトラップ膜 6 1 を堆積した後、図 2 1 (b) に示すように、トラップ膜 6 1 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 1 5 0 n m ~ 3 0 0 n m の厚さを有する第 1 の多結晶シリコン膜 6 2 を堆積する。

## 【 0 1 9 6 】

次に、図 2 1 (c) に示すように、第 1 の多結晶シリコン膜 6 2 に対して、ビット線方向に延びる第 1 のレジストパターン 6 3 をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 6 2 をパターンニングする。尚、このエッチング工程においては、後に行なう不純物の注入工程において半導体基板 6 0 の表面を保護するために、トラップ膜 6 1 を残存させておくことが好ましい。

30

## 【 0 1 9 7 】

次に、図 2 1 (d) に示すように、半導体基板 6 0 に対して第 1 のレジストパターン 6 3 をマスクにして n 型の不純物を例えば  $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、ビット線となる n 型の高濃度不純物拡散層 6 4 を形成する。

## 【 0 1 9 8 】

次に、図 2 2 (a) に示すように、半導体基板 6 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば CMP 又はエッチバックを行なって、該シリコン酸化膜におけるパターンニングされた第 1 の多結晶シリコン膜 6 2 の上に存在する部分を除去することにより、パターンニングされた第 1 の多結晶シリコン膜 6 2 同士の間で且つ高濃度不純物拡散層 6 4 の上に埋め込み絶縁膜 6 5 を形成する。この場合、パターンニングされた第 1 の多結晶シリコン膜 6 2 の高さ位置と埋め込み絶縁膜 6 5 の高さ位置とはほぼ等しくなる。

40

## 【 0 1 9 9 】

次に、図 2 2 (b) に示すように、パターンニングされた第 1 の多結晶シリコン膜 6 2 及び埋め込み絶縁膜 6 5 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 5 0 n m ~ 2 0 0 n m の厚さを有する第 2 の多結晶シリコン膜 6 6 を堆積する。

## 【 0 2 0 0 】

50

次に、図 2 2 (c) 及び (d) に示すように、第 2 の多結晶シリコン膜 6 6 及びパターンニングされた第 1 の多結晶シリコン膜 6 2 に対して、ワード線方向に延びる第 2 のレジストパターン（図示は省略している）をマスクにして選択的エッチングを行なう。尚、図 2 2 (c) は図 2 4 における XXVA - XXVA 線の断面構造と対応し、図 2 2 (d) は図 2 4 における XXVB - XXVB 線の断面構造と対応する。

#### 【 0 2 0 1 】

次に、図 2 3 (a) 及び (b) に示すように、半導体基板 6 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対してエッチバックを行なうことにより、埋め込み絶縁膜 6 5 の側面並びにパターンニングされた第 1 及び第 2 の多結晶シリコン膜 6 2 及び 6 6 の側面に側壁絶縁膜 6 7 を形成する（図 2 5 (c) 及び (d) を参照）。これにより、半導体基板 6 0 における高濃度不純物拡散層 6 4 の外側部分は埋め込み絶縁膜 6 5 及び側壁絶縁膜 6 7 により覆われる。尚、図 2 3 (a) は図 2 4 における XXVA - XXVA 線の断面構造と対応し、図 2 3 (b) は図 2 4 における XXVB - XXVB 線の断面構造と対応する。

#### 【 0 2 0 2 】

次に、図 2 3 (c) 及び (d) に示すように、半導体基板 6 0 の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、パターンニングされた第 2 の多結晶シリコン膜 6 6 の表面部及び半導体基板 6 0 における埋め込み絶縁膜 6 5 及び側壁絶縁膜 6 7 から露出している表面部にシリサイド層 6 8 を形成すると、図 2 4 及び図 2 5 (a) ~ (d) に示すように、表面部にシリサイド層 6 8 を有するパターンニングされた第 2 の多結晶シリコン膜 6 6 及びパターンニングされた第 1 の多結晶シリコン膜 6 2 よりなるゲート電極が得られる。

#### 【 0 2 0 3 】

第 6 の実施形態によると、ゲート電極を構成する第 2 の多結晶シリコン膜 6 6 の表面部にシリサイド層 6 8 が形成されるので、ゲート電極の低抵抗化を図ることができる。

#### 【 0 2 0 4 】

この場合、埋め込み絶縁膜 6 5 の側面に側壁絶縁膜 6 7 を形成して、半導体基板 6 0 における高濃度不純物拡散層 6 4 の外側部分を埋め込み絶縁膜 6 5 及び側壁絶縁膜 6 7 により覆っておいてからシリサイド層 6 8 を形成するため、高濃度不純物拡散層 6 4 同士が半導体基板 6 0 の表面部に形成されるシリサイド層 6 8 により短絡する事態を防止することができる（図 2 5 (b) を参照）。

#### 【 0 2 0 5 】

尚、第 6 の実施形態においては、尚、高濃度不純物拡散層 6 4 を形成するためのマスクとして、第 1 のレジストパターン 6 3 を用いたが、これに代えて、第 1 のレジストパターン 6 3 を除去して、パターンニングされた第 1 の多結晶シリコン膜 6 2 を用いてもよい。

#### 【 0 2 0 6 】

また、第 6 の実施形態においては、第 1 の多結晶シリコン膜 6 2 及び第 2 の多結晶シリコン膜 6 6 としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後不純物をドーピングしてもよい。

#### 【 0 2 0 7 】

また、第 6 の実施形態における第 1 の多結晶シリコン膜 6 2 及び第 2 の多結晶シリコン膜 6 6 に代えて、アモルファスのシリコン膜を用いてもよい。

#### 【 0 2 0 8 】

また、第 6 の実施形態においては、コバルト膜を堆積してシリサイド層 6 8 を形成したが、コバルト膜に代えて、チタン膜、ニッケル膜若しくはプラチナ膜の単層膜、又はこれらの積層膜を用いてもよい。

#### 【 0 2 0 9 】

さらに、第 6 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

#### 【 0 2 1 0 】

(第7の実施形態)

以下、本発明の第7の実施形態に係る半導体記憶装置及びその製造方法について、図26(a)～(d)、図27(a)～(d)、図28(a)～(d)、図29及び図30(a)～(d)を参照しながら説明する。尚、図30(a)は図29におけるXXXA-XXXA線の断面構造を示し、図30(b)は図29におけるXXXB-XXXB線の断面構造を示し、図30(c)は図29におけるXXXC-XXXC線の断面構造を示し、図30(d)は図29におけるXXXD-XXXD線の断面構造を示している。

【0211】

まず、図26(a)に示すように、シリコン基板よりなる半導体基板70のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり30nmの合計膜厚を有するトラップ膜71を堆積した後、図26(b)に示すように、トラップ膜71の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーピングされ且つ150nm～300nmの厚さを有する第1の多結晶シリコン膜72を堆積する。

【0212】

次に、図26(c)に示すように、第1の多結晶シリコン膜72に対して、ビット線方向に延びる第1のレジストパターン73をマスクにして選択的エッチングを行なって、第1の多結晶シリコン膜72をパターンニングする。

【0213】

次に、図26(d)に示すように、半導体基板70に対して第1のレジストパターン73をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、ビット線となるn型の高濃度不純物拡散層74を形成する。

【0214】

次に、図27(a)に示すように、半導体基板70の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターンニングされた第1の多結晶シリコン膜72の上に存在する部分を除去することにより、パターンニングされた第1の多結晶シリコン膜72同士の間で且つ高濃度不純物拡散層74の上に第1の埋め込み絶縁膜75を形成する。この場合、パターンニングされた第1の多結晶シリコン膜72の高さ位置と第1の埋め込み絶縁膜75の高さ位置とはほぼ等しくなる。

【0215】

次に、図27(b)に示すように、パターンニングされた第1の多結晶シリコン膜72及び第1の埋め込み絶縁膜75の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーピングされ且つ50nm～200nmの厚さを有する第2の多結晶シリコン膜76を堆積する。

【0216】

次に、図27(c)及び(d)に示すように、第2の多結晶シリコン膜76及びパターンニングされた第1の多結晶シリコン膜72に対して、ワード線方向に延びる第2のレジストパターン(図示は省略している)をマスクにして選択的エッチングを行なう。尚、図27(c)は図29におけるXXXA-XXXA線の断面構造と対応し、図27(d)は図29におけるXXXB-XXXB線の断面構造と対応する。

【0217】

次に、図28(a)及び(b)に示すように、半導体基板70の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターンニングされた第2の多結晶シリコン膜76の上に存在する部分を除去することにより、第2の埋め込み絶縁膜77を形成する。第2の埋め込み絶縁膜77は第1の埋め込み絶縁膜75を完全に覆っていると共に、第2の埋め込み絶縁膜77の高さ位置はパターンニングされた第2の多結晶シリコン膜76の高さ位置とほぼ等しい。図28(a)は図29におけるXXXA-XXXA線の断面構造と対応し、図28(b)は図29におけるXXXB-XXXB線の断面構造と対応する。

## 【 0 2 1 8 】

次に、図 2 8 (c) 及び (d) に示すように、半導体基板 7 0 の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、パターニングされた第 2 の多結晶シリコン膜 7 6 の表面部にシリサイド層 7 8 を形成すると、図 2 9 及び図 3 0 (a) ~ (d) に示すように、表面部にシリサイド層 7 8 を有するパターニングされた第 2 の多結晶シリコン膜 7 6 及びパターニングされた第 1 の多結晶シリコン膜 7 2 よりなるゲート電極が得られる。

## 【 0 2 1 9 】

尚、第 7 の実施形態においては、尚、高濃度不純物拡散層 7 4 を形成するためのマスクとして、第 1 のレジストパターン 7 3 を用いたが、これに代えて、第 1 のレジストパターン 7 3 を除去して、パターニングされた第 1 の多結晶シリコン膜 7 2 を用いてもよい。

10

## 【 0 2 2 0 】

また、第 7 の実施形態においては、第 1 の多結晶シリコン膜 7 2 及び第 2 の多結晶シリコン膜 7 6 としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後不純物をドーピングしてもよい。

## 【 0 2 2 1 】

また、第 7 の実施形態における第 1 の多結晶シリコン膜 7 2 及び第 2 の多結晶シリコン膜 7 6 に代えて、アモルファスのシリコン膜を用いてもよい。

## 【 0 2 2 2 】

また、第 7 の実施形態においては、コバルト膜を堆積してシリサイド層 7 8 を形成したが、コバルト膜に代えて、チタン膜、ニッケル膜又はプラチナ膜を堆積してもよい。

20

## 【 0 2 2 3 】

さらに、第 7 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

## 【 0 2 2 4 】

( 第 8 の実施形態 )

以下、本発明の第 8 の実施形態に係る半導体記憶装置及びその製造方法について、図 3 1 (a) ~ (c) 、図 3 2 (a) ~ (c) 、図 3 3 (a) ~ (d) 、図 3 4 及び図 3 5 (a) ~ (d) を参照しながら説明する。尚、図 3 5 (a) は図 3 4 における XXXV A - XXXV A 線の断面構造を示し、図 3 5 (b) は図 3 4 における XXXV B - XXXV B 線の断面構造を示し、図 3 5 (c) は図 3 4 における XXXV C - XXXV C 線の断面構造を示し、図 3 5 (d) は図 3 4 における XXXV D - XXXV D 線の断面構造を示している。

30

## 【 0 2 2 5 】

まず、図 3 1 (a) に示すように、シリコン基板よりなる半導体基板 8 0 のメモリ素子形成領域の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 3 0 n m の合計膜厚を有するトラップ膜 8 1 を堆積した後、図 3 1 (b) に示すように、トラップ膜 8 1 の上に、例えば燐が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 1 5 0 n m ~ 3 0 0 n m の厚さを有する多結晶シリコン膜 8 2 を堆積する。

## 【 0 2 2 6 】

次に、図 3 1 (c) に示すように、多結晶シリコン膜 8 2 に対して、ビット線方向に延びる第 1 のレジストパターン 8 3 をマスクにして選択的エッチングを行なって、多結晶シリコン膜 8 2 をパターニングする。

40

## 【 0 2 2 7 】

次に、図 3 2 (a) に示すように、半導体基板 8 0 に対して第 1 のレジストパターン 8 3 をマスクにして n 型の不純物を例えば  $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、ビット線となる n 型の高濃度不純物拡散層 8 4 を形成する。

## 【 0 2 2 8 】

次に、図 3 2 (b) に示すように、半導体基板 8 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば CMP 又はエッチバックを行なって、該シ

50

リコン酸化膜におけるパターニングされた多結晶シリコン膜 8 2 の上に存在する部分を除去することにより、パターニングされた多結晶シリコン膜 8 2 同士の間で且つ高濃度不純物拡散層 8 4 の上に埋め込み絶縁膜 8 5 を形成する。この場合、パターニングされた多結晶シリコン膜 8 2 の高さ位置と埋め込み絶縁膜 8 5 の高さ位置とはほぼ等しくなる。

【 0 2 2 9 】

次に、図 3 2 (c) に示すように、半導体基板 8 0 の上に全面に亘って、例えばタングステン膜よりなり 1 5 0 n m の膜厚を有する金属膜 8 6 及び例えばシリコン窒化膜よりなり 1 0 0 n m の膜厚を有するカバー絶縁膜 8 7 を順次堆積する。

【 0 2 3 0 】

次に、図 3 3 (a) 及び(b) に示すように、カバー絶縁膜 8 7、金属膜 8 6 及びパターニングされた多結晶シリコン膜 8 2 に対して、ワード線方向に延びる第 2 のレジストパターン (図示は省略している) をマスクにして選択的エッチングを行なう。尚、図 3 3 (a) は図 3 4 における XXXV A - XXXV A 線の断面構造と対応し、図 3 3 (b) は図 3 4 における XXXV B - XXXV B 線の断面構造と対応する。

【 0 2 3 1 】

次に、図 3 3 (c) 及び(d) に示すように、半導体基板 8 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対してエッチバックを行なうことにより、埋め込み絶縁膜 8 5 の側面並びにパターニングされたカバー絶縁膜 8 7、金属膜 8 6 及び多結晶シリコン膜 8 2 の側面に側壁絶縁膜 8 8 を形成する (図 3 5 (c) 及び(d) を参照)。尚、図 3 3 (c) は図 3 4 における XXXV A - XXXV A 線の断面構造と対応し、図 3 3 (d) は図 3 4 における XXXV B - XXXV B 線の断面構造と対応する。

【 0 2 3 2 】

このようにすると、図 3 4 及び図 3 5 (a) ~ (d) に示すように、パターニングされた金属膜 8 6 の側面が側壁絶縁膜 8 8 により覆われると共に、高濃度不純物拡散層 8 4 は埋め込み絶縁膜 8 5 及び側壁絶縁膜 8 8 により覆われる。また、パターニングされた多結晶シリコン膜 8 2 及びパターニングされた金属膜 8 6 よりなるゲート電極が得られる。

【 0 2 3 3 】

第 8 の実施形態によると、金属膜 8 6 の上にカバー絶縁膜 8 7 が形成されているため、金属膜 8 6 は多結晶シリコン膜 8 2 から剥がれ難くなる。

【 0 2 3 4 】

尚、第 8 の実施形態においては、尚、高濃度不純物拡散層 8 4 を形成するためのマスクとして、第 1 のレジストパターン 8 3 を用いたが、これに代えて、第 1 のレジストパターン 8 3 を除去して、パターニングされた多結晶シリコン膜 8 2 を用いてもよい。

【 0 2 3 5 】

また、第 8 の実施形態においては、多結晶シリコン膜 8 2 としては、不純物がドーブされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーブされていない多結晶シリコン膜を堆積した後不純物をドーブしてもよい。

【 0 2 3 6 】

また、第 8 の実施形態における多結晶シリコン膜 8 2 に代えて、アモルファスのシリコン膜を用いてもよい。

【 0 2 3 7 】

また、第 8 の実施形態においては、タングステン膜よりなる金属膜 8 8 を堆積したが、タングステン膜に代えて、チタン膜又はシリサイド膜を用いてもよい。

【 0 2 3 8 】

さらに、第 8 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

【 0 2 3 9 】

( 第 9 の実施形態 )

以下、本発明の第 9 の実施形態に係る半導体記憶装置及びその製造方法について、図 3 6 (a) ~ (d) 、図 3 7 (a) ~ (c) 、図 3 8 及び図 3 9 (a) ~ (d) を参照しながら説明する

10

20

30

40

50

。尚、図39(a)は図38におけるXXXIXA - XXXIXA線の断面構造を示し、図39(b)は図38におけるXXXIXB - XXXIXB線の断面構造を示し、図39(c)は図38におけるXXXIXC - XXXIXC線の断面構造を示し、図39(d)は図38におけるXXXIXD - XXXIXD線の断面構造を示している。

【0240】

まず、図36(a)に示すように、シリコン基板よりなる半導体基板90のメモリ素子領域の上に、例えばシリコン酸化膜よりなり6nm~15nmの厚さを有するトンネル絶縁膜91を形成した後、図36(b)に示すように、トンネル絶縁膜91の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーパされ且つ150nm~300nmの厚さを有する第1の多結晶シリコン膜92を堆積する。

10

【0241】

次に、図36(c)に示すように、第1の多結晶シリコン膜92に対して、ビット線方向に延びる第1のレジストパターン93をマスクにして選択的エッチングを行なって、第1の多結晶シリコン膜92をパターニングする。

【0242】

次に、図36(d)に示すように、半導体基板90に対して第1のレジストパターン93をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、ビット線となるn型の高濃度不純物拡散層94を形成する。

【0243】

次に、図37(a)に示すように、半導体基板90の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜92の上に存在する部分を除去することにより、パターニングされた第1の多結晶シリコン膜92同士の間で且つ高濃度不純物拡散層94の上に埋め込み絶縁膜95を形成する。この場合、パターニングされた第1の多結晶シリコン膜92の高さ位置と埋め込み絶縁膜95の高さ位置とはほぼ等しくなる。

20

【0244】

次に、図37(b)に示すように、パターニングされた第1の多結晶シリコン膜92及び埋め込み絶縁膜95の上に、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなる電極間絶縁膜96を堆積した後、該電極間絶縁膜96の上に、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーパされ且つ50nm~200nmの厚さを有する第2の多結晶シリコン膜97を堆積する。

30

【0245】

次に、第2の多結晶シリコン膜97、電極間絶縁膜96及びパターニングされた第1の多結晶シリコン膜92に対して、ワード線方向に延びる第2のレジストパターン(図示は省略している)をマスクにして選択的エッチングを行なって、図38及び図39(a)~(d)に示すように、パターニングされた第2の多結晶シリコン膜97よりなるゲート電極と、パターニングされた電極間絶縁膜96と、パターニングされた第1の多結晶シリコン膜92よりなる浮遊電極とを有するメモリ素子を形成する。

【0246】

40

第9の実施形態によると、ビット線となる高濃度不純物拡散層94の上側にビット線方向に延びる埋め込み絶縁膜95が設けられていると共に、浮遊電極を構成するパターニングされた第1の多結晶シリコン膜92は埋め込み絶縁膜95により互いに分離されているため、浮遊電極と電極間絶縁膜とゲート電極とからなるメモリ素子同士の間にはLOCOS分離領域を設ける必要がなくなる。パターニングされた第1の多結晶シリコン膜92は埋め込み絶縁膜95により互いに分離されているが、パターニングされた第1の多結晶シリコン膜92同士は第2の多結晶シリコン膜97により電氣的に接続されているため、支障はない。

【0247】

従って、第9の実施形態によると、半導体記憶装置の微細化を実現することができる。

50

## 【 0 2 4 8 】

尚、第 9 の実施形態においては、トンネル絶縁膜 9 1 としては、シリコン酸化膜を用いたが、これに代えて、シリコン窒化膜を用いてもよい。

## 【 0 2 4 9 】

また、第 9 の実施形態においては、高濃度不純物拡散層 9 4 を形成するためのマスクとして、第 1 のレジストパターン 9 3 を用いたが、これに代えて、第 1 のレジストパターン 9 3 を除去して、パターニングされた第 1 の多結晶シリコン膜 9 2 を用いてもよい。

## 【 0 2 5 0 】

また、第 9 の実施形態においては、第 1 の多結晶シリコン膜 9 2 及び第 2 の多結晶シリコン膜 9 7 としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後に不純物をドーピングしてもよい。

10

## 【 0 2 5 1 】

また、第 9 の実施形態における第 1 の多結晶シリコン膜 9 2 及び第 2 の多結晶シリコン膜 9 7 に代えて、アモルファスのシリコン膜を用いてもよい。

## 【 0 2 5 2 】

さらに、第 9 の実施形態においては、n 型のメモリ素子を形成したが、これに代えて、p 型のメモリ素子を形成してもよい。

## 【 0 2 5 3 】

ところで、第 9 の実施形態は、第 1 の実施形態に比べて、ゲート電極の構成が異なるのみであり、ビット線となる不純物拡散層の構成及び埋め込み絶縁膜の構成については第 1 の実施形態と同様である。従って、第 9 の実施形態によると、第 1 の実施形態と同様の効果を得ることができる。

20

## 【 0 2 5 4 】

尚、詳細な説明は省略するが、第 2 ～第 8 の実施形態におけるゲート電極を第 9 の実施形態と同様の構成にすることができる。このようにすると、第 2 ～第 8 の実施形態と同様の効果を得ることができる。

## 【 0 2 5 5 】

( 第 1 0 の実施形態 )

以下、本発明の第 1 0 の実施形態に係る半導体記憶装置及びその製造方法について、図 4 0 (a) ～ (d) 、図 4 1 (a) ～ (c) 、図 4 2 (a) ～ (c) 及び図 4 3 (a) ～ (c) を参照しながら説明する。尚、これらの図において、左側の図面はメモリ素子形成領域のゲート電極部分を示し、中央の図面はメモリ素子形成領域のゲート電極間の部分を示し、右側の図面は論理回路領域を示している。

30

## 【 0 2 5 6 】

まず、図 4 0 (a) に示すように、シリコン基板よりなる半導体基板 1 0 0 にトレンチ素子分離 1 0 1 を形成した後、図 4 0 (b) に示すように、半導体基板 1 0 0 の上に全面に亘って、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり 3 0 n m の合計膜厚を有するトラップ膜 1 0 2 を堆積する。

## 【 0 2 5 7 】

次に、図 4 0 (c) に示すように、トラップ膜 1 0 2 に対して第 1 のレジストパターン 1 0 3 をマスクにして選択的エッチングを行なって、トラップ膜 1 0 2 における論理回路領域を除去した後、図 4 0 (d) に示すように、半導体基板 1 0 0 の表面部を酸化して、半導体基板 1 0 0 の論理回路領域の表面部に、例えば 2 n m ～ 2 5 n m の厚さを持つゲート絶縁膜 1 0 4 を形成する。

40

## 【 0 2 5 8 】

次に、図 4 1 (a) に示すように、半導体基板 1 0 0 の上に全面に亘って、例えば磷が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ 1 5 0 n m ～ 3 0 0 n m の厚さを有する第 1 の多結晶シリコン膜 1 0 5 を堆積する。

## 【 0 2 5 9 】

50



次に、図 4 1 (b) に示すように、第 1 の多結晶シリコン膜 1 0 5 に対して第 2 のレジストパターン（図示は省略している）をマスクにして選択的エッチングを行なって、第 1 の多結晶シリコン膜 1 0 5 をパターンニングした後、半導体基板 1 0 0 に対してパターンニングされた第 1 の多結晶シリコン膜 1 0 5 をマスクにして n 型の不純物を例えば  $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$  の条件でイオン注入して、メモリ素子形成領域に、ビット線となる n 型の高濃度不純物拡散層 1 0 6 を形成する。

【 0 2 6 0 】

次に、図 4 1 (c) に示すように、半導体基板 1 0 0 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば CMP 又はエッチバックを行なって、該シリコン酸化膜におけるパターンニングされた第 1 の多結晶シリコン膜 1 0 5 の上に存在する部分を除去することにより、パターンニングされた第 1 の多結晶シリコン膜 1 0 5 同士の間で且つ高濃度不純物拡散層 1 0 6 の上に埋め込み絶縁膜 1 0 7 を形成する。この場合、パターンニングされた第 1 の多結晶シリコン膜 1 0 5 の高さ位置と埋め込み絶縁膜 1 0 7 の高さ位置とはほぼ等しくなる。

【 0 2 6 1 】

次に、図 4 2 (a) に示すように、パターンニングされた第 1 の多結晶シリコン膜 1 0 5 及び埋め込み絶縁膜 1 0 7 の上に、例えば磷が  $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$  ドープされ且つ  $50 \text{ nm} \sim 200 \text{ nm}$  の厚さを有する第 2 の多結晶シリコン膜 1 0 8 を堆積する。

【 0 2 6 2 】

次に、図 4 2 (b) に示すように、第 2 の多結晶シリコン膜 1 0 8 及びパターンニングされた第 1 の多結晶シリコン膜 1 0 5 に対して第 3 のレジストパターン 1 0 9 をマスクにして選択的エッチングを行なって、メモリ素子形成領域において、パターンニングされた第 2 の多結晶シリコン膜 1 0 8 及びパターンニングされた第 1 の多結晶シリコン膜 1 0 5 よりなる第 1 のゲート電極を形成すると共に、論理回路領域において、パターンニングされた第 2 の多結晶シリコン膜 1 0 8 及びパターンニングされた第 1 の多結晶シリコン膜 1 0 5 よりなる第 2 のゲート電極を形成する。

【 0 2 6 3 】

次に、図 4 2 (c) に示すように、論理回路領域において、半導体基板 1 0 0 に対して第 2 のゲート電極をマスクにして不純物をイオン注入して、低濃度不純物拡散層 1 1 0 を形成する。

【 0 2 6 4 】

次に、図 4 3 (a) に示すように、半導体基板 1 0 0 の上に全面に亘って例えば  $50 \text{ nm} \sim 200 \text{ nm}$  の厚さを有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックすることにより、メモリ素子領域においては、埋め込み絶縁膜 1 0 7 の側面に側壁絶縁膜 1 1 1 を形成すると共に、論理回路領域においては、第 2 のゲート電極の側面に側壁絶縁膜 1 1 1 を形成する。次に、論理回路領域において、ゲート絶縁膜 1 0 4 に対して第 2 のゲート電極及び側壁絶縁膜 1 1 1 をマスクにして選択的エッチングを行なって、ゲート絶縁膜 1 0 4 をパターンニングする。この場合、メモリ素子領域においては、トラップ膜 1 0 2 がパターンニングされる。

【 0 2 6 5 】

次に、図 4 3 (b) に示すように、論理回路領域において、半導体基板 1 0 0 に対して第 2 のゲート電極及び側壁絶縁膜 1 1 1 をマスクにして不純物を選択的にイオン注入して、ドレイン領域又はソース領域となる高濃度不純物拡散層 1 1 2 を形成する。

【 0 2 6 6 】

次に、図 4 3 (c) に示すように、半導体基板 1 0 0 の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、メモリ素子領域の第 1 のゲート電極の表面部にシリサイド層 1 1 3 を形成すると共に、論理回路領域の第 2 のゲート電極の表面部にシリサイド層 1 1 3 を形成すると、第 1 0 の実施形態に係る半導体記憶装置が得られる。

【 0 2 6 7 】

第10の実施形態によると、メモリ素子を構成する第1のゲート電極と、論理回路を構成するトランジスタの第2のゲート電極とを同じ工程で形成できるので、工程数の低減を図ることができる。

【0268】

また、第1のゲート電極の表面部のシリサイド層113と、第2のゲート電極の表面部のシリサイド層113とを同じ工程で形成できるので、工程数の低減を図ることができる。

【0269】

また、メモリ素子領域における埋め込み絶縁膜107の側面の側壁絶縁膜111と、論理回路を構成するトランジスタの第2のゲート電極の側面の側壁絶縁膜111とを同じ工程で形成できるので、工程数の低減を図ることができる。

10

【0270】

尚、第10の実施形態においては、第1の多結晶シリコン膜105及び第2の多結晶シリコン膜108としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後に不純物をドーピングしてもよい。

【0271】

また、第10の実施形態における第1の多結晶シリコン膜105及び第2の多結晶シリコン膜108に代えて、アモルファスのシリコン膜を用いてもよい。

【0272】

20

さらに、第10の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

【0273】

(第11の実施形態)

以下、本発明の第11の実施形態に係る半導体記憶装置及びその製造方法について、図44(a)～(c)、図45(a)～(c)、図46(a)～(c)、図47(a)～(c)及び図48(a)、(b)を参照しながら説明する。尚、これらの図において、左側の図面はメモリ素子形成領域のゲート電極部分を示し、中央の図面はメモリ素子形成領域のゲート電極間の部分を示し、右側の図面は論理回路領域を示している。

【0274】

30

まず、図44(a)に示すように、シリコン基板よりなる半導体基板120にトレンチ素子分離121を形成した後、図44(b)に示すように、半導体基板120の上に全面に亘って、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり30nmの合計膜厚を有するトラップ膜122を堆積する。

【0275】

次に、図44(c)に示すように、トラップ膜122に対して第1のレジストパターン123をマスクにして選択的エッチングを行なって、トラップ膜122における論理回路領域を除去した後、図45(a)に示すように、半導体基板120の表面部を酸化して、半導体基板120の論理回路領域の表面部に、例えば2nm～25nmの厚さを持つゲート絶縁膜124を形成する。

40

【0276】

次に、図45(b)に示すように、半導体基板120の上に全面に亘って、例えば磷が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーピングされ且つ150nm～300nmの厚さを有する多結晶シリコン膜125を堆積する。

【0277】

次に、図45(c)に示すように、多結晶シリコン膜125に対して第2のレジストパターン(図示は省略している)をマスクにして選択的エッチングを行なって、多結晶シリコン膜125をパターニングした後、半導体基板120に対してパターニングされた多結晶シリコン膜125をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、メモリ素子形成領域に、ビット線となるn型の高

50

濃度不純物拡散層 126 を形成する。

【0278】

次に、図 46 (a) に示すように、半導体基板 120 の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えば CMP 又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた多結晶シリコン膜 125 の上に存在する部分を除去することにより、パターニングされた多結晶シリコン膜 125 同士の間で且つ高濃度不純物拡散層 126 の上に埋め込み絶縁膜 127 を形成する。この場合、パターニングされた多結晶シリコン膜 125 の高さ位置と埋め込み絶縁膜 127 の高さ位置とはほぼ等しくなる。

【0279】

次に、図 46 (b) に示すように、半導体基板 120 の上に全面に亘って、例えばタンゲステン膜よりなり 150 nm の膜厚を有する金属膜 128 及び例えばシリコン窒化膜よりなり 100 nm の膜厚を有するカバー絶縁膜 129 を順次堆積する。

【0280】

次に、図 46 (c) に示すように、カバー絶縁膜 129、金属膜 128 及びパターニングされた多結晶シリコン膜 125 に対して第 3 のレジストパターン 130 をマスクにして選択的エッチングを行なって、メモリ素子形成領域において、パターニングされた金属膜 128 及びパターニングされた多結晶シリコン膜 125 よりなる第 1 のゲート電極を形成すると共に、論理回路領域において、パターニングされた金属膜 128 及びパターニングされた多結晶シリコン膜 125 よりなる第 2 のゲート電極を形成する。

【0281】

次に、図 47 (b) に示すように、論理回路領域において、半導体基板 120 に対して第 2 のゲート電極をマスクにして不純物をイオン注入して、低濃度不純物拡散層 130 を形成する。

【0282】

次に、図 47 (c) に示すように、半導体基板 120 の上に全面に亘って例えば 50 nm ~ 200 nm の厚さを有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックすることにより、メモリ素子領域においては、埋め込み絶縁膜 127 の側面に側壁絶縁膜 131 を形成すると共に、論理回路領域においては、第 2 のゲート電極の側面に側壁絶縁膜 131 を形成する。その後、論理回路領域において、ゲート絶縁膜 124 に対して第 2 のゲート電極及び側壁絶縁膜 131 をマスクに選択的エッチングを行なって、ゲート絶縁膜 124 をパターニングする。この場合、メモリ素子領域においては、トラップ膜 122 がパターニングされる。

【0283】

次に、図 48 (a) に示すように、論理回路領域において、半導体基板 120 に対して第 2 のゲート電極及び側壁絶縁膜 131 をマスクにして不純物を選択的にイオン注入して、ドレイン領域又はソース領域となる高濃度不純物拡散層 132 を形成する。

【0284】

次に、図 48 (b) に示すように、半導体基板 120 の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、高濃度不純物拡散層 132 の表面部にシリサイド層 133 を形成すると、第 11 の実施形態に係る半導体記憶装置が得られる。この際、メモリ素子領域におけるゲート電極間部分においても、シリサイド層 133 が形成される。

【0285】

第 11 の実施形態によると、メモリ素子を構成するポリメタル構造の第 1 のゲート電極と、論理回路を構成するトランジスタのポリメタル構造のゲート電極とを同じ工程で形成できるので、工程数の低減を図ることができる。

【0286】

尚、第 11 の実施形態においては、多結晶シリコン膜 125 としては、不純物がドーブされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーブされていない多結晶シリコン膜を堆積した後に不純物をドーブしてもよい。

10

20

30

40

50

## 【0287】

また、第11の実施形態における多結晶シリコン膜125に代えて、アモルファスのシリコン膜を用いてもよい。

## 【0288】

さらに、第11の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

## 【0289】

(第12の実施形態)

以下、本発明の第12の実施形態に係る半導体記憶装置及びその製造方法について、図49(a)～(c)、図50(a)～(c)、図51(a)～(c)、図52(a)～(c)及び図53(a)～(c)を参照しながら説明する。尚、これらの図において、左側の図面はメモリ素子形成領域のゲート電極部分を示し、中央の図面はメモリ素子形成領域のゲート電極間の部分を示し、右側の図面は論理回路領域を示している。

10

## 【0290】

まず、図49(a)に示すように、シリコン基板よりなる半導体基板140にトレンチ素子分離141を形成した後、図49(b)に示すように、半導体基板140の上に全面に亘って、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなり30nmの合計膜厚を有するトラップ膜142を堆積する。

## 【0291】

図49(c)に示すように、半導体基板140の上に全面に亘って、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーパされ且つ150nm～300nmの厚さを有する第1の多結晶シリコン膜143を堆積する。

20

## 【0292】

次に、図50(a)に示すように、第1の多結晶シリコン膜143に対してマスク(図示は省略している)を用いて選択的エッチングを行なって、第1の多結晶シリコン膜143をパターニングした後、半導体基板140に対してパターニングされた第1の多結晶シリコン膜143をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、メモリ素子形成領域に、ビット線となるn型の高濃度不純物拡散層144を形成する。

## 【0293】

30

次に、図50(c)に示すように、半導体基板140の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜143の上に存在する部分を除去することにより、パターニングされた第1の多結晶シリコン膜143同士の間で且つ高濃度不純物拡散層144の上に埋め込み絶縁膜145を形成する。この場合、パターニングされた第1の多結晶シリコン膜143の高さ位置と埋め込み絶縁膜145の高さ位置とはほぼ等しくなる。

## 【0294】

次に、図50(c)に示すように、パターニングされた第1の多結晶シリコン膜143及び埋め込み絶縁膜145の上に、例えばシリコン窒化膜よりなり100nmの厚さを有する保護膜146を堆積する。

40

## 【0295】

次に、図51(a)に示すように、論理回路領域において、保護膜146、パターニングされた第1の多結晶シリコン膜143及びトラップ膜142を順次除去した後、図51(b)に示すように、半導体基板140の表面部を酸化して、例えば2nm～25nmの厚さを有するゲート絶縁膜147を形成する。

## 【0296】

次に、図51(c)に示すように、半導体基板140の上に全面に亘って、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドーパされ且つ50nm～200nmの厚さを有する第2の多結晶シリコン膜148を堆積する。

50

## 【0297】

次に、図52(a)に示すように、第2の多結晶シリコン膜148及びパターンニングされた第1の多結晶シリコン膜143に対して第1のレジストパターン149をマスクにして選択的エッチングを行なって、メモリ素子領域において、パターンニングされた第2の多結晶シリコン膜148及びパターンニングされた第1の多結晶シリコン膜143よりなる第1のゲート電極を形成する。

## 【0298】

次に、図52(b)に示すように、第2の多結晶シリコン膜147に対して第2のレジストパターン150をマスクにして選択的エッチングを行なって、論理回路領域において、パターンニングされた第2の多結晶シリコン膜148よりなる第2のゲート電極を形成する。

10

## 【0299】

次に、図52(c)に示すように、第2のレジストパターン150を除去した後、論理回路領域において、半導体基板140に対して第2のゲート電極をマスクにして不純物をイオン注入して、低濃度不純物拡散層151を形成する。

## 【0300】

次に、図53(a)に示すように、半導体基板140の上に全面に亘って例えば50nm~200nmの厚さを有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックすることにより、メモリ素子領域においては、埋め込み絶縁膜145の側面に側壁絶縁膜152を形成すると共に、論理回路領域においては、第2のゲート電極の側面に側壁絶縁膜152を形成する。次に、論理回路領域において、ゲート絶縁膜147に対して第2のゲート電極及び側壁絶縁膜152をマスクに選択的エッチングを行なって、ゲート絶縁膜147をパターンニングする。この場合、メモリ素子領域においては、トラップ膜142がパターンニングされる。

20

## 【0301】

次に、図53(b)に示すように、論理回路領域において、半導体基板140に対して第2のゲート電極及び側壁絶縁膜152をマスクにして不純物を選択的にイオン注入して、ドレイン領域又はソース領域となる高濃度不純物拡散層153を形成する。

## 【0302】

次に、図53(c)に示すように、半導体基板140の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、メモリ素子領域の第1のゲート電極の表面部にシリサイド層154を形成すると共に、論理回路領域の第2のゲート電極の表面部にシリサイド層154を形成すると、第12の実施形態に係る半導体記憶装置が得られる。

30

## 【0303】

第12の実施形態によると、論理回路を構成するトランジスタの第2のゲート電極は、パターン化された第2の多結晶シリコン膜147のみからなるので、第2のゲート電極の微細化を図ることができる。

## 【0304】

尚、第12の実施形態においては、第1の多結晶シリコン膜143及び第2の多結晶シリコン膜147としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後、不純物をドーピングしてもよい。

40

## 【0305】

また、第12の実施形態における第1の多結晶シリコン膜143及び第2の多結晶シリコン膜147に代えて、アモルファスのシリコン膜を用いてもよい。

## 【0306】

さらに、第12の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

## 【0307】

(第13の実施形態)

50

以下、本発明の第13の実施形態に係る半導体記憶装置及びその製造方法について、図54(a)～(c)、図55(a)～(c)、図56(a)～(c)、図57(a)～(c)及び図58(a)～(c)を参照しながら説明する。尚、これらの図において、左側の図面はメモリ素子形成領域のゲート電極部分を示し、中央の図面はメモリ素子形成領域のゲート電極間の部分を示し、右側の図面は論理回路領域を示している。

【0308】

まず、図54(a)に示すように、シリコン基板よりなる半導体基板160にトレンチ素子分離161を形成した後、図54(b)に示すように、半導体基板160の上に全面に亘って、例えばシリコン酸化膜よりなり6nm～15nmの厚さを有するトンネル絶縁膜162を形成する。

10

【0309】

次に、半導体基板160の上に全面に亘って、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドープされ且つ150nm～300nmの厚さを有する第1の多結晶シリコン膜163を堆積する。

【0310】

次に、図55(a)に示すように、第1の多結晶シリコン膜163をパターニングした後、半導体基板160に対してパターニングされた第1の多結晶シリコン膜163をマスクにしてn型の不純物を例えば $1 \times 10^{15} \text{ cm}^{-2} \sim 1 \times 10^{16} \text{ cm}^{-2}$ の条件でイオン注入して、メモリ素子形成領域に、ビット線となるn型の高濃度不純物拡散層164を形成する。

20

【0311】

次に、図55(b)に示すように、半導体基板160の上に全面に亘ってシリコン酸化膜を堆積した後、該シリコン酸化膜に対して例えばCMP又はエッチバックを行なって、該シリコン酸化膜におけるパターニングされた第1の多結晶シリコン膜163の上に存在する部分を除去することにより、パターニングされた第1の多結晶シリコン膜163同士の間で且つ高濃度不純物拡散層164の上に埋め込み絶縁膜165を形成する。この場合、パターニングされた第1の多結晶シリコン膜163の高さ位置と埋め込み絶縁膜165の高さ位置とはほぼ等しくなる。

【0312】

次に、図55(c)に示すように、例えばシリコン酸化膜と、シリコン窒化膜と、シリコン酸化膜との積層膜よりなる電極間絶縁膜166を堆積する。

30

【0313】

次に、図56(a)に示すように、論理回路領域において、電極間絶縁膜166、パターニングされた第1の多結晶シリコン膜163及びトンネル絶縁膜162を順次除去した後、図56(b)に示すように、半導体基板160の表面部を酸化して、例えば2nm～25nmの厚さを有するゲート絶縁膜167を形成する。

【0314】

次に、図56(c)に示すように、半導体基板160の上に全面に亘って、例えば燐が $1 \times 10^{20} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ ドープされ且つ50nm～200nmの厚さを有する第2の多結晶シリコン膜168を堆積する。

40

【0315】

次に、図57(a)に示すように、第2の多結晶シリコン膜168及びパターニングされた第1の多結晶シリコン膜163に対して第1のレジストパターン169をマスクにして選択的エッチングを行なって、メモリ素子領域において、パターニングされた第2の多結晶シリコン膜168よりなる第1のゲート電極と、パターニングされた電極間絶縁膜166と、パターニングされた第1の多結晶シリコン膜163よりなる浮遊電極とを有するメモリ素子を形成する。

【0316】

次に、図57(b)に示すように、第2の多結晶シリコン膜168に対して第2のレジストパターン170をマスクにして選択的エッチングを行なって、論理回路領域において、

50

パターンニングされた第2の多結晶シリコン膜168よりなる第2のゲート電極を形成する。

【0317】

次に、図57(c)に示すように、第2のレジストパターン170を除去した後、論理回路領域において、半導体基板160に対して第2のゲート電極をマスクにして不純物をイオン注入して、低濃度不純物拡散層171を形成する。

【0318】

次に、図58(a)に示すように、半導体基板170の上に全面に亘って例えば50nm~200nmの厚さを有するシリコン酸化膜を堆積した後、該シリコン酸化膜をエッチバックすることにより、メモリ素子領域においては、埋め込み絶縁膜165の側面に側壁絶縁膜172を形成すると共に、論理回路領域においては、第2のゲート電極の側面に側壁絶縁膜172を形成する。次に、論理回路領域において、ゲート絶縁膜167に対して第2のゲート電極及び側壁絶縁膜172をマスクに選択的エッチングを行なって、ゲート絶縁膜167をパターンニングする。この場合、メモリ素子領域においては、トンネル絶縁膜162がパターンニングされる。

10

【0319】

次に、図58(b)に示すように、論理回路領域において、半導体基板160に対して第2のゲート電極及び側壁絶縁膜172をマスクにして不純物を選択的にイオン注入して、ドレイン領域又はソース領域となる高濃度不純物拡散層173を形成する。

【0320】

20

次に、図58(c)に示すように、半導体基板160の上に全面に亘ってコバルト膜を堆積した後、熱処理を施すことにより、メモリ素子領域の第1のゲート電極の表面部にシリサイド層174を形成すると共に、論理回路領域の第2のゲート電極の表面部にシリサイド層157を形成すると、第13の実施形態に係る半導体記憶装置が得られる。

【0321】

尚、第13の実施形態においては、第1の多結晶シリコン膜163及び第2の多結晶シリコン膜167としては、不純物がドーピングされてなる多結晶シリコン膜を堆積したが、これに代えて、不純物がドーピングされていない多結晶シリコン膜を堆積した後、不純物をドーピングしてもよい。

【0322】

30

また、第13の実施形態における第1の多結晶シリコン膜163及び第2の多結晶シリコン膜167に代えて、アモルファスのシリコン膜を用いてもよい。

【0323】

さらに、第13の実施形態においては、n型のメモリ素子を形成したが、これに代えて、p型のメモリ素子を形成してもよい。

【0324】

第13の実施形態によると、メモリ素子を構成する第1のゲート電極と、論理回路を構成するトランジスタの第2のゲート電極とを実質的に同じ工程で形成できるので、工程数の低減を図ることができる。この場合、第2のゲート電極は、パターンニングされた第2の多結晶シリコン膜167のみにより形成したため、第2のゲート電極の微細化を図ることが

40

【0325】

また、第1のゲート電極の表面部のシリサイド層174と、第2のゲート電極の表面部のシリサイド層174とを同じ工程で形成できるので、工程数の低減を図ることができる。

【0326】

また、メモリ素子領域における埋め込み絶縁膜165の側面の側壁絶縁膜172と、論理回路を構成するトランジスタの第2のゲート電極の側面の側壁絶縁膜172とを同じ工程で形成できるので、工程数の低減を図ることができる。

【0327】

50

ところで、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態としては、第1の実施形態と対応する第9の実施形態と、第12の実施形態と対応する第13の実施形態のみを示したが、これ以外に、第2、第3、第4、第5、第6及び第7の実施形態と対応する実施形態も当然に実施することが可能である。

【0328】

第2の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜21に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜26の下側に電極間絶縁膜を堆積するとよい。

【0329】

第3の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜31に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜38の下側に電極間絶縁膜を堆積するとよい。

10

【0330】

第4の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜41に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜49の下側に電極間絶縁膜を堆積するとよい。

【0331】

第5の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜51に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜58の下側に電極間絶縁膜を堆積するとよい。

20

【0332】

第6の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜61に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜66の下側に電極間絶縁膜を堆積するとよい。

【0333】

第7の実施形態を、浮遊電極、電極間絶縁膜及びゲート電極よりなるメモリ素子を有する実施形態に対応させる場合には、トラップ膜71に代えてトンネル絶縁膜を形成すると共に、第2の多結晶シリコン膜76の下側に電極間絶縁膜を堆積するとよい。

【産業上の利用可能性】

【0334】

30

本発明に係る第1～第3の半導体記憶装置並びに第1～第6の半導体記憶装置の製造方法によると、半導体記憶装置の微細化及びビット線の低抵抗化を実現できると共に、ゲート電極に対してサイサイドを行なうことが可能になる。

【図面の簡単な説明】

【0335】

【図1】(a)～(c)は第1の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図2】(a)～(c)は第1の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図3】第1の実施形態に係る半導体記憶装置の断面斜視図である。

40

【図4】(a)は図3におけるIVA-IVA線の断面図であり、4(b)は図3におけるIVB-IVB線の断面図であり、(c)は図3におけるIVC-IVC線の断面図であり、(d)は図3におけるIVD-IVD線の断面図である。

【図5】(a)～(d)は第2の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図6】(a)～(d)は第2の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図7】第2の実施形態に係る半導体記憶装置の断面斜視図である。

【図8】(a)は図7におけるVIII A-VIII A線の断面図であり、(b)は図7におけるVIII B-VIII B線の断面構造図であり、(c)は図7におけるVIII C-VIII C線の断面図であり

50



、(d) は図 7 におけるVIII D - VIII D 線の断面図である。

【図 9】(a) ~ (d) は第 3 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 10】(a) ~ (d) は第 3 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 11】第 3 の実施形態に係る半導体記憶装置の斜視図である。

【図 12】(a) は図 11 におけるXII A - XII A 線の断面図であり、(b) は図 11 におけるXII B - XII B 線の断面図であり、(c) は図 11 におけるXII C - XII C 線の断面図であり、(d) は図 11 におけるXII D - XII D 線の断面図である。

【図 13】(a) ~ (e) は第 4 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

10

【図 14】(a) ~ (d) は第 4 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 15】第 4 の実施形態に係る半導体記憶装置の斜視図である。

【図 16】(a) は図 15 におけるXVI A - XVI A 線の断面図であり、(b) は図 15 におけるXVI B - XVI B 線の断面図であり、(c) は図 15 におけるXVI C - XVI C 線の断面図であり、(d) は図 15 におけるXVI D - XVI D 線の断面図である。

【図 17】(a) ~ (d) は第 5 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 18】(a) ~ (d) は第 5 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

20

【図 19】第 5 の実施形態に係る半導体記憶装置の斜視図である。

【図 20】(a) は図 19 におけるXX A - XX A 線の断面図であり、(b) は図 19 におけるXX B - XX B 線の断面図であり、(c) は図 19 におけるXX C - XX C 線の断面図であり、(d) は図 19 におけるXX D - XX D 線の断面図である。

【図 21】(a) ~ (d) は第 6 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 22】(a) ~ (d) は第 6 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 23】(a) ~ (d) は第 6 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

30

【図 24】第 6 の実施形態に係る半導体記憶装置の斜視図である。

【図 25】(a) は図 24 におけるXXV A - XXV A 線の断面図であり、(b) は図 24 におけるXXV B - XXV B 線の断面図であり、(c) は図 24 におけるXXV C - XXV C 線の断面図であり、(d) は図 24 におけるXXV D - XXV D 線の断面図である。

【図 26】(a) ~ (d) は第 7 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 27】(a) ~ (d) は第 7 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 28】(a) ~ (d) は第 7 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

40

【図 29】第 7 の実施形態に係る半導体記憶装置の斜視図である。

【図 30】(a) は図 29 におけるXXX A - XXX A 線の断面図であり、(b) は図 29 におけるXXX B - XXX B 線の断面図であり、(c) は図 29 におけるXXX C - XXX C 線の断面図であり、(d) は図 29 におけるXXX D - XXX D 線の断面図である。

【図 31】(a) ~ (d) は第 8 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 32】(a) ~ (c) は第 8 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 33】(a) ~ (d) は第 8 の実施形態に係る半導体記憶装置の製造方法の各工程を示す

50

断面図である。

【図 3 4】第 8 の実施形態に係る半導体記憶装置の斜視図である。

【図 3 5】(a) は図 3 4 における XXXV A - XXXV A 線の断面図であり、(b) は図 3 4 における XXXV B - XXXV B 線の断面図であり、(c) は図 3 4 における XXXV C - XXXV C 線の断面図であり、(d) は図 3 4 における XXXV D - XXXV D 線の断面図である。

【図 3 6】(a) ~ (d) は第 9 の実施形態に係る半導体記憶装置の製造方法の各工程を説明する断面図である。

【図 3 7】(a) ~ (c) は第 9 の実施形態に係る半導体記憶装置の製造方法の各工程を説明する断面図である。

【図 3 8】第 9 の実施形態に係る半導体記憶装置の斜視図である。

10

【図 3 9】(a) は図 3 8 における XXXIX A - XXXIX A 線の断面図であり、(b) は図 3 8 における XXXIX B - XXXIX B 線の断面図であり、(c) は図 3 8 における XXXIX C - XXXIX C 線の断面図であり、(d) は図 3 8 における XXXIX D - XXXIX D 線の断面図である。

【図 4 0】(a) ~ (d) は第 10 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 1】(a) ~ (c) は第 10 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 2】(a) ~ (c) は第 10 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 3】(a) ~ (c) は第 10 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

20

【図 4 4】(a) ~ (c) は第 11 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 5】(a) ~ (c) は第 11 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 6】(a) ~ (c) は第 11 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 7】(a) ~ (c) は第 11 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 4 8】(a) 、(b) は第 11 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

30

【図 4 9】(a) ~ (c) は第 12 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 0】(a) ~ (c) は第 12 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 1】(a) ~ (c) は第 12 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 2】(a) ~ (c) は第 12 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 3】(a) ~ (c) は第 12 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

40

【図 5 4】(a) ~ (c) は第 13 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 5】(a) ~ (c) は第 13 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 6】(a) ~ (c) は第 13 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 7】(a) ~ (c) は第 13 の実施形態に係る半導体記憶装置の製造方法の各工程を示す断面図である。

【図 5 8】(a) ~ (c) は第 13 の実施形態に係る半導体記憶装置の製造方法の各工程を示

50

す断面図である。

【図 5 9】(a) ~ (d) は従来の半導体記憶装置の製造方法の各工程を示す断面図である。

【図 6 0】従来の半導体記憶装置の平面図である。

【符号の説明】

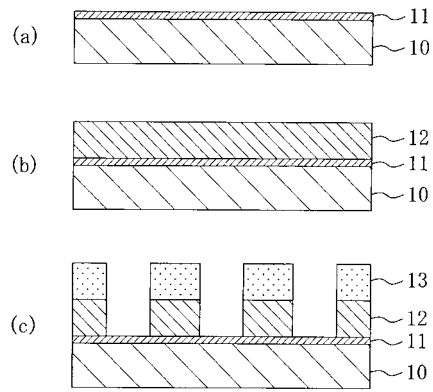
【 0 3 3 6 】

1 0	半導体基板	
1 1	トラップ膜	
1 2	第 1 の多結晶シリコン膜	
1 3	第 1 のレジストパターン	
1 4	高濃度不純物拡散層	10
1 5	埋め込み絶縁膜	
1 6	第 2 の多結晶シリコン膜	
2 0	半導体基板	
2 1	トラップ膜	
2 2	第 1 の多結晶シリコン膜	
2 3	側壁絶縁膜	
2 4	高濃度不純物拡散層	
2 5	埋め込み絶縁膜	
2 6	第 2 の多結晶シリコン膜	
3 0	半導体基板	20
3 1	トラップ膜	
3 2	第 1 の多結晶シリコン膜	
3 3	不純物拡散層	
3 4	低濃度不純物拡散層	
3 5	側壁絶縁膜	
3 6	高濃度不純物拡散層	
3 7	埋め込み絶縁膜	
3 8	第 2 の多結晶シリコン膜	
4 0	半導体基板	
4 1	トラップ膜	30
4 2	第 1 の多結晶シリコン膜	
4 3	不純物拡散層	
4 4	低濃度不純物拡散層	
4 5	側壁絶縁膜	
4 6	高濃度不純物拡散層	
4 7	金属膜	
4 8	埋め込み絶縁膜	
4 9	第 2 の多結晶シリコン膜	
5 0	半導体基板	
5 1	トラップ膜	40
5 2	第 1 の多結晶シリコン膜	
5 3	不純物拡散層	
5 4	低濃度不純物拡散層	
5 5	側壁絶縁膜	
5 6	高濃度不純物拡散層	
5 7	埋め込み絶縁膜	
5 8	第 2 の多結晶シリコン膜	
6 0	半導体基板	
6 1	トラップ膜	
6 2	第 1 の多結晶シリコン膜	50

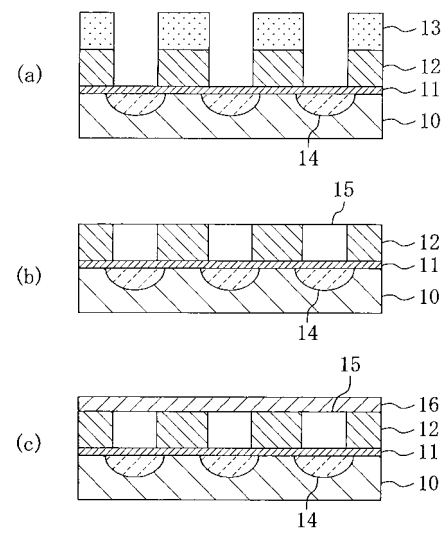
6 3	第 1 のレジストパターン	
6 4	高濃度不純物拡散層	
6 5	埋め込み絶縁膜	
6 6	第 2 の多結晶シリコン膜	
6 7	側壁絶縁膜	
6 8	シリサイド層	
7 0	半導体基板	
7 1	トラップ膜	
7 2	第 1 の多結晶シリコン膜	
7 3	第 1 のレジストパターン	10
7 4	高濃度不純物拡散層	
7 5	第 1 の埋め込み絶縁膜	
7 6	第 2 の多結晶シリコン膜	
7 7	第 2 の埋め込み絶縁膜	
7 8	シリサイド層	
8 0	半導体基板	
8 1	トラップ膜	
8 2	多結晶シリコン膜	
8 3	第 1 のレジストパターン	
8 4	高濃度不純物拡散層	20
8 5	埋め込み絶縁膜	
8 6	金属膜	
8 7	カバー絶縁膜	
8 8	側壁絶縁膜	
9 0	半導体基板	
9 1	トンネル絶縁膜	
9 2	第 1 の多結晶シリコン膜	
9 3	第 1 のレジストパターン	
9 4	高濃度不純物拡散層	
9 5	埋め込み絶縁膜	30
9 6	電極間絶縁膜	
9 7	第 2 の多結晶シリコン膜	
1 0 0	半導体基板	
1 0 1	トレンチ素子分離	
1 0 2	トラップ膜	
1 0 3	第 1 のレジストパターン	
1 0 4	ゲート絶縁膜	
1 0 5	第 1 の多結晶シリコン膜	
1 0 6	高濃度不純物拡散層	
1 0 7	埋め込み絶縁膜	40
1 0 8	第 2 の多結晶シリコン膜	
1 0 9	第 3 のレジストパターン	
1 1 0	低濃度不純物拡散層	
1 1 1	側壁絶縁膜	
1 1 2	高濃度不純物拡散層	
1 2 0	半導体基板	
1 2 1	トレンチ素子分離	
1 2 2	トラップ膜	
1 2 3	第 1 のレジストパターン	
1 2 4	ゲート絶縁膜	50

1 2 5	多結晶シリコン膜	
1 2 6	高濃度不純物拡散層	
1 2 7	埋め込み絶縁膜	
1 2 8	金属膜	
1 2 9	カバー絶縁膜	
1 3 0	第 3 のレジストパターン	
1 3 1	側壁絶縁膜	
1 3 2	高濃度不純物拡散層	
1 3 3	シリサイド層	
1 4 0	半導体基板	10
1 4 1	トレンチ素子分離	
1 4 2	トラップ膜	
1 4 3	第 1 の多結晶シリコン膜	
1 4 4	高濃度不純物拡散層	
1 4 5	埋め込み絶縁膜	
1 4 6	保護膜	
1 4 7	ゲート絶縁膜	
1 4 8	第 2 の多結晶シリコン膜	
1 5 0	第 2 のレジストパターン	
1 5 1	低濃度不純物拡散層	20
1 5 2	側壁絶縁膜	
1 5 3	高濃度不純物拡散層	
1 5 4	シリサイド層	
1 6 0	半導体基板	
1 6 1	トレンチ素子分離	
1 6 2	トンネル絶縁膜	
1 6 3	第 1 の多結晶シリコン膜	
1 6 4	高濃度不純物拡散層	
1 6 5	埋め込み絶縁膜	
1 6 6	電極間絶縁膜	30
1 6 7	ゲート絶縁膜	
1 6 8	第 2 の多結晶シリコン膜	
1 6 9	第 1 のレジストパターン	
1 7 0	第 2 のレジストパターン	
1 7 1	低濃度不純物拡散層	
1 7 2	側壁絶縁膜	
1 7 3	高濃度不純物拡散層	
1 7 4	シリサイド層	

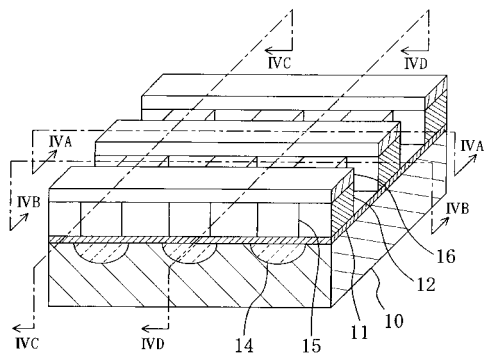
【図 1】



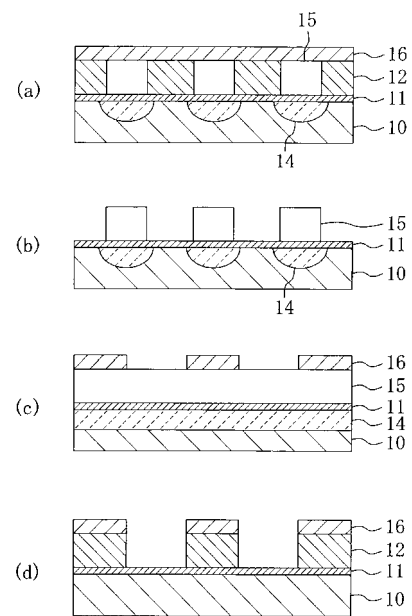
【図 2】



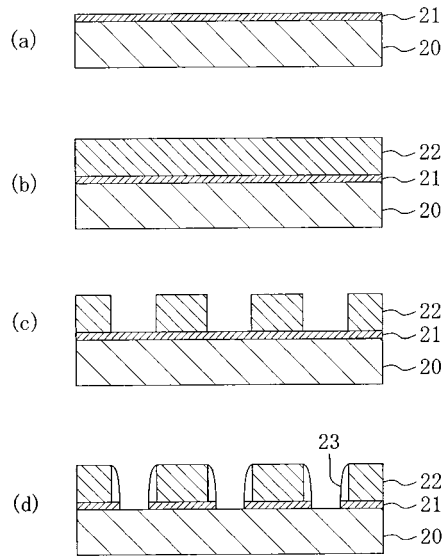
【図 3】



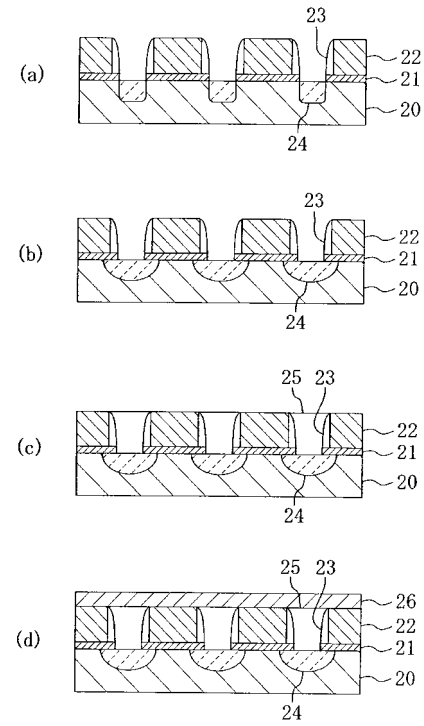
【図 4】



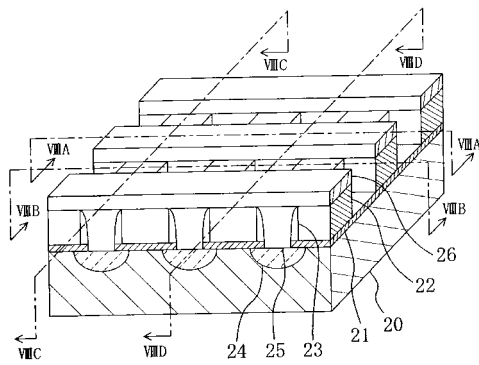
【図 5】



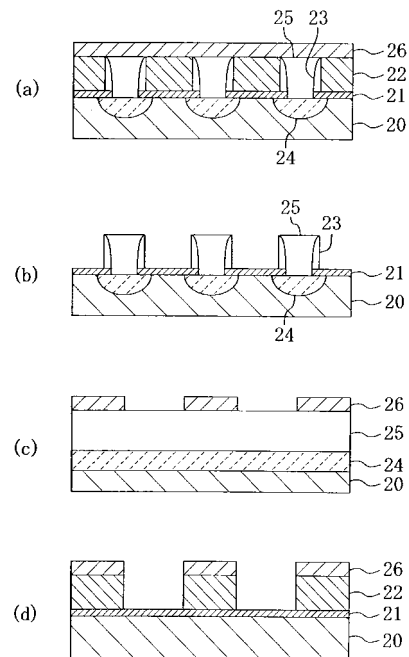
【図 6】



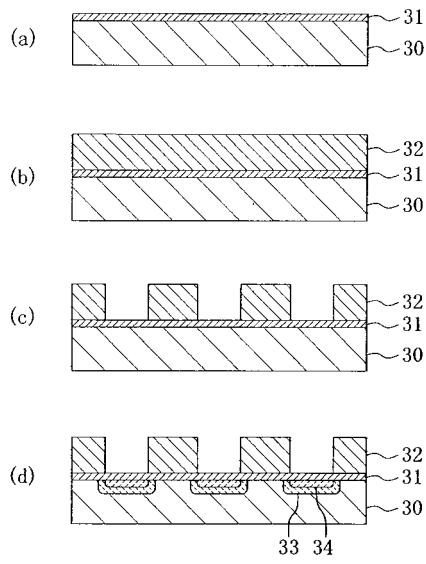
【図 7】



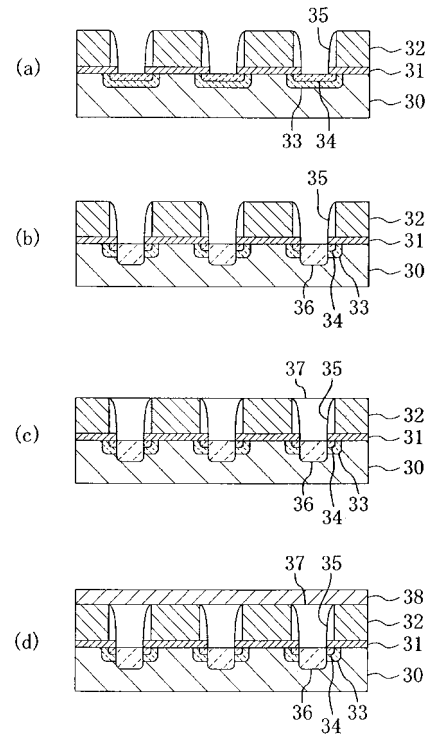
【図 8】



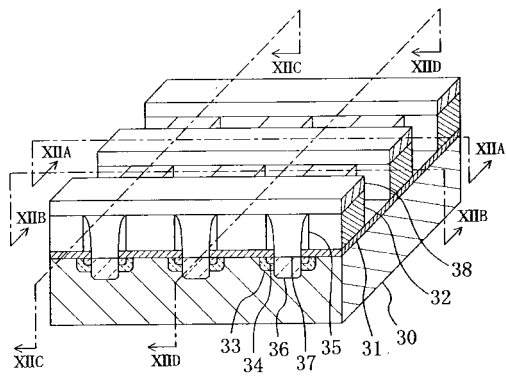
【図 9】



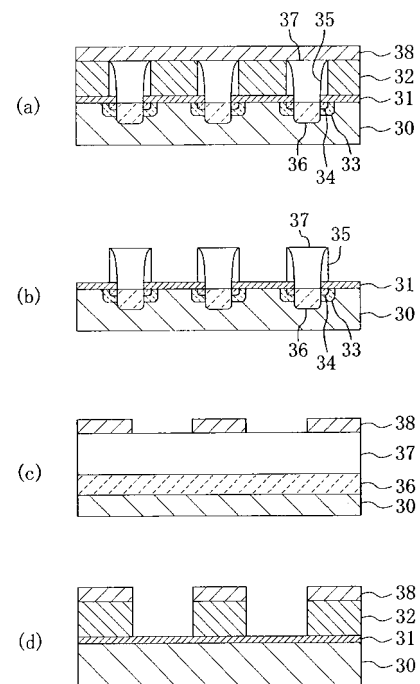
【図 10】



【図 11】

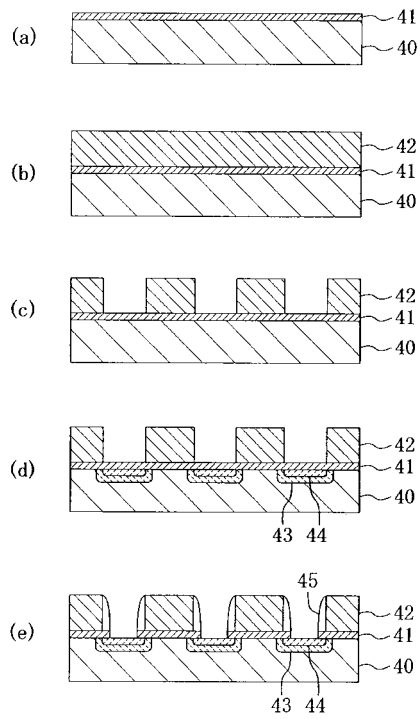


【図 12】

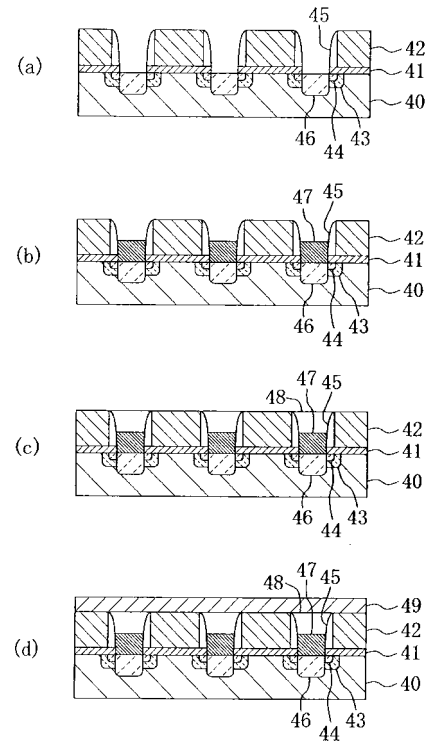




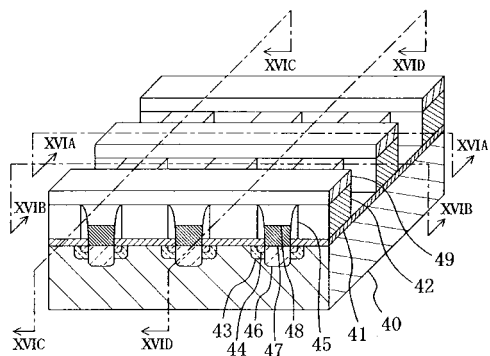
【図 13】



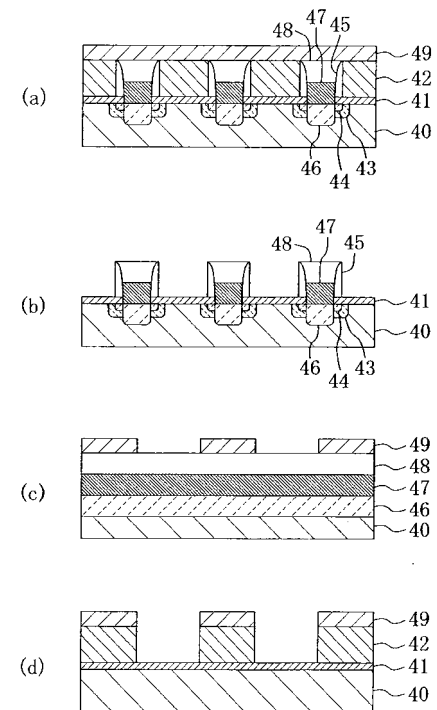
【図 14】



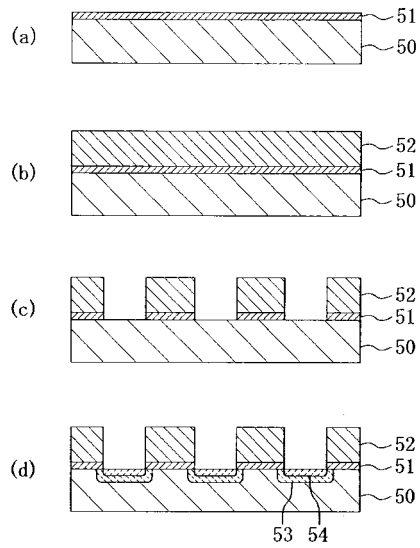
【図 15】



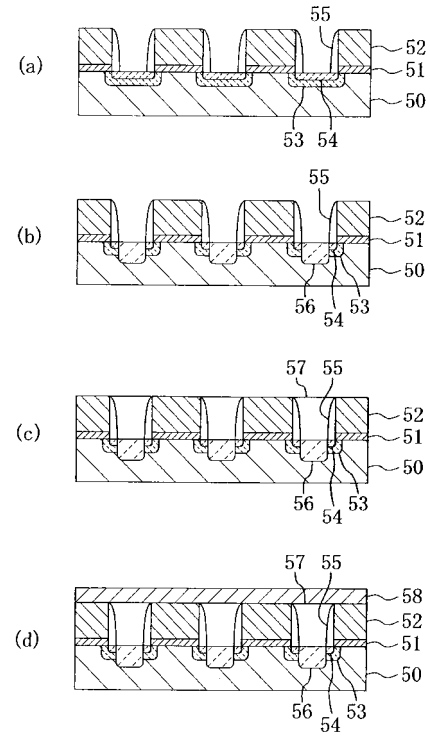
【図 16】



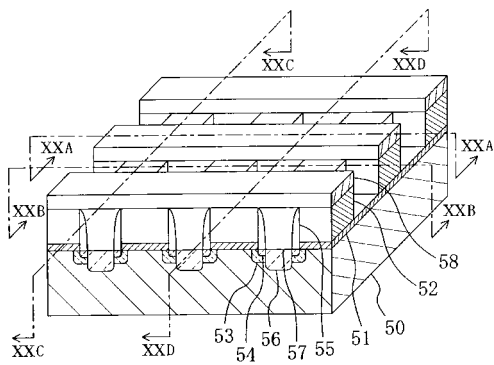
【図 17】



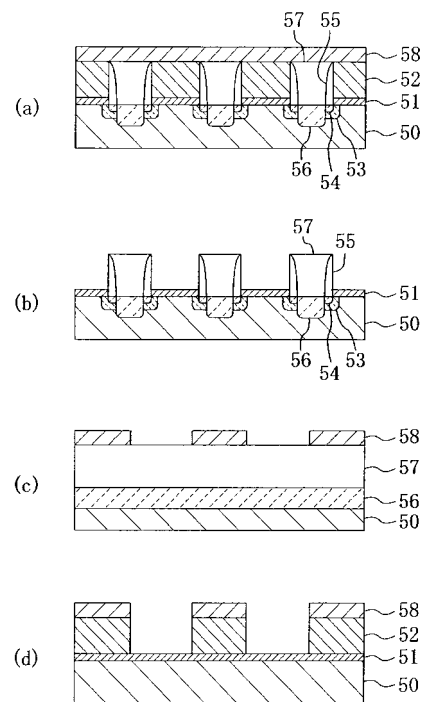
【図 18】



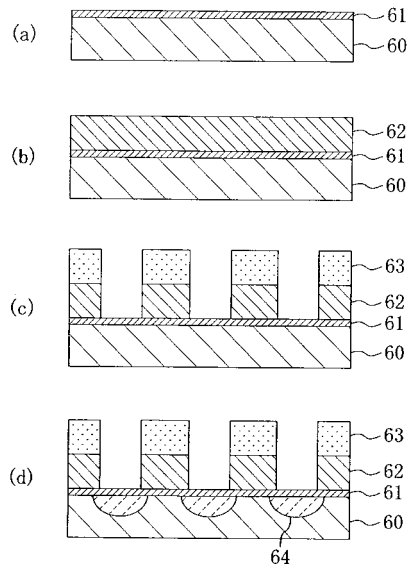
【図 19】



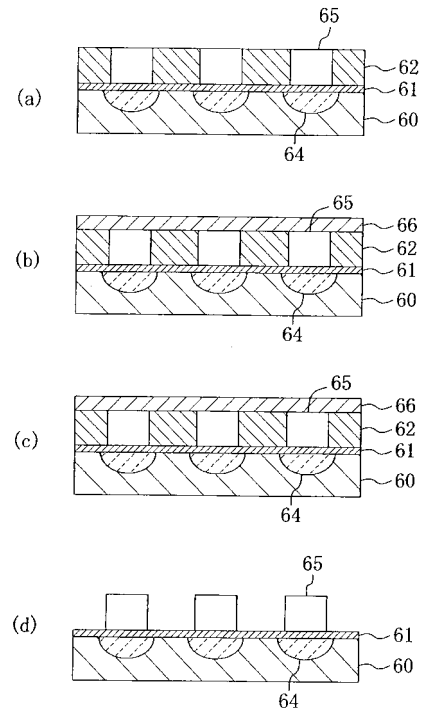
【図 20】



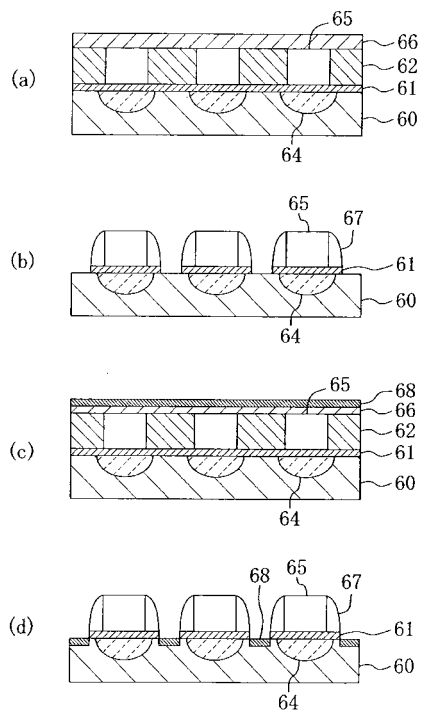
【図 2 1】



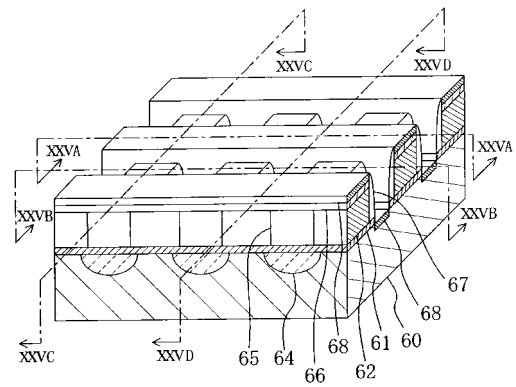
【図 2 2】



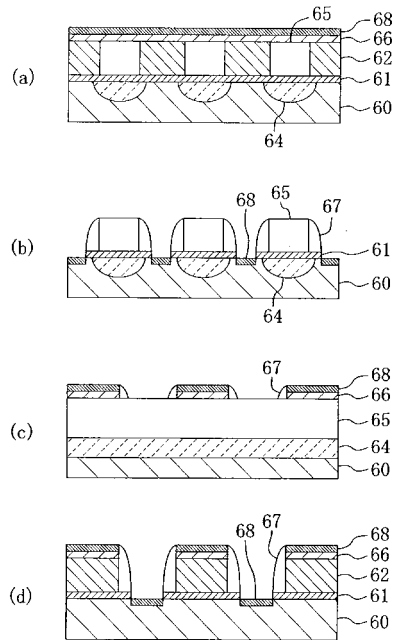
【図 2 3】



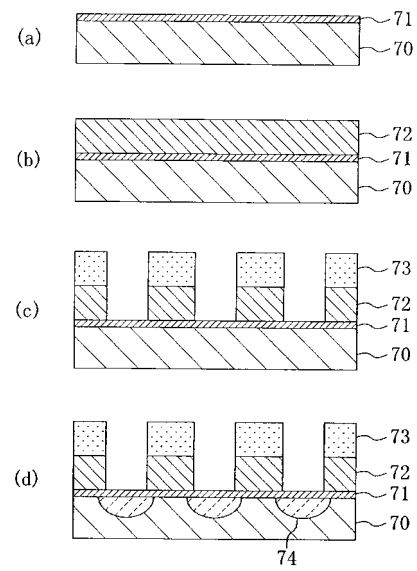
【図 2 4】



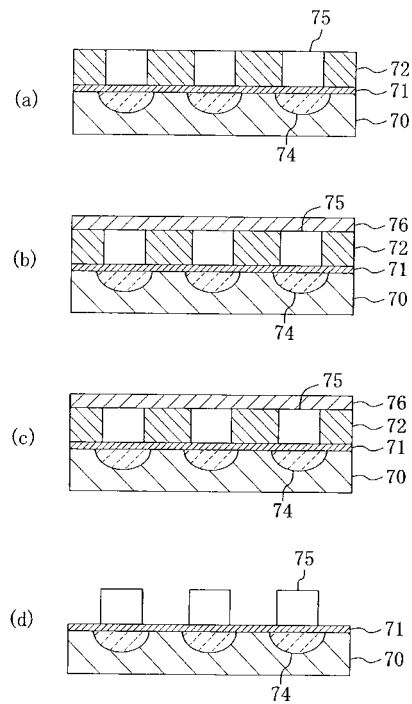
【図 25】



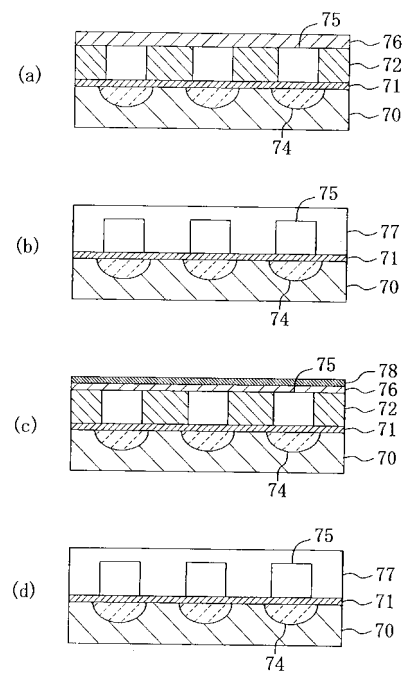
【図 26】



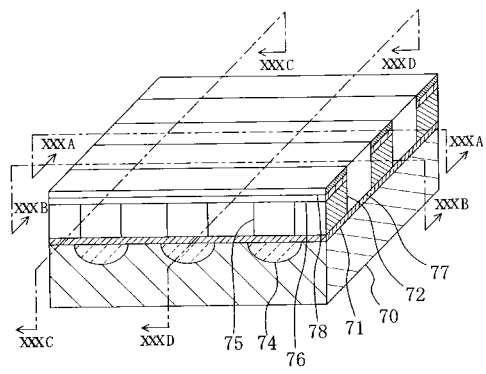
【図 27】



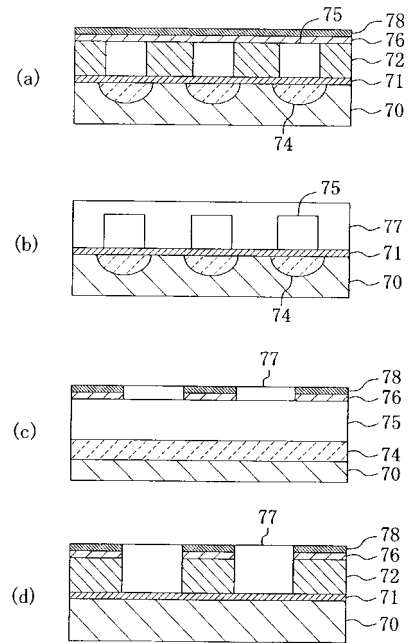
【図 28】



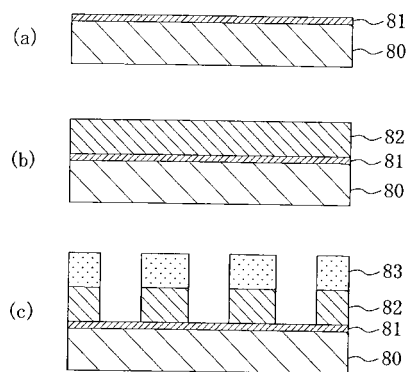
【図 29】



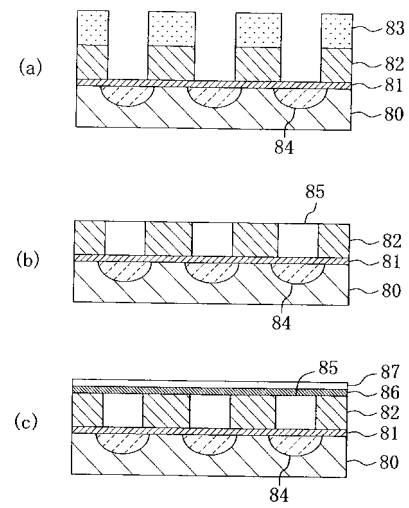
【図 30】



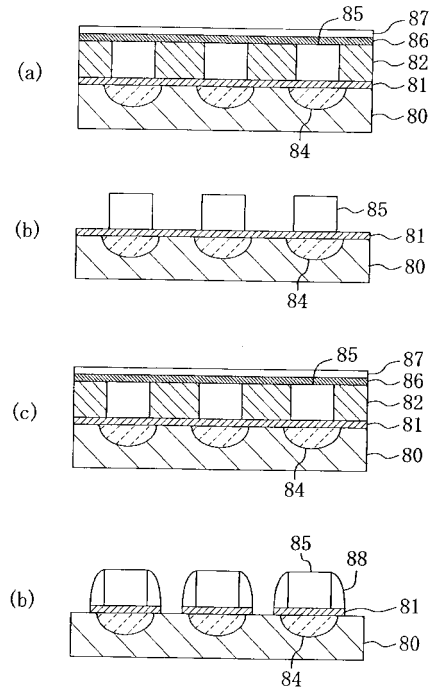
【図 31】



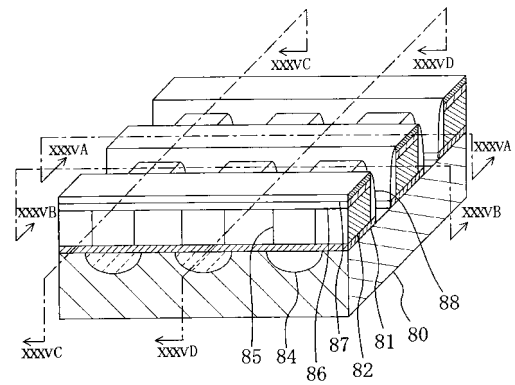
【図 32】



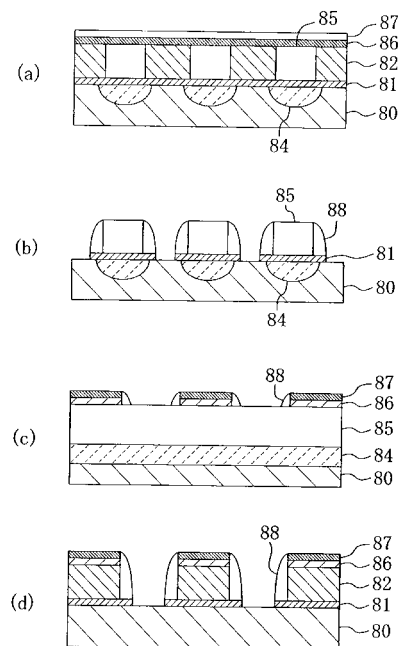
【図 3 3】



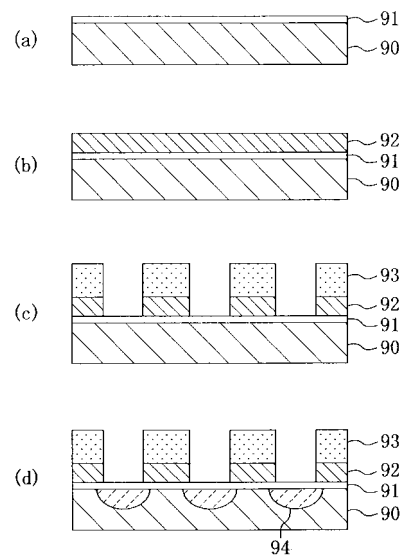
【図 3 4】



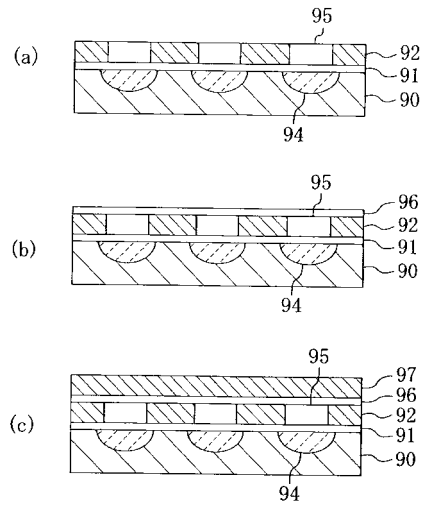
【図 3 5】



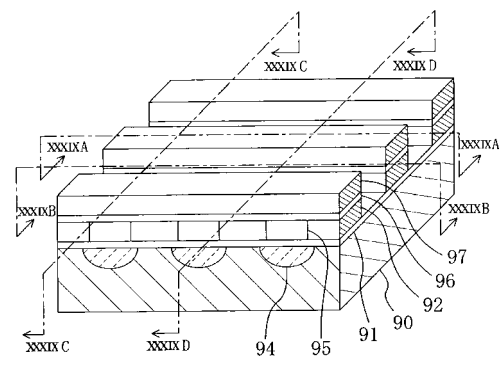
【図 3 6】



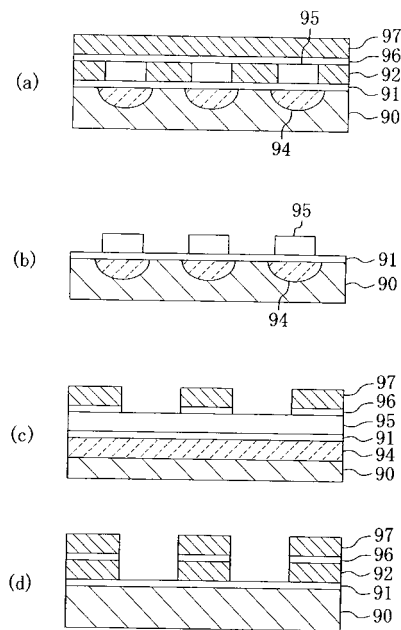
【図 37】



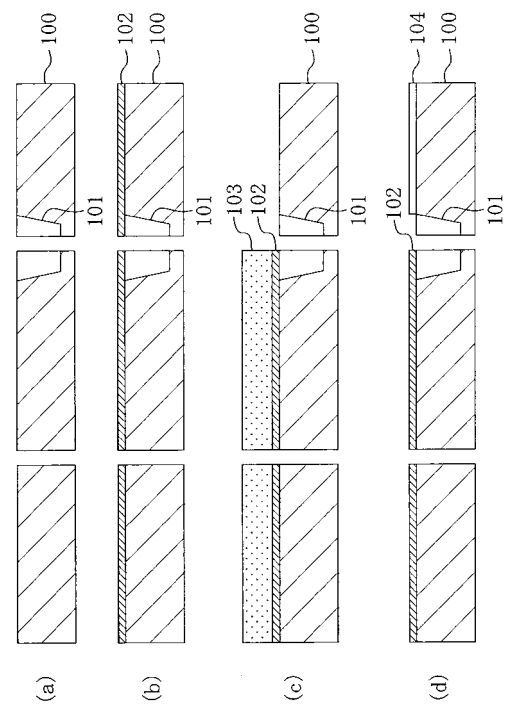
【図 38】



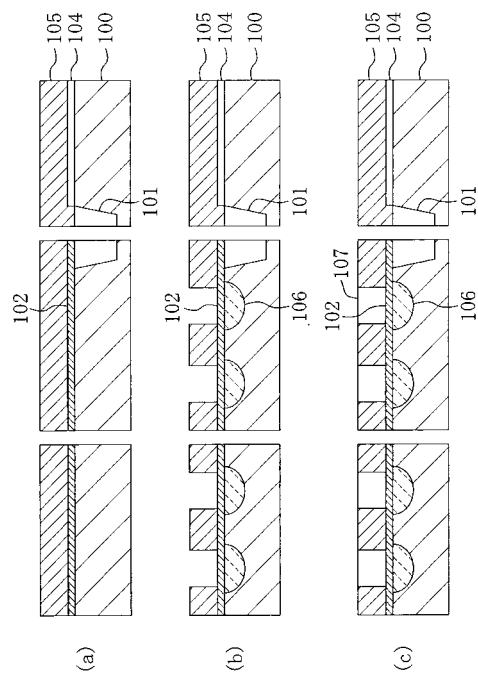
【図 39】



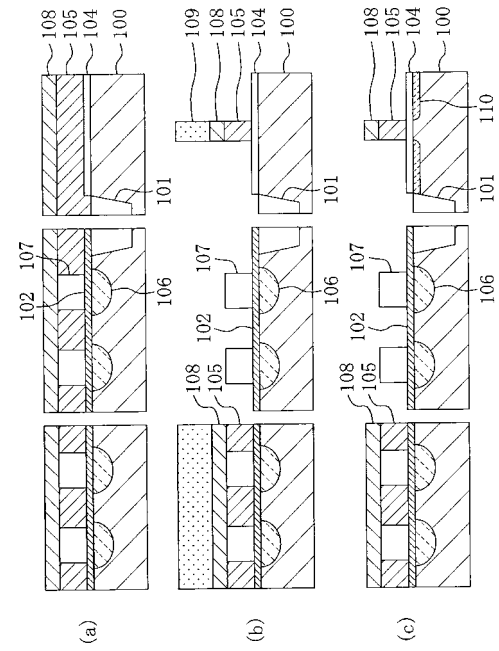
【図 40】



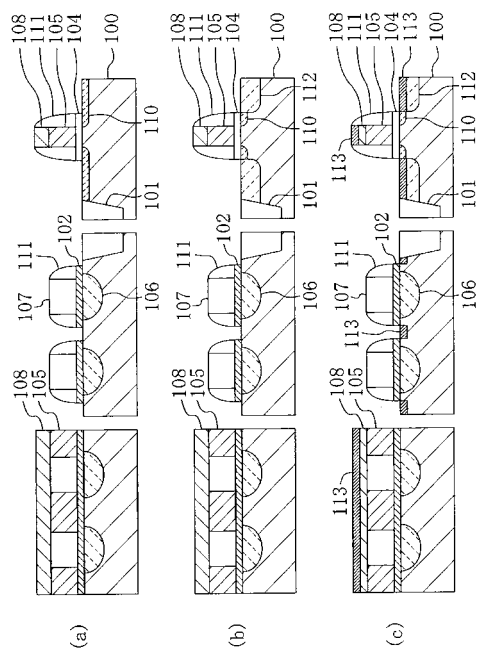
【図 4 1】



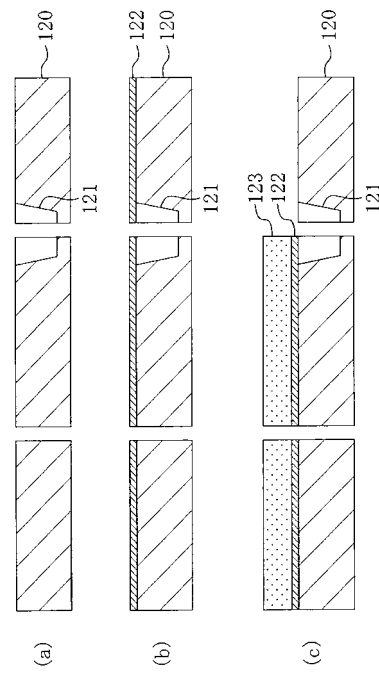
【図 4 2】



【図 4 3】

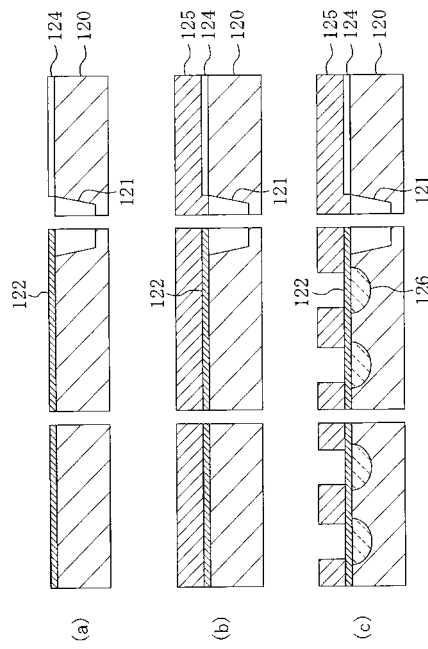


【図 4 4】

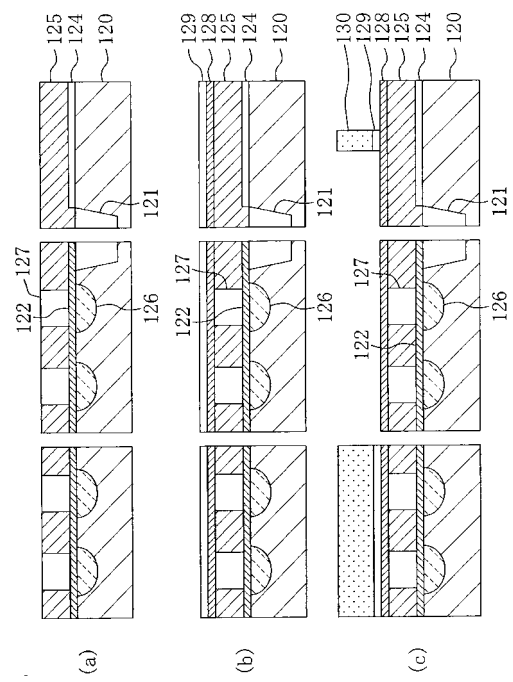




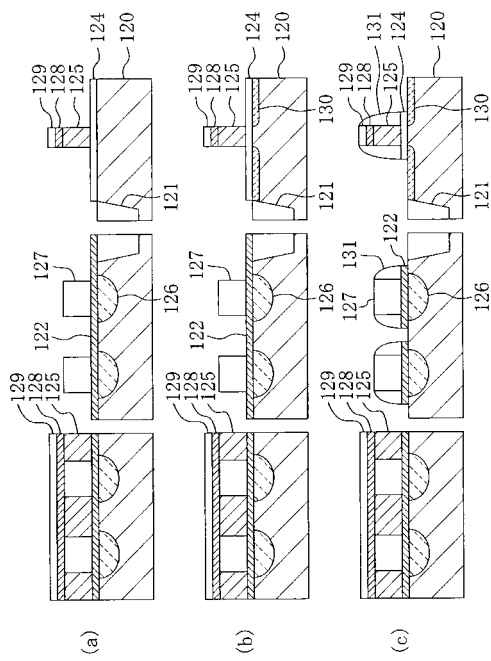
【図 45】



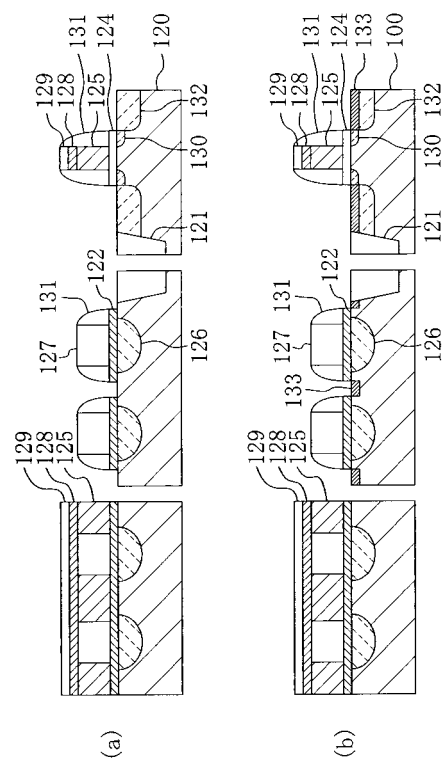
【図 46】



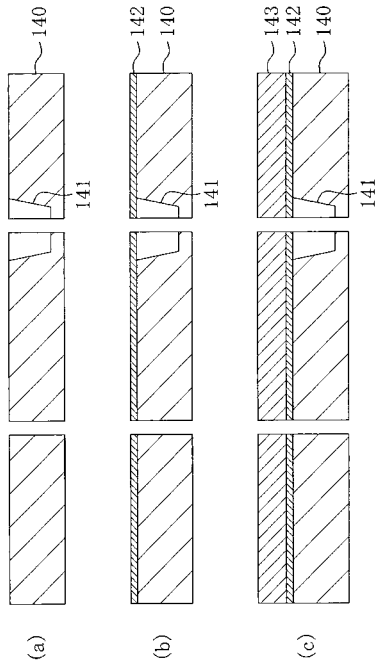
【図 47】



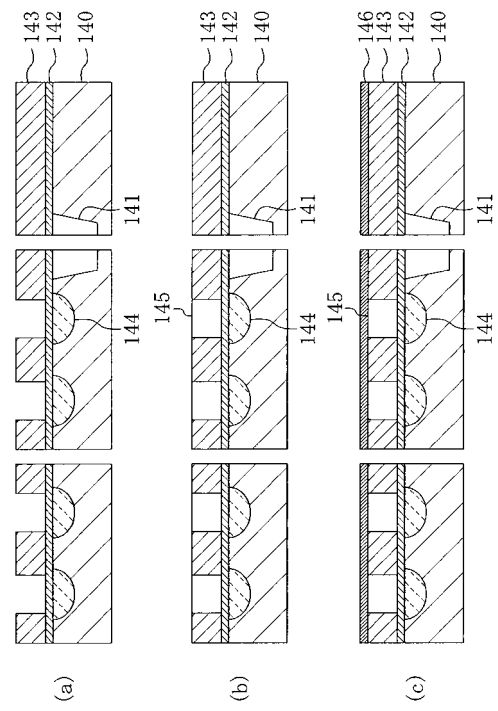
【図 48】



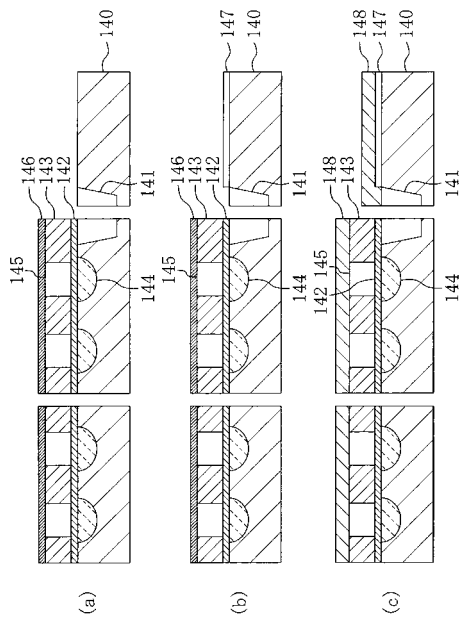
【図 49】



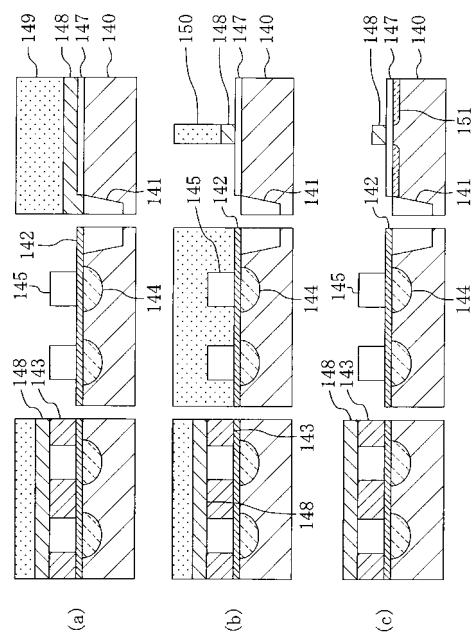
【図 50】



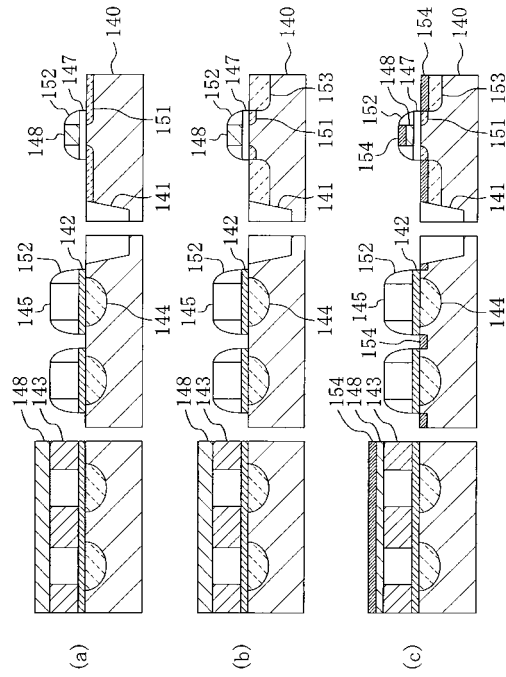
【図 51】



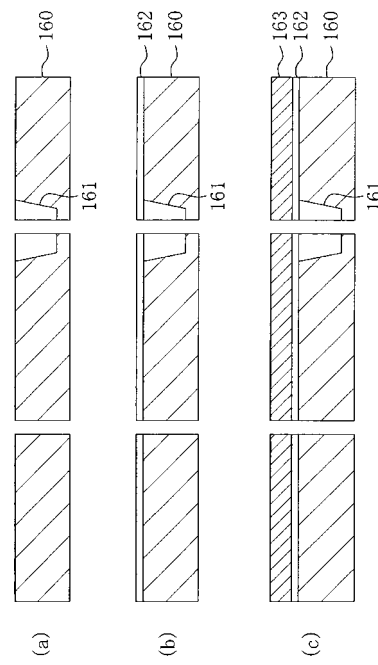
【図 52】



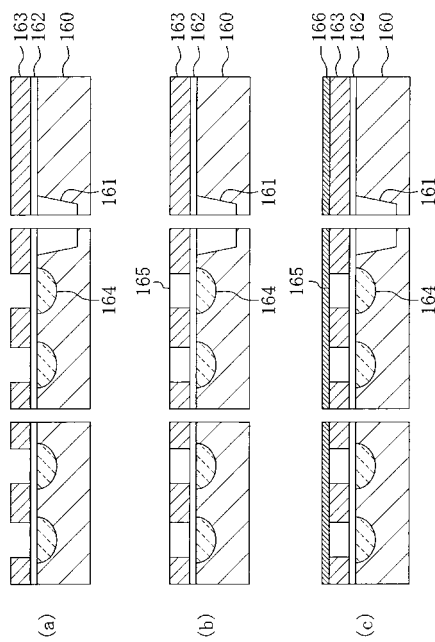
【図 5 3】



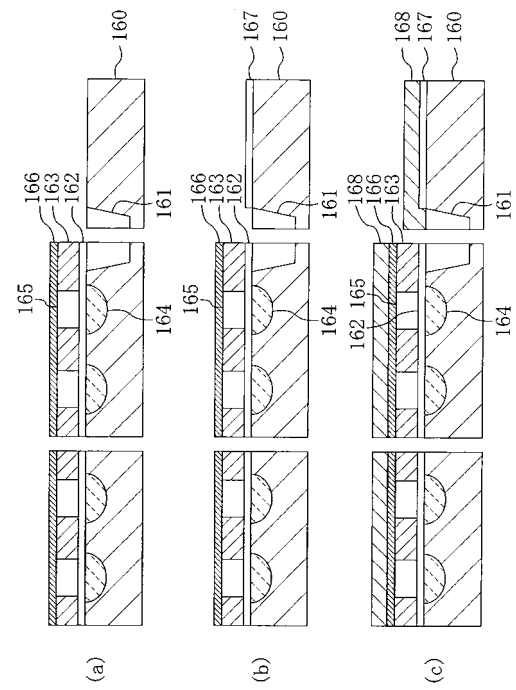
【図 5 4】



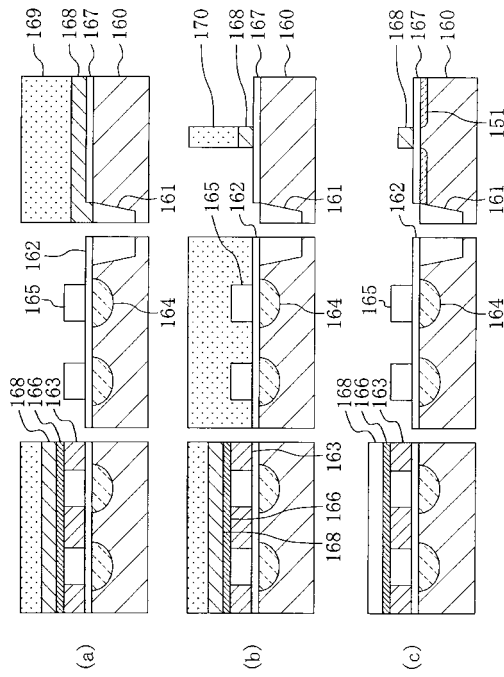
【図 5 5】



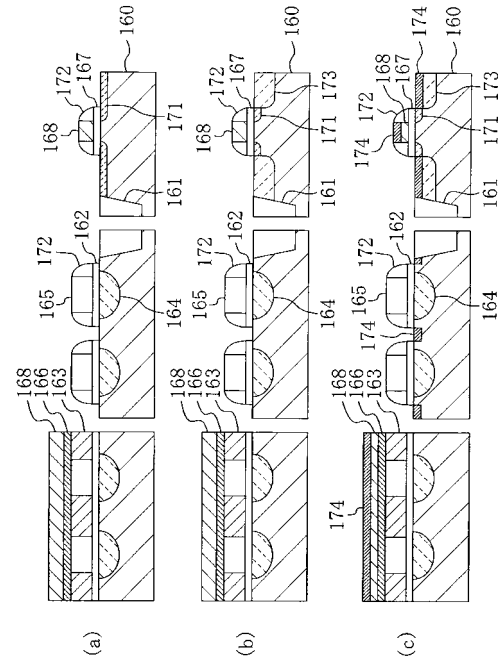
【図 5 6】



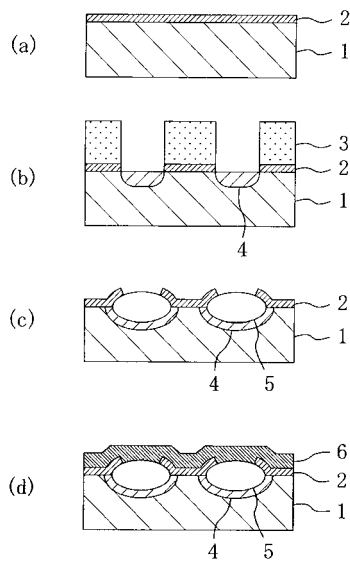
【図 57】



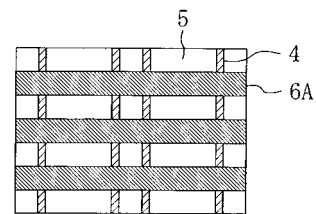
【図 58】



【図 59】



【図 60】



---

フロントページの続き

(74)代理人 100117581  
弁理士 二宮 克也  
(74)代理人 100117710  
弁理士 原田 智雄  
(74)代理人 100121728  
弁理士 井関 勝守  
(74)代理人 100124671  
弁理士 関 啓  
(74)代理人 100131060  
弁理士 杉浦 靖也  
(72)発明者 荒井 雅利  
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 正山 旭

(56)参考文献 特開 2 0 0 0 - 0 3 1 4 3 6 ( J P , A )  
特開平 0 5 - 3 2 6 8 9 3 ( J P , A )  
特開平 0 7 - 3 2 6 6 8 4 ( J P , A )  
特開 2 0 0 3 - 0 7 8 0 4 3 ( J P , A )  
特開 2 0 0 3 - 1 6 3 2 8 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 4 7  
H 0 1 L 2 7 / 1 1 5  
H 0 1 L 2 9 / 7 8 8  
H 0 1 L 2 9 / 7 9 2  
H 0 1 L 2 1 / 3 3 6