

(19)
(12)

(KR)
(B1)

(51) 。 Int. Cl. ⁷
G11C 16/02

(45)
(11)
(24)

2003 03 15
10 - 0376234
2003 03 04

(21)
(22)

10 - 2000 - 0054861
2000 09 19

(65)
(43)

2001 - 0070086
2001 07 25

(30)

1999 - 266085

1999 09 20

(JP)

(73)

가 가

1 1 1

(72)

가 가 가

1가 가

가 가 가

1가 가

(74)

:

(54)

l 가 , .

“ 0”, “ 1”, “ 2”, “ 3” , 1
가 “ 0” “ 1” , 2 가 “ 0”
“ 3” , 가 “ l” “ 2” . , 1
2 가 . , 2 ,
 , .

1

, , , ,

1 1 , 4 .

2 1 , 4 .

3 .

4 .

5 .

6 .

7 .

8 .

9

8 .

10 (a) 10 (b) .

11 1 NAND .

12

9 .

13 (a) 1 , 13 (b) 2 .

14

1 .

15 .

16 1 , 2 2 .

17 (a) , 17 (b) 2 1 , 17
 (c) 2 2 .

18 .

19

2

1 .

- 20 2 .
- 21 1 1 , 1 2 .
- 22 2 .
- 23 1 I, 2 .
- 24 2 , 8 .
- 25 2 , 8 .
- 26 3 , n .

- 1 :
- 2 :
- 3 :
- 4 :
- 5 :
- 6 :
- 7a :
- 7b :
- 3I0, 31I 3I2, II2 :
- BI - 0 BL4223 :
- X41, M2, M3 M116 :
- WL1, WL2, WL3 WL16 : , LAT (A) 1
- LAT (B) : 2

가

가 EEPROM NAND 가

NAND , NAND ,

1 ,

, NAND 1 가 .

3 ,

, "0" "3" ,

"0" , . 1

2 , 2 1 , 2

, 1, 2 .

4 ,

, 2 가 , 1 2 , , 1 가

가 "1" ,

, 1 2 가 "0" ,

, ,

, "0" 1 가

, 가 "1" , "0" ,

"1" .

, 2 가 , 1 , 가 "1"

, "0" , "3" , 1

, 가 "0" , "0" ,

"2" .

, 1 , 가 "1" ,

, "1" 가 , 1 , 가 "1" "0"

, "0" 가 .

, , 2 가 , , 1

가 . 3 , 2 가 "0"

"1", 가 "2" , "3" ,

"0" , 2 , 가 "1" ,

"2" 1 .

, 1 , 가 "0" "2"

"1" , 가 "2" "3" "0" ,

1", , 1 가 "0" "3" "
 1", 가 "1" "2" "0" , I
 , 가 "2"
 "3" , 1 , 2 .
 , 1 , 3 , 2
 가 .

1 , , 1 가
 , 2 가 . , 1 2 , , 1
 가 "1" , , 1 2 가 "0" ,
 . , ,

, "0" 1 가
 가 "1" , "0" 가 "0"
 , "1"
 , 2 가 , I 가 "1"
 "0" , "2" , 1 "3"
 , 가 "0" , "0"
 , I 가 "1"
 , "1" 가 , 1 "0"
 , "I" , "0"
 , 가
 , 가 가
 .

5 ,
 () .

(가 "0") , -3.5V ,
 "0" "3"
 16V 가 , 0.2V , "0" "3"
 . 가 "1" 0.2V , 14V
 4 가 "1" 16V , 3
 가 "1" , 가
 .

6, 7 .

1 , , "0" "1" , 13
 "1" .

2 , , 5 “ 0” “ 2” “ 1” “ 3”
가 . , 15V
, 6 “ 0” “ 2” 13 ,
“ 1” “ 3” 16 , 16 .

“ 0” “ 3” “ 1” “ 2”
“ 0” “ 3” “ 1” “ 2”
16V 가 . , 7
“ 0” “ 3” 11 ,
“ 1” “ 2” 6 . , 11

()

8 , 4 (2) NA
ND .

(1) , EEPROM
가 (1) ,
(2) (6)가 .

(2) , ,
(1) (1) ,
(2) , (1) 가 (2) ,
(3) (3), (4)가 .
(4) (3) ,
(5) .

(5) (4) (3)
. (6) , (1) . (6) , (1)

(1), (2), (3), (4), (6) ,
(7a) (7b) , (7a) (7) ,
b) . (7a) (7b) , (8) (7b) ,
(8) . (1) .

9 , 8 (1) (2) (2)
(310, 311 312112) . (310, 311 312112)
(320, 321 322112) (4) . (320,
321 322112) (3) CSLO, CSL1 CSL2112 .

(310, 311 312112) (310) B
 LO, BL1 (311) BL2, BL3가 (312112)
 BL4222, BL4223

(1) NAND . 1 NAND 16 EEPR
 OM M1, M2, M3 MI6 , MI S1 , M16
 S2 . 1 S1 BLO , 2 S2
 SRC . MI, M2, M 3 M16 WL1, WL2, WL3
 WLI6 , 1 S1 SG1 , 2 S2
 SC2

1 4223 NAND , 가 . 1
 I , 가 , 1 2 가

10 (a) (b) . 10 (a)
 (41) , n (42) (41)
 (43) (44)가 , (44) (45) (46)가

10 (b) . (41) n (47)
 (41) (48) (49)가

11 , 1 NAND , 1 NAND , 10 (a)
 16 M1 M16 . NAND ,
 10 (b) 1 S1 2 S2가

12 , 9 (310) . ,
 (310)

BLi N (61a) (61a)
 BLTR (61a) (61b)
 (61c) (61b) (62a)
 (62a) VBLA가 (61b) PREA가
 (61c) BLSA가

BLi + 1 N (61d) (61d)
 BLTR가 (61d) (61e)
 (61f) (61e)
 (62b) (62b) VBLB가 (61e)
 PREB가 (61f) BLSB가 (61b, 61
 e) PREA, PREB VBLA, VBLB (61c, 61
 f) BLSA, BLSB

(61c, 61f) (61g) (61g) (62c) , NE
 (61g) (61g) BIAS가 (62c) VCC
 (61g) , BIAS

NE (61h) (61h) (61h) BL
 C1 , (61h) 1 LAT (A)가 I
 LAT (A) 2 (61i, 61j) (61i) SEN1,
 SEN1B (B) , (61j) LATI, LATIB
 1 LAT (A) ,

NE (61k, 61l)가 (61k) 1
 LAT (A) NC (61l) VRFY1가
 (61l) VREG가 (61k, 61l) 1 LAT(A)

I LAT (A) NA , P (61m) (62d)
 (61m) PRSTB1가 (62d) VCC
 (61m) 1 LAT (A) NA
 NA , (61n) (61n) , NA

NA (61o) (61p) ,
 (61o) SPB가 (61p) Osa
 c, Osacb (61o)
 1 LAT (A) (61p) ,

NE (61q) (61q) (61q)
 BLC2가 , 2 LAT (B)가 2
 LAT (B) 2 (61r, 61s) (61r)
 SEN2, SEN2B , (61s) LAT2, LAT2B 2
 LAT (B) ,

NE (61t, 61u)가 (61t) 2
 LAT (B) ND (61u) VRFY2가
 (61u) VREG가 (61t, 61u) 2 LAT (B)

2 LAT (B) NB , P (61v) (62e)
 (61v) PRSTB2가 (62e) VCC
 (61v) 2 LAT (B) NB
 (61w) (61w) , NB , NB

, 1, 2 .

, 1, 2 "0" "3" 가 , 2 , 1 , 2 .

"0" "3" , 1 가 "1" "2" 가 "0" "1" , "0" 가 "2" "3" 2 .

2 가 "2" , "3" 가 "0" "1" "1", 가 "1" , "2" "2" 1 .

"0" .

()

() , (310 312112) 2 BLi, BLi + 1 (i = 0, 1, 2) , 1 , 9 , 2 (1)가 .

() , 9 (BLi, BLi + 1) . 2

(BLi) , 1 , 2 (BLi, BLi + 1) 1 LAT (A) , LA T(A) (BLi + 1) , 1 LAT (A) NA가 .

"0" , 1 , 2 "0" , 1 LAT (A) NA "1" .

(61p)

{ }

(1)

13 (a) I .

1 , 9 2 (1)가 . 1 , 2 , 1 .

1 , 9 (310 312112) 1 가 (13 (a) STI). LAT (A)(12)

NA (H) "1" () , 12 1 LAT (A) "0" () , 1 LAT (A) NA

(L) , 1 LAT (A) NA , 2 L
AT (B) NB .

(13 (a) ST2) . 14 , 1
12, 14 (61h)
BLSA Vpass, BL R VCC , 1 LAT (A) " 1"(
가 VSS가 BL 가 VCC가 " 0"(
VCC . , " 1" 가

가 , SG1 VCC, VPGM(20 V), Vpass(10V)
가 , VSS , VSS, VPGM
가 , VSS VPGM , VCC , I S 1가 .
" 1" " 0" , 1, 2 , " 1" .
" 1" " 0" .

(1)
가 (13 (a) ST3). 15 , 16

I b' " " 1 , b
12 , 16 , (61g) SG1 Vread ,
BIAS (1.6V) ,

SG2 (Vread) . b
VSS , b'

12 1 LAT (A) NA (" 0")
VREG VCC , (" 1") , (61l)
VRFY1 , 가 1 LAT
(A) . 1 LAT (A) , 가
가 , 1 LAT (A) ,

1 LAT (A)가 가
(13 (a) ST2 ST4).

(2)

13 (b) 2

2 1 가 , 2 가 (ST11).
(310 312112) 1 LAT (A)

2 , 1 (ST12).
2 1

, 1, 2 , 1 가 "0" ("3"
) , 2 가 "0" () , "0"
2 가 "1" () , "0"
가 "1" (1) , 2 가 "0" ()
"2" 2 가 "1" ()
"1"

, 2 1 , 2
, 가 "0" "1" , 2 가
, 8 2 LAT (B)
가 (ST12). , 1 a
2 LAT (B)

17 (a) , 18
. 17 (a), 18 ,

, 16 1 가 , 1
, LAT (B) , 1 LAT (A) 2
, , 16 1 가
, 가 , 18 PRSTB2, SEN2, LAT2, BLC2,
VRFY2가 , 가 2 LAT (B) , 12
(61q) BLC2가 18 , 2
LAT(B)

가 "0" , 가
, 2 LAT (B) NB , ND ,
가 "1" , 가 , 2
LAT (B) NB , ND . 17 (a) 2 LAT
(B) , NB

, 1 가 , 1 LAT (A)
2 , (13 (b) (ST13)).

(2)

2 가 “ 2 ” (ST14) 2 (ST15) 2 . 1 (ST14)
2 (ST15) 가 “ 3 ”

{ 2 1 }

17 (b) 2 1 , 19 2 1

1 , b' 가 , ,
b' , “ 3 ” , b' , OK , 1 ,
 , , 가 “ 0 ” .

, 1 , 가 “ 0 ”
 , 2 LAT (B) ND , 12 (61u)
VREG , 19 VSS, VRFY2
 , 2 LAT (B) ND가 , (61t)가

, 1 가 , VREG VCC , (61l)
VRFY1 , LAT (A) , NA
() , (61k)가 ,
가 1 LAT (A) .

, 1 LAT (A) , 17 (b) ,
“ 2 ” ,
 , 1 LAT (A) , “ 2 ”
 , 가 “ 3 ”

{ 2 2 }

17 (c) 2 2 , 16 .

1 . 1 c' “ 3 ”
 , , 가 “ 1 ”
a 가 , 가 “ 3 ”
 , c 가 .

, 1 LAT (A) , 17 (c) ,
 , LAT (A) (1 LAT (A))
 , 1 LAT (A) ,

“3” , “3” NG ,
 “2” .

, 2 , 가 “2” 1 , “3”
 2 2 , 1 LAT (A)가
 가 (9, S
 T13 ST16).

, 가 “3” , “3”
 가 . , “2” 가 ,
 가 . , 가 “2”
 가 .

{ }

, , 2 . 20 2 , 22
 2 .

(2)

2 , 1 , c가 가 .

, 22 , SGI Vread(4.5V) 가
 , 12 , 12 (61g) BIAS 가
 . , SG2 . c ,
 , VSS . 2 ,
 , 가 “0” “1” , “2”
 “3” .

, 가 1 LAT (A) . 20 , I LA
 T (A) NA , 가 “0” “1” , “2” “3”
 . , NA , (61p)가 ,
 (61p) . YIO 가 “0” “1” “1”
 , 가 “2” “3” “0” .

(1)

, I 가 . 1 가 “1” , 2 ,
 가 “0” “3” .

, 가 “2” , “3” , 가
 “0” , “1” .

{ 1 }

1 , 가 "2" , "3" . 21 (a) 1
1 , 23 . 23 22
가 .

, 가 "2" , "3" , c 가
 . , 1 LAT (A) , 21 (a)
 , 가 "3" . , 1 LAT (A) ,
 가 "0", "1", "2" .

{ 2 }

, 2 , 가 "0" , "1" . 21 (b)
1 2 , 23 .

가 "0" , "1" , a 가
 . , 1 LAT (A) , 가 "0"
 , 1 LAT (A) , 가 "1",
 "2", "3" .

, I2 VREG VSS , (61I) VRFY1
 . 1 LAT (A) , , 1 1
 , 가 "3" , . 가
 "0" "3" , , 가 "1" "2" ,
 가 .

, 1 LAT (A) , 21 (b) ,
 가 "0", "3" , "1", "2" . , NA
 , (61p)가 (61p) .
 YIO 가 "0", "3" "1" , "2", "3" , "0"
 .

1 , 1 , 가 "0" , "1" ,
2 , 가 "3" , 가 "1"
 "2" . , 1 가 "
2" , "3" 1 , 가 "0" , "1"
 2 2 , 1 .

, 2 , 1 2 LAT (B)
 , 2 , 가 "2" 가 "0"
 가 "3" 2 LAT (B) ,
 , "3" . , "0"

가 “ 3” , “ 1” 가 “ 2”
가 .

, 2 “ 2” , “ 0” “ 3” , “ 1”
.
.
.
1 , 4 (2)
, n (n 8, 3) 가 .

(2)

24, 25 , 2 , 8 (3) .

24 , , 1, 2, 3 가 . 1, 2 , 4
() , 1, 2 가 “ 0” “ 3” . , 1, 2,
3 가 , 12 가 “ 0” , , 1 LAT (A) .

3 , 25 가 “ 1” . , 가 “ 1”
가 “ 0” , “ 0” ,
“ 2” , 가 “ 1” , “ 1” 가 , 가
“ 2” , “ 2” , 가 “ 3” ,
“ 3” 가 .

, 가 “ 0” , 가 “ 0” , “ 7”
, 가 “ 1” , “ 6” ,
가 “ 2” , “ 5”가 , 가 “
3” , “ 4” .

, 4 가 ,
가 2 LAT(B)
가, OK ,
I LAT (A) 가, “ 0” .

, 3 , “ 4”, “ 5”, “ 6”, “ 7”
3 , 3 “ 5”, “ 6”, “ 7” ,
3 2 LAT (B)가 ,
3 2 LAT (B) .

가 “ 4” , 가 “ 4”
“ 5”, “ 6”, “ 7” OK , I LAT (A) 가 “ 1”
2 LAT (B) ,

“ 5”, “ 6”, “ 7” I LAT (A) 가 “ 0”
 “ 4” I LAT (A)
 OK “ 1” .

가 , 가 “ 5” , 가 “ 5”
 “ 6” “ 7” O
 K “ 6” “ 7”
 “ 6” “ 7”
 1 LAT (A) 가 “ 0” , “ 5”
 1 LAT (A) OK “ 1”
 .

가 , 가 “ 6” , 가 “ 6”
 “ 7” “ 7” OK .
 “ 7” 1 LAT (A)
 가 “ 0” , “ 6”
 I LAT (A) OK “ 1” .

, I LAT (A) 가 “ 1” , 3
 .

, 3 , 2 , 1 .
 1, 2, 3 24 ,
 3 , 가 “ 3” “ 1” , 가
 “ 4” , “ 0” . , 1 가
 2 가 “ 1” , “ 6” “ 1” , 가
 가 “ 2” “ 5” “ 0” . , 2 가
 .

I , 가 “ 0” , “ 3” “ 4” , “ 7”
 “ 1” , 가 “ 1” “ 2” , “ 5” “ 6” “ 0”
 . , 4 가 .

2 , 3 , 1, 2 , 가 “
 0” “ 7” , 가 “ 1” “ 6” , 가 “ 2”
 “ 5” , 가 “ 3” “ 4” . , 3 1
 , 2 2 , 3 4 , 1 가 , 1
 가 .

, 가 “ 0” “ 7” , 가 “ 1” “ 6” ,
 가 “ 2” “ 5” , 가 “ 3” “ 4”
 . ,
 가 가 .

(3)

26 , 3 , n
 . , 1, 2 가 1 가 . , n
 , 가 "0" , "O" "x" ,
 "1" "x-1" , , n-1
 "i"가 "i + 1" .

, , ,
 , , ,
 가 .

, 1, 2 LAT (A), LAT (B) , ,
 , 가 .

, ,
 . 가 가

, ,
 가 .

(57)

1.

, "0", "1", "2", "3"
 ,

, 1 2 , ,
 1 2 , ,
 , ,

1 , 가 1 ,
 "0" , "1" "O" , 가 2 ,
 ,

, 가 1 ,
 가 "1" ,
 가 "1" ,
 "1" ,
 가 2 ,
 가 2 ,
 1 ,
 2 ,
 1 ,

2 가 "1" ,
가 "0" ,
"I" "2"
"O" "3"

2.

1 ,

가 "2"
가 1 , 2 ,
"2" 2 ,
1 , 2 ,
가 "0" ,
2 ,
가 "1" ,
가 "2"

가 "3"
가 "3"
"3"
가 2
가 2
2 , 1 , 2
가 1
가

3.

"0", "1", "2", "3"
1 2 1
1 2
1 , 2
1 , 2

I , I 가 I
"0" "1" 1 가 2
"0"

가 "1"
가 "1"
"1" 1
가 2 , 1
1 2 , 1
가 1
가

가 2 1 ,

2 , 2 , 1
가 , 1 가 “0” , “1” “2”
 , 2 , “0” “3”

가 1 가 “2” 1 , 1
 , 2 , 가 “1” , 가 “2”
 | 2 , 2 가 “2”
 1 1 , 2 , 가
가 “0” , 2 가 2 , 가
1 | 1 ,

가 “3” 2 , 1 가 1
 , 가 “3” , 1 2 ,
가 “3” , 1 1 , 1
가 2 , 1 , 2 , 1
가 2 2 , 1 , 2
.

4.

1 3 ,
 , 2 , , 가 “2” , “3”
 , , 가 “0” “1”
 , 가 “3” ,
 , 가 “1” “2”
 .

5.

1 3 ,
 , 2 , 가 “2” (前半)
 , 가 “3” , 가 “3”
 , 가 “2”
 .

6.

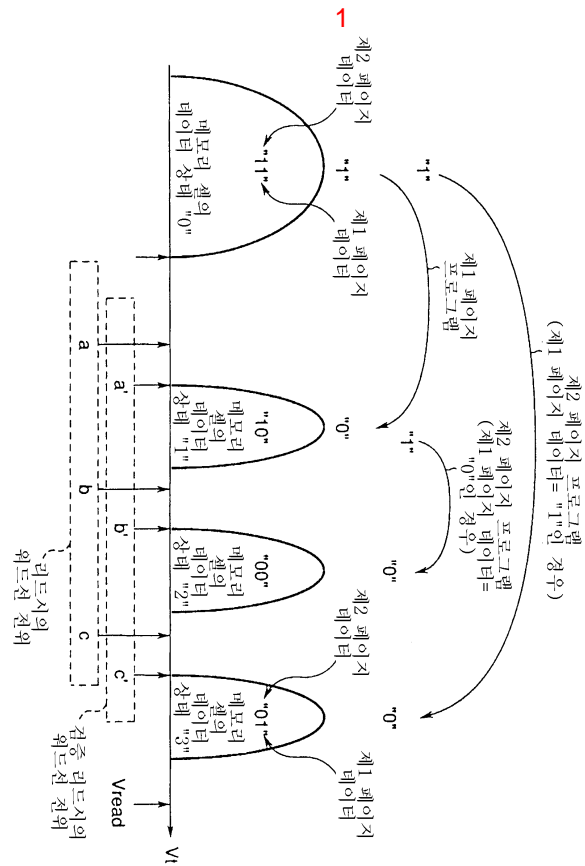
“0”, “1”, ..., “n” (3 n, n) n 가 , n
1 가 ,

1

2

“n”

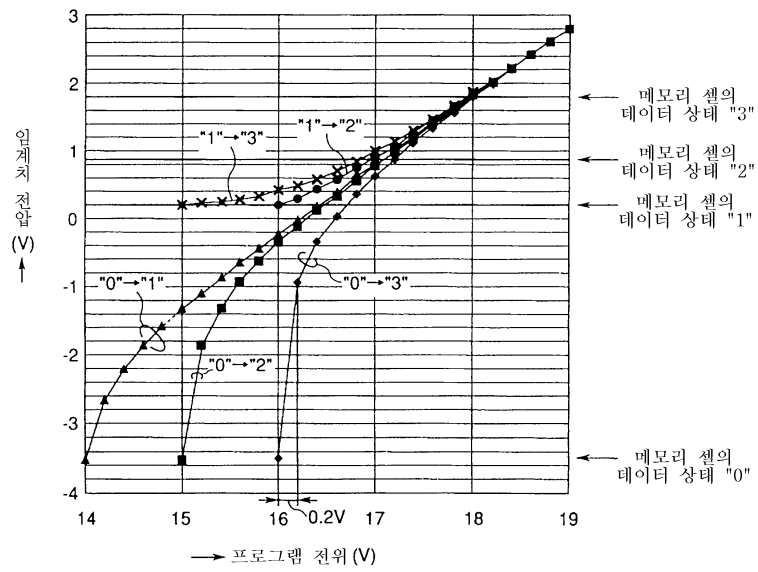
“0”



2

메모리 셀의 데이터(상태)	메모리 셀의 임계치	기록 및 관독되는 데이터	
		제2 페이지	제1 페이지
0	0V 이하	1	1
1	0.3V~0.5V	1	0
2	0.8V~1.0V	0	0
3	1.3V~1.5V	0	1

5

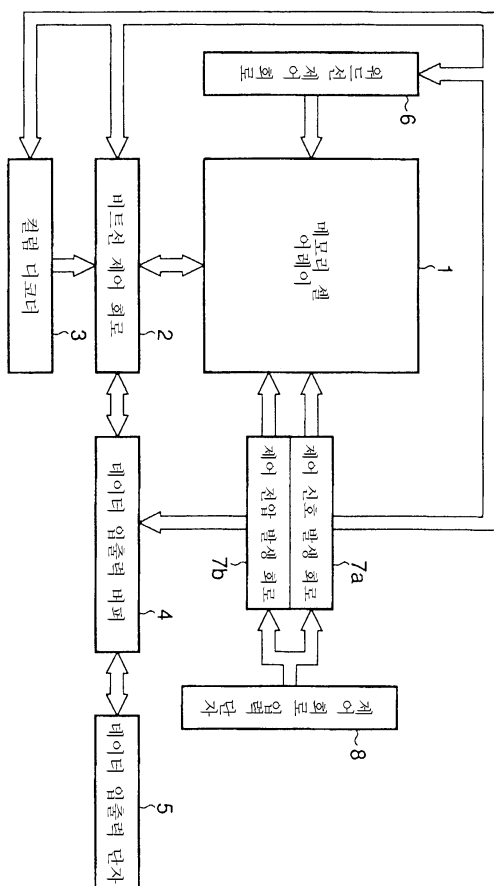


6

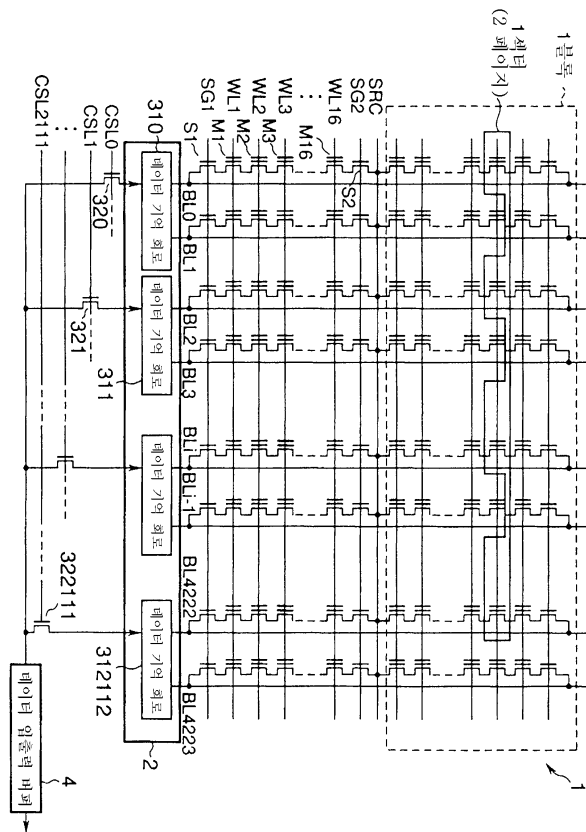
종래에	필요 스텝업 횟수	
제1 페이지 기록	13회	(0→1)13회
제2 페이지 기록	16회	(0→2)13회 (1→3)16회
합계	29회	

7

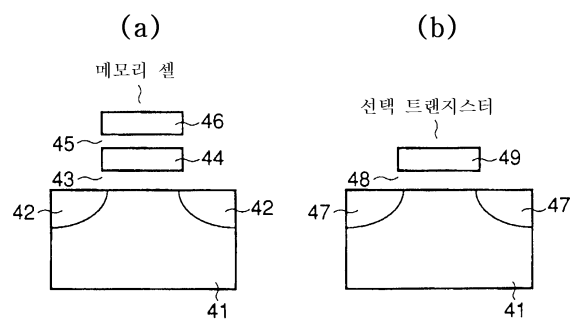
본발명	필요 스텝업 횟수	
제1 페이지 기록	13회	(0→1)13회
제2 페이지 기록	11회	(0→3)11회 (1→2)6회
합계	24회	



9

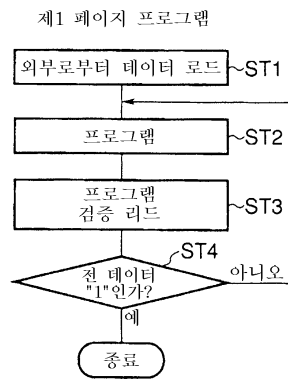


10

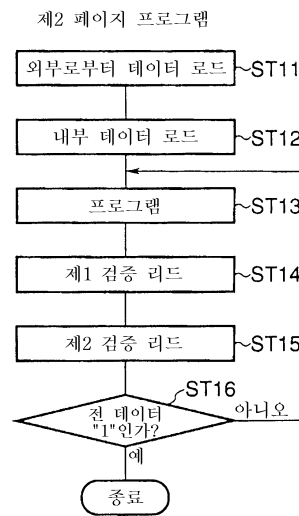


13

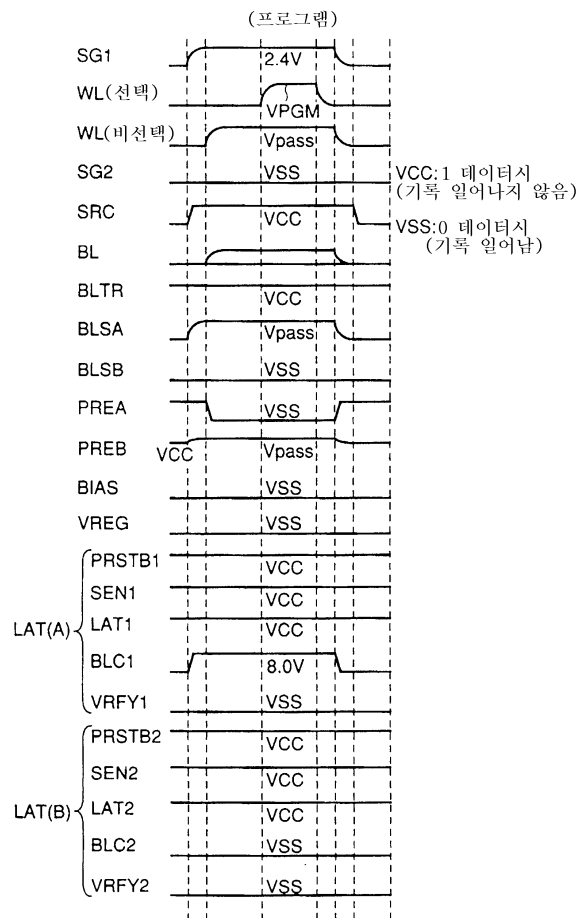
(a)



(b)



14



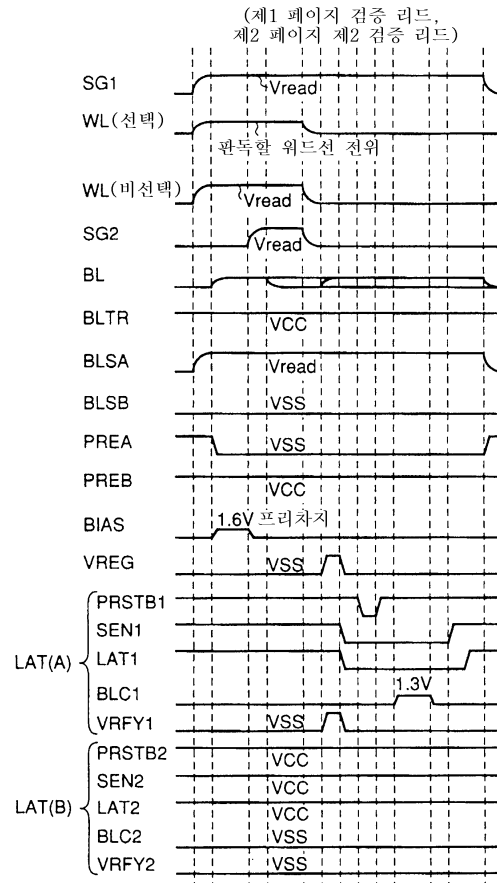
15

프로그램 검증 (제1 페이지)

상태 0	상태 0→1		메모리 셀의 데이터	
inhibit	Write(OK)	Write(NG)		
A B bit	A B bit	A B bit		
H	L	L	데이터 로드 (A에 write→L, inhibit→H)	
H L	L H	L L	b'로 리드	0→1
H H	L H	L L	A가 H일 때 비트선 H(VRFY1)	검증
H H	H H	L L	비트선의 전위를 A로 래치	

(inhibit=비기록, Write= 기록, A=LAT(A), B=LAT(B))

16

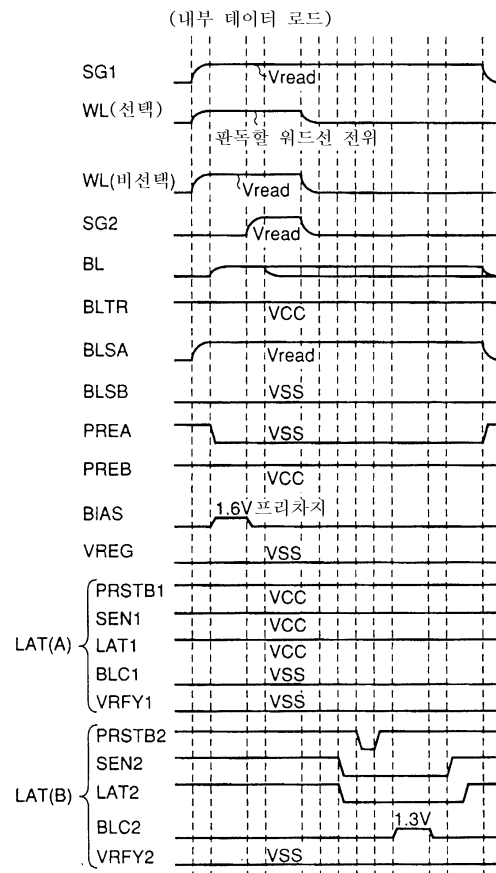


프로그램 검증 (제2 페이지)

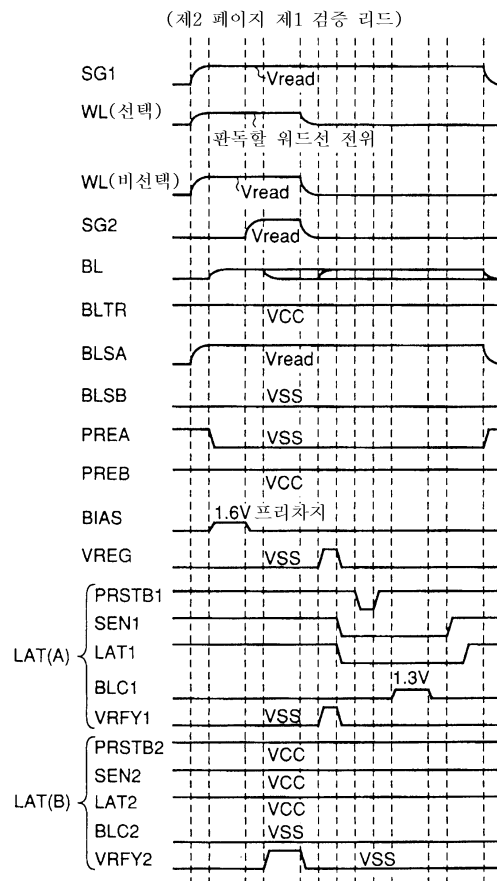
상태 0	상태 0→3			상태 1	상태 1→2		메모리 셀의 데이터	
inhibit A B bit	Write (OK) A B bit	Write (NG) A B bit	inhibit A B bit	Write (OK) A B bit	Write (NG) A B bit			
(a) H L L L	L		H	L	L	데이터 로드 (A에 write → L, inhibit → H)	외부 데이터 로드	
	L		H	H		2로 로드		
	L		H	L		비트선의 전위를 B로 레지	비부 데이터 로드	
(b) H L L L	L		H	L	L	b'로 로드		1→2
	L		H	H		B가 L일때 비트선 L(VRRY2)		검증
	L		H	L		A가 H일때 비트선 H(VRRY1)		
(c) H L L L	L		H	L	L	b'로 로드		3
	L		H	H		A가 H일때 비트선 H(VRRY1)		검증
	L		H	L		A가 H일때 비트선 H(VRRY1)		

(inhibit=비거록, Write=기록, A=LAT(A), B=LAT(B))

18



19



20

리드(제2 페이지)

상태 0,1	상태 2,3		
A B bit	A B bit		
L	H	b로 리드	제2 페이지 리드
L L	H H	비트선의 전위를 A로 래치	

(A=LAT(A), B=LAT(B))

21

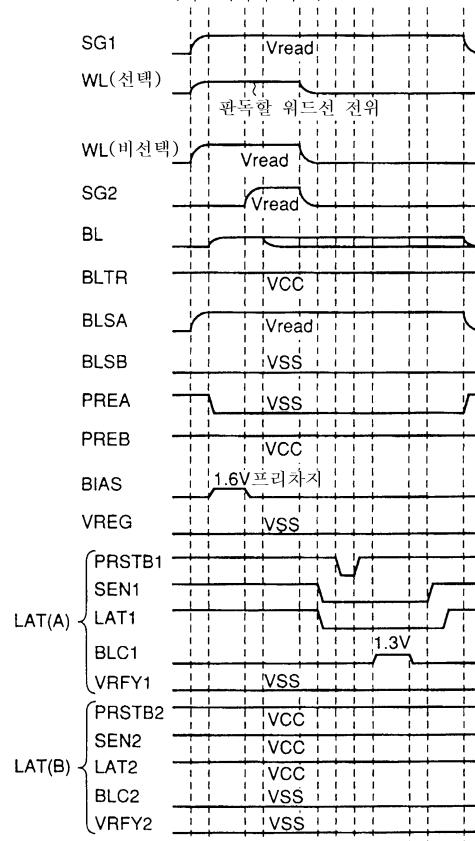
리드(제1 페이지)

	상태 0		상태 1,2		상태 3			
	A	B	bit	A	B	bit		
(a)	L			L			H	c로 리드
	L	L		L	L		H	H 비트선의 전위를 LAT(A)로 래치
(b)	L	L		L	H		H	a로 리드
	L	L		L	H		H	LAT(A)가 H이면 비트선 L(VRFY1)
	L	L		H	H		L	비트선의 전위를 A로 래치

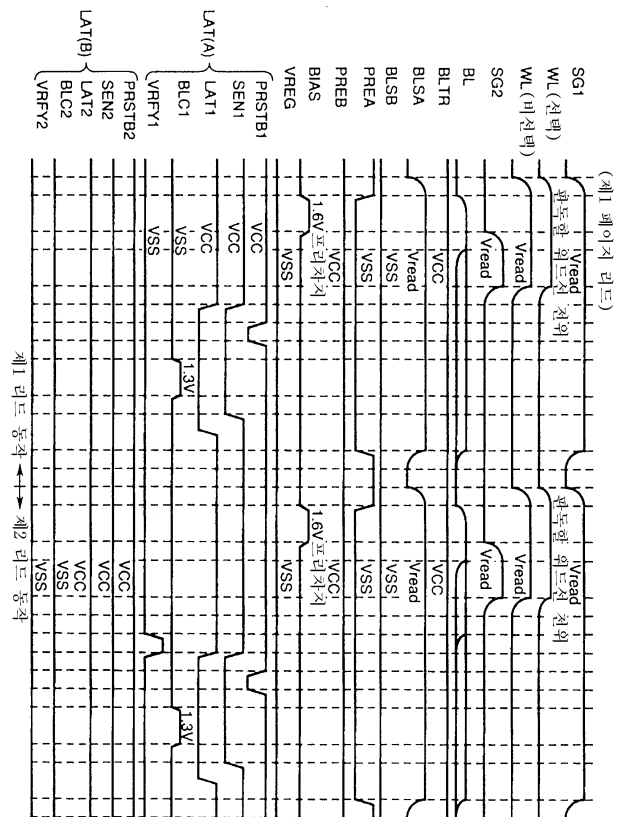
(A=LAT(A), B=LAT(B))

22

(제2 페이지 리드)



23



24

메모리 셀의 데이터(상태)	메모리 셀의 임계치	기록 및 관독되는 데이터		
		제3 페이지	제2 페이지	제1 페이지
0	0V 이하	1	1	1
1	0.2V~0.4V	1	1	0
2	0.5V~0.7V	1	0	0
3	0.8V~1.0V	1	0	1
4	1.1V~1.3V	0	0	1
5	1.4V~1.6V	0	0	0
6	1.7V~1.9V	0	1	0
7	2.0V~2.2V	0	1	1

