

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年7月3日(03.07.2014)



(10) 国際公開番号
WO 2014/103235 A1

- (51) 国際特許分類:
G06F 15/167 (2006.01) *G06F 12/00* (2006.01)
G06F 7/76 (2006.01) *G06F 12/06* (2006.01)
G06F 9/315 (2006.01) *G06F 15/173* (2006.01)
G06F 9/34 (2006.01) *G06F 15/80* (2006.01)
G06F 9/38 (2006.01)
- (21) 国際出願番号: PCT/JP2013/007383
- (22) 国際出願日: 2013年12月16日(16.12.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-281060 2012年12月25日(25.12.2012) JP
- (71) 出願人: 日本電気株式会社(NEC CORPORATION)
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号
Tokyo (JP).
- (72) 発明者: 小堀 友義(KOBORI, Tomoyoshi); 〒
1088001 東京都港区芝五丁目7番1号日本電気
株式会社内 Tokyo (JP).
- (74) 代理人: 下坂 直樹(SHIMOSAKA, Naoki); 〒
1088001 東京都港区芝五丁目7番1号日本電気
株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES,
FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN,
IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,
PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

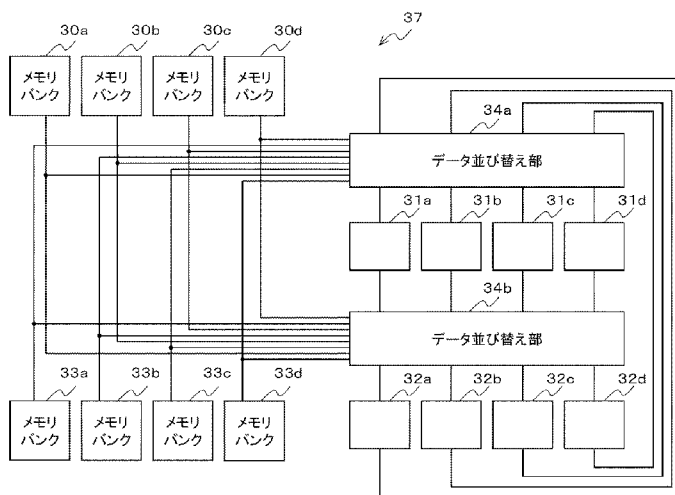
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: COMPUTATION DEVICE AND COMPUTATION METHOD

(54) 発明の名称: 演算装置及び演算方法

【図1】



30a, 30b, 30c, 30d, 33a, 33b, 33c, 33d Memory bank
34a, 34b Data sort unit

(57) Abstract: In order to provide a computation device such that declining computational efficiency, increasing circuit size, and increasing power consumption are resolved, a computation device according to the present invention comprises: first data storage means for storing data to be computed; computation processing means for executing a computation, using the data; data sort means for selecting data which is instructed from the data to be computed which is stored in the first data storage means and data which is computed with the computation processing means, appending a prescribed delay, on the basis of a parameter, to the data among the instructed data whereof a delay instruction is received, executing a sort of the instructed data on the basis of the parameter without delaying the data whereof the delay instruction is not received, and outputting the data which is computed in the computation processing means and the computation result data of the computation processing means; and second data storage means for storing the computation result data.

(57) 要約:

[続葉有]

WO 2014/103235 A1

演算効率の低下、回路規模の増大及び消費電力の増大を解決する演算装置提供するため、本発明の演算装置は、演算対象データを格納する第1のデータ格納手段と、データを用いて演算を実行する演算処理手段と、第1のデータ格納手段に格納された演算対象データ及び演算処理手段で演算されたデータの中から指示されたデータを選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算処理手段において演算されるデータと演算処理手段の演算結果データとを出力するデータ並び替え手段と、演算結果データを格納する第2のデータ格納手段とを含む。

明 細 書

発明の名称：演算装置及び演算方法

技術分野

[0001] 本発明は、複数の演算処理部（プロセッサ）を含む演算装置に関し、特に、データを並び替える演算装置に関する。

背景技術

[0002] 信号処理は、連続する多量のデータ（ストリームデータ）を演算対象データとして扱う。そして、信号処理は、それら多量のデータに対して繰り返し同じ処理（複数の命令を用いて実現できる演算）を実行する場合が多い。

[0003] 多量のデータを効率的に処理するためのプロセッサアーキテクチャの一つに、アレイプロセッサがある。

[0004] 図7は、一般的なアレイプロセッサ19の構成の一例を示すブロック図である。

[0005] 図7に示すアレイプロセッサ19は、複数の演算処理部11a～11d（以下、これらをまとめて演算処理部11と言う）及び演算処理部12a～12d（以下、これらをまとめて演算処理部12と言う）をアレイ状に配置したアレイ演算部14を含む。（なお、以下の説明において、アレイ演算部14に含まれる各演算処理部、つまり、演算処理部11と演算処理部12とをまとめて、演算処理部15と言う。）

さらに、アレイプロセッサ19は、アレイ演算部14に接続されたメモリバンク10a～10d（以下、まとめてメモリバンク10と言う）及びメモリバンク13a～13d（以下、まとめてメモリバンク13と言う）を備えるデータメモリ17を含む。（なお、以下の説明において、メモリバンク10とメモリバンク13とをまとめて、マルチバンク16と言う。）

アレイ状に配置された演算処理部15は、近隣の演算処理部15と接続している。演算処理部15の間には、網の目のように配線が、接続されている。それぞれの接続は、演算処理部15の入力段にあるスイッチで制御されて

いる。演算対象のデータは、アレイ演算部 14 に接続されているマルチバンク 16 のメモリバンク 10 及びメモリバンク 13 に格納される。

[0006] アレイ演算部 14 は、内部の接続構成に基づき、並列度及び演算処理に対する柔軟性の度合いが異なる。図 7 に示すアレイプロセッサ 19 では、演算処理部 15 は、図 7 に示すように近隣の演算処理部 15 と接続している。

[0007] アレイプロセッサ 19 は、複数の演算処理部 15 を協調させて所定の処理を実行する。そのため、演算処理部 15 に到達して入力されるデータのタイミングが異なる場合、アレイプロセッサ 19 は、適切に演算を実行できない場合がある。

[0008] 例えば、図 7 において、演算処理部 12 b に注目して説明する。そして、演算処理部 12 b の演算は、演算処理部 11 b と演算処理部 12 a との演算結果が必要であるとする。この場合、演算処理部 11 b 及び演算処理部 12 a の演算の実行タイミングが異なると、そのタイミングに基づき、演算処理部 11 b 及び演算処理部 12 a から演算処理部 12 b へのそれぞれの演算結果の入力タイミングに、差が生じる。同様に、演算処理部 11 b 及び演算処理部 12 a の演算の出力の遅延が異なると、その遅延差に基づき、演算処理部 11 b 及び演算処理部 12 a から演算処理部 12 b へのそれぞれの演算結果の入力タイミングに、差が生じる。このタイミング差に相当する時間が、無駄時間となる。

[0009] アレイプロセッサ 19 の演算処理中において、なるべく多くの演算処理部 15 が同時に動作していることが、アレイプロセッサ 19 の動作効率を高めるポイントとなる。そのため、演算処理部 15 間の同期制御をいかに構成するかは、アレイプロセッサ 19 の動作効率向上のために重要である。

[0010] そのため、データの同期機構が、用いられている（例えば、特許文献 1 参照）。

[0011] 図 8 は、同期機構として F I F O (First In First Out) メモリを用いたアレイプロセッサ 29 の構成の一例を示すブロック図である。

[0012] 図 8 に示すように、アレイプロセッサ 29 は、演算処理部 21 a ~ 21 d

(以下、まとめて演算処理部 21 と言う) 及び演算処理部 22 a~22 d (以下まとめて、演算処理部 22 と言う) を含む。また、アレイプロセッサ 29 は、メモリバンク 20 a~20 d (以下、まとめてメモリバンク 20 と言う) 及びメモリバンク 23 a~23 d (以下、まとめてメモリバンク 23 と言う) を含む。さらに、アレイプロセッサ 29 は、演算処理部 21、演算処理部 22、メモリバンク 20 及びメモリバンク 23 の入出力を、FIFO 24 a~24 g、FIFO 25 a~25 g 及び FIFO 26 a~26 d を介して接続する。以下、FIFO 24 a~24 g をまとめて、FIFO 24 と言う。同様に、FIFO 25 a~25 g を、まとめて FIFO 25 と言う。FIFO 26 a~26 d をまとめて、FIFO 26 と言う。そして、アレイプロセッサ 29 は、入出力データを同期する同期制御部 27 a~27 d (以下、まとめて同期制御部 27 と言う) 及び同期制御部 28 a~28 d (以下、まとめて同期制御部 28 と言う) を含む。同期制御部 27 及び同期制御部 28 は、FIFO 24、FIFO 25 及び FIFO 26 を用いて、メモリバンク 20、メモリバンク 23、演算処理部 21 及び演算処理部 22 に到達するデータを制御する。演算処理部 21 及び演算処理部 22 は、同期制御部 27 及び同期制御部 28 を用いて、到達する入力データが入力ポート毎に異なる場合の同期制御を可能とする。

[0013] また、他の解決方法として、演算処理部と近隣の演算処理部との接続に非同期制御部を導入する技術がある (例えば、特許文献 2 参照)。特許文献 2 に記載の技術は、所定の演算処理に対する入力データが不足した場合、それぞれの演算処理部が演算の実行を待つ。

先行技術文献

特許文献

[0014] 特許文献 1 : 特表平 4 - 503720 号公報
特許文献 2 : 特開昭 58 - 181168 号公報

発明の概要

発明が解決しようとする課題

- [0015] 特許文献1に記載の技術は、演算処理部21、演算処理部22、メモリバンク20及びメモリバンク23の間の接続が、全てFIFO24～26を介したスイッチで構成する。そのため、特許文献1に記載の技術は、データ転送に関する回路規模が増大するという問題点があった。また、特許文献1に記載の技術は、回路規模が増大するため、消費電力が増加するという問題点があった。
- [0016] 特許文献2に記載の技術は、演算処理部が非同期動作であるため、データ転送に関する冗長なハンドシェイクが発生する。そのため、特許文献2に記載の技術は、演算処理部の演算効率が低下するという問題点があった。また、特許文献2に記載の技術は、演算効率が低下するため、実行時間が増加する問題点があった。
- [0017] 本発明の目的は、上述した課題である演算効率の低下、回路規模の増大及び消費電力の増大を解決する演算装置及び演算処理方式を提供することにある。

課題を解決するための手段

- [0018] 本発明の一形態における演算装置は、演算対象データを格納する第1のデータ格納手段と、データを用いて演算を実行する演算処理手段と、前記第1のデータ格納手段に格納された前記演算対象データ及び前記演算処理手段で演算されたデータの中から指示されたデータを選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、前記演算処理手段において演算されるデータと前記演算処理手段の演算結果データとを出力するデータ並び替え手段と、前記データ並び替え手段が出力した前記演算結果データを格納する第2のデータ格納手段とを含む。
- [0019] 本発明の一形態における演算方法は、演算対象データを格納し、データを用いて演算し、格納された前記演算対象データ及び演算されたデータの中か

ら指示されたデータ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されたデータと演算結果データとを出力し、前記演算結果データを格納する。

[0020] 本発明の一形態におけるコンピュータ読み取り可能なプログラムを記録した記録媒体は、演算対象データを格納する処理と、データを用いて演算する処理と、格納された前記演算対象のデータ及び演算されたデータの中から指示されたデータ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されるデータと演算結果データとを出力する処理と、前記演算結果データを格納する処理とをコンピュータに実行させるプログラムを記録する。

発明の効果

[0021] 本発明によれば、回路規模及び消費電力の増大を抑えながら、演算効率を高めることができる。

図面の簡単な説明

[0022] [図1]図1は、本発明における第1の実施形態の演算装置の構成の一例を示すブロック図である。

[図2]図2は、第1の実施形態のデータ並び替え部の構成の一例を示すブロック図である。

[図3]図3は、第1の実施形態の演算装置の別の構成の一例を示すブロック図である。

[図4]図4は、第1の実施形態の演算装置の別の構成の一例を示すブロック図である。

[図5]図5は、第1の実施形態の演算装置の別の構成の一例を示すブロック図である。

[図6]図6は、第1の実施形態のデータ並び替え部の構成の一例を示すブロック図である。

[図7]図7は、一般的なアレイプロセッサの構成を示すブロック図である。

[図8]図8は、一般的な同期機構を搭載したアレイプロセッサの構成を示すブロック図である。

発明を実施するための形態

[0023] 次に、本発明の実施形態について図面を参照して説明する。

[0024] なお、各図面は、本発明の実施形態を説明するものである。そのため、本発明は、各図面の記載に限られるわけではない。また、各図面の同様の構成には、同じ番号を付し、その繰り返しの説明は、省略する場合がある。

[0025] (第1の実施形態)

図1は、本発明における第1の実施形態の演算装置37の構成の一例を示すブロック図である。

[0026] 演算装置37は、メモリバンク30a~30dと、メモリバンク33a~33dと、演算処理部31a~31dと、演算処理部32a~32dと、データ並び替え部34a~34bとを含む。以下、メモリバンク30a~30dをまとめて、メモリバンク30と言う。同様に、メモリバンク33a~33dをまとめて、メモリバンク33と言う。演算処理部31a~31dをまとめて、演算処理部31と言う。演算処理部32a~32dをまとめて、演算処理部32と言う。データ並び替え部34a~34bをまとめてデータ並び替え部34と言う。

[0027] 本実施形態の演算装置37は、図1に示すように、データ並び替え部34aと、演算処理部31と、データ並び替え部34bと、演算処理部32とを、環状(リング状)に接続する。

[0028] メモリバンク30は、データ並び替え部34aと、データ並び替え部34bとに接続する。

[0029] メモリバンク33は、データ並び替え部34aと、データ並び替え部34bとに接続する。

- [0030] メモリバンク 30 及びメモリバンク 33 は、演算データを格納する。そのため、メモリバンク 30 及びメモリバンク 33 は、データ格納部とも言える。なお、演算データは、演算対象となるデータ（演算対象データ）と演算結果となるデータ（演算結果データ）とを含むデータである。
- [0031] また、メモリバンク 30 及びメモリバンク 33 は、使用目的に制限はない。メモリバンク 30 又はメモリバンク 33 のいずれか一部のメモリバンクが、演算対象データを保持し、残りのメモリバンクが演算結果データを格納すれば良い。例えば、メモリバンク 30 が演算対象データを保持し、メモリバンク 33 が演算結果データを保持しても良い。反対に、メモリバンク 33 が演算対象データを保持し、メモリバンク 30 が演算結果データを格納しても良い。また、メモリバンク 30 及びメモリバンク 33 の一部が、演算対象データを保持し、残りのメモリバンク 30 及びメモリバンク 33 が、演算結果データを格納しても良い。さらに、メモリバンク 30 及びメモリバンク 33 は、他のデータを保持しても良い。例えば、メモリバンク 30 又はメモリバンク 33 は、後ほど説明するパラメータを保持しても良い。
- [0032] 以下では、一例として、メモリバンク 30 が、演算対象データを保持し、メモリバンク 33 が、演算結果データを格納するとして説明する。
- [0033] データ並び替え部 34 a は、前段となる演算処理部 32 と、後段となる演算処理部 31 と、メモリバンク 30 と、メモリバンク 33 とに接続する。
- [0034] データ並び替え部 34 b は、前段となる演算処理部 31 と、後段となる演算処理部 32 と、メモリバンク 30 と、メモリバンク 33 とに接続する。
- [0035] データ並び替え部 34 a は、前段の演算処理部 32 の処理結果のデータ又はメモリバンク 30 のデータのどちらかを、出力先として接続する後段の演算処理部 31 に、適切なタイミングで供給する。そのため、データ並び替え部 34 a は、データを時間方向に並び替え、データを供給する演算処理部 31 を選択し、データを供給する。
- [0036] データ並び替え部 34 b は、前段の演算処理部 31 の処理結果のデータ又はメモリバンク 30 のデータのどちらかを、出力先として接続する後段の演

算処理部 3 2 に、適切なタイミングで供給する。そのために、データ並び替え部 3 4 b は、データを時間方向に並び替え、データを供給する演算処理部 3 2 を選択し、データを供給する。

[0037] 複数の演算処理部 3 1 及び演算処理部 3 2 は、所定の演算処理に必要な要素演算を実行する。

[0038] 例えば、演算処理部 3 1 及び演算処理部 3 2 は、四則演算、論理演算、アキュムレーション又はパワー計算を実行する。

[0039] ただし、本実施形態の演算処理部 3 1 及び演算処理部 3 2 が実行する演算は、特に制限はない。

[0040] 演算処理部 3 1 は、前段となるデータ並び替え部 3 4 a と、後段となるデータ並び替え部 3 4 b とに接続する。演算処理部 3 1 は、データ並び替え部 3 4 a からメモリバンク 3 0 のデータを受け取り、所定の演算を処理し、データ並び替え部 3 4 b に演算結果を出力する。

[0041] 演算処理部 3 2 は、前段となるデータ並び替え部 3 4 b と、後段となるデータ並び替え部 3 4 a とに接続する。演算処理部 3 2 は、データ並び替え部 3 4 b からメモリバンク 3 0 のデータと演算処理部 3 2 の演算結果とを受け取り、所定の演算を処理し、データ並び替え部 3 4 a に演算結果を出力する。

[0042] 以下では、必要に応じ、演算処理部 3 1 を「第 1 の演算処理部」と、演算処理部 3 2 を「第 2 の演算処理部」と言う。

[0043] また、必要に応じ、データ並び替え部 3 4 a を「第 1 のデータ並び替え部」と、データ並び替え部 3 4 b を「第 2 のデータ並び替え部」と言う。

[0044] 次に、図面を参照して、データ並び替え部 3 4 について、詳細に説明する。

[0045] 図 2 は、データ並び替え部 3 4 の構成の一例を示すブロック図である。

[0046] 図 2 に示すように、データ並び替え部 3 4 は、入力データ選択部 4 0 と、マルチバンクメモリ 4 1 と、並び替え制御部 4 2 とを含む。

[0047] 入力データ選択部 4 0 は、メモリバンク 3 0 と、メモリバンク 3 3 と、前

段の演算処理部（演算処理部 3 1 又は演算処理部 3 2）と、マルチバンクメモリ 4 1 と、並び替え制御部 4 2 とに接続する。

[0048] そして、入力データ選択部 4 0 は、メモリバンク 3 0 からの入力データ及び前段の演算処理部からの入力データを出力する演算処理部を、選択する。

[0049] 例えば、データ並び替え部 3 4 a の入力データ選択部 4 0 は、メモリバンク 3 0 からの入力データ及び前段の演算処理部 3 2 の入力データを出力する演算処理部 3 1 を、選択する。

[0050] 同様に、データ並び替え部 3 4 b の入力データ選択部 4 0 は、メモリバンク 3 0 からの入力データ及び前段の演算処理部 3 1 の入力データを出力する演算処理部 3 2 を、選択する。

[0051] また、入力データ選択部 4 0 は、前段の演算処理部からの入力データを、メモリバンク 3 3 に出力するか否かを、選択する。

[0052] 例えば、データ並び替え部 3 4 a の入力データ選択部 4 0 は、前段の演算処理部 3 2 からの入力データを、メモリバンク 3 3 に出力するか否かを、選択する。

[0053] 同様に、データ並び替え部 3 4 b の入力データ選択部 4 0 は、前段の演算処理部 3 1 からの入力データを、メモリバンク 3 3 に出力するか否かを、選択する。

[0054] マルチバンクメモリ 4 1 は、複数のポートを具備するマルチポートメモリである。

[0055] なお、図 2 に示すマルチバンクメモリ 4 1 は、ポート数として、4 ポートとなっているが、これは例示である。本実施形態のマルチバンクメモリ 4 1 は、4 未満のポート数を備えても良く、4 を超えるポート数を備えても良い。

[0056] マルチバンクメモリ 4 1 は、入力データ選択部 4 0 と、演算処理部 3 1 又は演算処理部 3 2 と、並び替え制御部 4 2 とに接続する。

[0057] そして、マルチバンクメモリ 4 1 は、並び替え制御部 4 2 から、書き込み及び読み出しタイミングの信号又は指示を受ける。また、マルチバンクメモ

り41は、並び替え制御部42から、書き込みポート及び読み出しポートの指示を受け取る。そして、マルチバンクメモリ41は、これらを基に、受け取ったデータを格納し、データを出力ポート方向に並び替え、データを時間方向に並び替える。

[0058] 例えば、図2に示す4ポートのマルチバンクメモリ41を用いて、上記の動作について説明する。ここで、ポート番号は、それぞれ0、1、2、3とする。そして、ポート番号（第0ポートー第3ポート）は、各構成の符号（a-d）に、それぞれ対応するものとする。

[0059] 例えば、マルチバンクメモリ41は、指示を基に、第0ポートから書き込まれたデータを第2ポートに送り出す。この結果、例えば、マルチバンクメモリ41は、演算処理部31aからのデータを演算処理部32cに転送する。

[0060] また、例えば、マルチバンクメモリ41は、指示を基に、Nサイクル目に書き込まれたデータを、N+4サイクル目に送り出す。この場合、マルチバンクメモリ41は、時間方向に4サイクル分、データを遅延させる。

[0061] なお、本実施形態のマルチバンクメモリ41は、複数のバンクに同時にアクセスできれば、特に制限はない。例えば、マルチバンクメモリ41は、所定のポート数とメモリを備えた一般的なマルチポートメモリでも良い。また、マルチバンクメモリ41は、複数のメモリを接続するクロスバを搭載したメモリ装置でも良い。そのため、マルチバンクメモリ41は、「マルチポート格納部」と言うこともできる。

[0062] 並び替え制御部42は、入力データ選択部40と、マルチバンクメモリ41とに接続する。

[0063] 並び替え制御部42は、少なくとも、入力データ選択部40の選択動作と、マルチバンクメモリ41のメモリアクセスとを制御する。

[0064] 並び替え制御部42は、制御方法について、特に制限はない。例えば、並び替え制御部42は、入力データ選択部40に、入力データの選択を示す入力データ選択信号を送っても良い。あるいは、並び替え制御部42は、入力

データ選択部40に、選択命令を送っても良い。

[0065] また、並び替え制御部42は、マルチバンクメモリ41に、書き込みアドレス及び読み出しアドレスを送っても良い。あるいは、並び替え制御部42は、書き込み命令及び読み出し命令を送っても良い。

[0066] 次に、本実施形態の演算装置37の動作について説明する。

[0067] 説明の前提として、演算は、メモリバンク30から並列に演算処理部31に向かって読み出されるデータを対象とする。そして、演算処理部31及び演算処理部32が演算した結果は、メモリバンク33に格納されると仮定する。

[0068] また、演算装置37の演算処理として、以下に示す処理を説明する。

[0069] (1) 演算に必要なパラメータをデータ並び替え部34に格納する(以下、「パラメータのプレローディング」ステップとする)。

[0070] (2) メモリバンク30に格納されているデータを用いて、演算処理部31及び演算処理部32で所定の演算を処理し、その後、演算結果をメモリバンク33に書き込む(以下、「本演算」ステップとする)。

[0071] まず、(1)のパラメータのプレローディングステップについて説明する。

[0072] メモリバンク30から並列にデータ並び替え部34にパラメータが、転送される。

[0073] ここで、パラメータとは、マルチバンクメモリ41におけるデータの出力ポートの切り替え及びデータの時間方向の並び替え、つまり、データの並び替え及び遅延を指示するデータである。

[0074] パラメータは、演算処理の前に、メモリバンク30に格納されていれば良い。例えば、演算装置37を用いて演算を実行する利用者が、演算処理の前に、パラメータをメモリバンク30に格納する。

[0075] なお、本実施形態では、データ並び替え部34は、メモリバンク30から読み出されたパラメータがブロードキャストされて入力できるようにメモリバンク30と接続されている。そのため、本実施形態のデータ並び替え部3

4 a 及びデータ並び替え部 3 4 b は、双方に必要なデータであっても、一度に、メモリバンク 3 0 から読み出せる。

[0076] 転送されたパラメータは、データ並び替え部 3 4 の内部の入力データ選択部 4 0 に入力される。そして、入力データ選択部 4 0 は、並び替え制御部 4 2 が生成した入力データ選択信号に基づき、必要なパラメータを選択する。そして、必要なパラメータは、並び替え制御部 4 2 が生成した書き込みアドレスに従い、マルチバンクメモリ 4 1 の所定の場所に格納される。

[0077] マルチバンクメモリ 4 1 は、パラメータを基に、データの所定の遅延や並び替えを実行する。

[0078] 本実施形態の演算装置 3 7 は、(1) のステップが終了すると、実際の演算処理のための (2) の本演算ステップを処理する。

[0079] 次に、(2) の本演算ステップについて説明する。

[0080] まず、演算データが、メモリバンク 3 0 から並列にデータ並び替え部 3 4 a に転送される。

[0081] データ並び替え部 3 4 a に演算データ（演算対象データ）が入力されると、データ並び替え部 3 4 a の入力データ選択部 4 0 は、入力された演算データを選択する。そして、入力データ選択部 4 0 は、データ並び替え部 3 4 a の並び替え制御部 4 2 が生成する書き込みアドレスを用いて、マルチバンクメモリ 4 1 に演算データを格納する。このとき、並び替え制御部 4 2 は、生成した書き込みアドレスの数をカウントし、読み出しアドレス生成のタイミングを判定する。

[0082] 例えば、データ転送の遅延が 4 サイクルの場合、並び替え制御部 4 2 は、書き込みアドレスのカウント数が 4 以上となったときに、最初の読み出しアドレスを生成する。このような動作を基に、並び替え制御部 4 2 は、所定のデータ転送遅延を実現する。

[0083] マルチバンクメモリ 4 1 が演算データを格納すると、並び替え制御部 4 2 は、読み出しアドレス生成タイミング及びアドレスを制御する。この並び替え制御部 4 2 の動作に基づき、演算データは、前述したように、所定の遅延

が与えられ、並列方向に並び替えられ、所定のタイミングで演算処理部 3 1 に転送される。

[0084] 演算データが複数の演算処理部 3 1 に入力されると、演算処理部 3 1 は、所定の演算を実行する。

[0085] 演算処理部 3 1 の演算結果のデータは、後段のデータ並び替え部 3 4 b に転送される。演算結果のデータがデータ並び替え部 3 4 b に入力されると、データ並び替え部 3 4 b は、データ並び替え部 3 4 a と同様に、入力データ（演算結果）に所定の遅延を与え、所定の並列方向に並び替え、演算処理部 3 2 に転送する。

[0086] 演算処理部 3 2 は、データが転送されると、所定の演算を実行し、後段のデータ並び替え部 3 4 a にデータを送信する。

[0087] 演算処理部 3 2 からデータ並び替え部 3 4 a にデータが入力されると、データ並び替え部 3 4 a の並び替え制御部 4 2 は、入力されたデータがメモリバンク 3 3 に書き戻す対象であるか否かを判断する。そして、並び替え制御部 4 2 は、データ並び替え部 3 4 a の入力データ選択部 4 0 に、判断に沿った入力データ選択信号を供給する。その結果、入力データは、メモリバンク 3 3 に転送される。

[0088] 演算装置 3 7 は、以上の処理をデータ数の回数繰り返し、所定の演算を実現できる。なお、演算装置 3 7 の各部は、処理を、パイプライン的に実行しても良い。

[0089] ここまでの説明では、説明の明確化のため、データ並び替え部 3 4 は、複雑な並び替え処理を用いていない。しかし、演算装置 3 7 は、これまでの説明と同様の動作を基に、複雑なデータ転送（又は、演算処理部の接続）を有する演算処理を実現できる。例えば、演算装置 3 7 のデータ並び替え部 3 4 が、データの並び替えを適宜実行すれば、演算処理部 3 1 及び演算処理部 3 2 は、効率的に、協調動作しながら、所定の演算を実行できる。

[0090] また、ここまでの説明において、演算処理部 3 1 及び演算処理部 3 2 は、各 1 回演算処理を実行した。

- [0091] しかし、本実施形態の演算装置 3 7 は、演算処理部 3 1 及び演算処理部 3 2 の処理の回数を 1 回に限る必要はない。
- [0092] データ並び替え部 3 4、演算処理部 3 1 及び演算処理部 3 2 は、図 1 に示すように、リング状に接続している。
- [0093] そのため、演算装置 3 7 は、次に示す動作を基に、演算処理部の段の数を超える規模の演算を処理できる。
- [0094] まず、データ並び替え部 3 4 a は、メモリバンク 3 0 のデータを必要に応じて並び替えた後、選択して、演算処理部 3 1 に転送する。
- [0095] 演算処理部 3 1 は、所定の演算を処理し、データ並び替え部 3 4 b に転送する。
- [0096] データ並び替え部 3 4 b は、メモリバンク 3 0 のデータ及び演算処理部 3 1 の演算結果を必要に応じて並び替えた後、選択し、演算処理部 3 2 に転送する。
- [0097] 演算処理部 3 2 は、所定の演算を処理し、データ並び替え部 3 4 a に転送する。
- [0098] これまでの説明では、データ並び替え部 3 4 a は、演算処理部 3 2 の処理結果を選択して、メモリバンク 3 3 に送り出した。
- [0099] しかし、ここでは、データ並び替え部 3 4 a は、メモリバンク 3 0 のデータ及び演算処理部 3 2 の処理結果を必要に応じて並び替えた後、選択して、演算処理部 3 1 に転送する。
- [0100] なお、データ並び替え部 3 4 a は、受け取った演算結果に最終的な演算結果が含まれる場合、その演算結果を選択して、メモリバンク 3 3 に転送する。具体的には、入力データ選択部 4 0 が、並び替え制御部 4 3 の指示を基に、演算処理部 3 2 の処理結果をメモリバンク 3 3 に転送する。
- [0101] 演算処理部 3 1 は、所定の演算を処理し、データ並び替え部 3 4 b に転送する。
- [0102] 前回と同様に、データ並び替え部 3 4 b は、メモリバンク 3 0 のデータ及び演算処理部 3 1 の演算結果を必要に応じて並び替えた後、選択し、演算処

理部 3 2 に転送する。また、データ並び替え部 3 4 b は、受け取った演算結果に最終的な演算結果が含まれる場合、その演算結果を、メモリバンク 3 3 に転送する。

[0103] 演算装置 3 7 は、所定の演算処理が終了するまで、この処理を繰り返す。

[0104] なお、演算回数が 1 段で済むような演算規模が小さな演算を含む場合、データ並び替え部 3 4 b は、最初の演算結果を受けた段階で、最終的な演算結果をメモリバンク 3 3 に転送しても良い。この場合、上記と同様に、データ並び替え部 3 4 b の入力データ選択部 4 0 が、演算結果をメモリバンク 3 3 に転送する。

[0105] このように、本実施形態の演算装置 3 7 は、演算処理部の段数を超える処理を実現できる。

[0106] また、ここまでの説明において、説明の便宜のため、データ並び替え部 3 4 の入力データ選択部 4 0 が選択できるデータは、メモリバンク 3 0 からのデータと前段の演算処理部からのデータとした。しかし、本実施形態の演算装置 3 7 は、これに限る必要はない。

[0107] 例えば、データ並び替え部 3 4 は、前段に加え後段の演算処理部からデータを受けて、選択しても良い。

[0108] 図 3 は、本実施形態の別の構成を含む演算装置 3 8 の構成の一例を示すブロック図である。

[0109] 図 3 に示す演算装置 3 8 は、図 1 に示す演算装置 3 7 のデータ並び替え部 3 4 a 及びデータ並び替え部 3 4 b に換え、データ並び替え部 3 4 d 及びデータ並び替え部 3 4 e を含む。（以下、データ並び替え部 3 4 d とデータ並び替え部 3 4 e をまとめて、「演算装置 3 8 のデータ並び替え部 3 4」と言う。）

演算装置 3 8 のデータ並び替え部 3 4 は、メモリバンク 3 0 と、メモリバンク 3 3 と、演算処理部 3 1 と演算処理部 3 2 とに接続する。そして、演算装置 3 8 のデータ並び替え部 3 4 は、メモリバンク 3 0 と、演算処理部 3 1 と、演算処理部 3 2 とからデータを受けて、選択する。

- [0110] このように構成された演算装置 38 は、演算処理部に、メモリバンク 30 と前段の演算処理部に加え、後段の演算処理部の演算結果を入力できる。そのため、演算装置 38 は、より高度又は効率の良い演算を実行できる。
- [0111] なお、以下、特に断らない限り、演算装置 38 を含めて演算装置 37 として説明する。
- [0112] 同様に、データ並び替え部 34 は、データ並び替え部 34 d 及びデータ並び替え部 34 e を含むとする。
- [0113] また、本実施形態の演算装置 37 が含むメモリバンク 30、メモリバンク 33、演算処理部 31 及び演算処理部 32 の数を、4 個としたのは、例示である。本実施形態の演算装置 37 は、4 未満又は 4 を超える各構成を含んでも良い。
- [0114] また、演算装置 37 は、データ並び替え部 34 の数を 2 に限る必要はない。例えば、演算装置 37 は、2 を超えるデータ並び替え部 34 を含んでも良い。
- [0115] 図 4 は、データ並び替え部 34 を 3 つ含む演算装置 39 の構成の一例を示すブロック図である。なお、図 4 において、全てのデータの接続線を記載すると、図が煩雑となるため、接続線が複数であることを示す斜めの線を用いて記載した。
- [0116] 演算装置 39 は、データ並び替え部 34 a と、データ並び替え部 34 b と、データ並び替え部 34 c と、メモリバンク 30 と、メモリバンク 33 と、演算処理部 31 と、演算処理部 32 と、演算処理部 35 とを含む。
- [0117] データ並び替え部 34 c は、データ並び替え部 34 b と同様の構成を含み、同様に動作する。そのため、本実施形態のデータ並び替え部 34 c は、第 2 のデータ並び替え部の一部と言える。
- [0118] また、演算処理部 35 は、演算処理部 32 と同様の構成を含み、同様に動作する。そのため、本実施形態の演算処理部 35 は、第 2 の演算処理部の一部と言える。
- [0119] 演算処理部 31、演算処理部 32 及び演算処理部 35 は、並列に演算処理

を実行できる。

- [0120] そのため、このような構成を含む演算装置 39 は、演算装置 37 に比べ、多くの演算処理を並列に実行できる。
- [0121] 以下、特に断らない限り、演算装置 39 を含めて、演算装置 37 として説明する。同様に、データ並び替え部 34 は、データ並び替え部 34 c を含むとする。
- [0122] また、演算装置 37 は、データ並び替え部 34 を 1 つ含んでも良い。
- [0123] 図 5 は、データ並び替え部 34 を 1 つ含む演算装置 36 の構成の一例を示すブロック図である。
- [0124] 演算装置 36 は、データ並び替え部 34 a と、メモリバンク 30 と、メモリバンク 33 と、演算処理部 31 とを含む。
- [0125] 演算装置 36 のデータ並び替え部 34 a は、演算に必要な回数、演算処理部 31 の演算を繰り返す。
- [0126] なお、演算装置 36 は、本実施形態の最小構成の一例である。
- [0127] 以下、特に断らない限り、演算装置 36 を含めて、演算装置 37 として説明する。
- [0128] また、演算装置 37 は、データ並び替え部 34 の前後の演算処理部の数が異なっても良い。
- [0129] また、演算装置 37 は、メモリバンク 30 及びメモリバンク 33 の数を 4 つに限る必要はない。演算装置 37 は、メモリバンク 30 又はメモリバンク 33 を、4 つ未満含んでも良く、4 つを超えて含んでも良い。また、演算装置 37 は、異なる数のメモリバンク 30 及びメモリバンク 33 を含んでも良い。
- [0130] このように、本実施形態の演算装置 37 は、回路規模及び消費電力の増大を抑えながら、演算効率を高める効果を得ることができる。
- [0131] その理由は、次のとおりである。
- [0132] 演算装置 37 のデータ並び替え部 34 が、データの転送先制御を実施する。つまり、演算装置 37 は、スイッチや F I F O を分散して配置する必要が

ない。そのため、演算装置 37 は、ハードウェア使用効率が高くでき、回路規模及び消費電力の増大を抑えることができる。

[0133] また、演算装置 37 のデータ並び替え部 34 は、複数のメモリバンクと演算処理部とに接続し、所定の並び替えを実施できる。そのため、演算装置 37 は、メモリバンクのメモリ帯域に合わせた適切な並列度の演算処理部の構成を保つことができ、演算効率を高める効果を得ることができる。

[0134] また、演算装置 37 は、パラメータのローディングの時間を短縮できる効果を得ることができる。

[0135] その理由は、次のとおりである。

[0136] 演算装置 37 のデータ並び替え部 34 は、メモリバンクから演算に必要なパラメータをブロードキャストで受信できる。したがって、演算装置 37 は、複数のパラメータを使用する場合に、パラメータの同時に受信できるためである。

[0137] <変形例>

演算装置 37 の構成は、これまでの説明に限らない。

[0138] 例えば、演算装置 37 は、メモリバンク 30、メモリバンク 33、演算処理部 31、演算処理部 32 及びデータ並び替え部 34 の少なくとも一部を、ネットワーク又はバスを介して接続する別装置としても良い。

[0139] また、演算装置 37 は、各構成を複数の構成に分けても良い。

[0140] 例えば、データ並び替え部 34 は、各構成を、ネットワーク又はバスを介して接続する別装置を用いて構成しても良い。

[0141] また、データ並び替え部 34 は、複数の構成を 1 つの構成としても良い。

[0142] 例えば、データ並び替え部 34 は、CPU (Central Processing Unit) と、ROM (Read Only Memory) と、RAM (Random Access Memory) と、インターフェース回路 (IF) とを含むコンピュータとして実現しても良い。

[0143] 図 6 は、本実施形態の別の構成であるデータ並び替え部 60 の構成の一例を示すブロック図である。

[0144] データ並び替え部 60 は、CPU 610 と、ROM 620 と、RAM 63

0と、IF640とを含むコンピュータを構成している。

[0145] CPU610は、ROM620からプログラムを読み込む。そして、CPU610は、読み込んだプログラムに基づいて、RAM630とIF640とを制御する。CPU610を含むコンピュータは、図2に示す入力データ選択部40と、マルチバンクメモリ41と、並び替え制御部42としての各機能を実現しても良い。CPU610は、各機能を実現する際に、RAM630をプログラムの一時記憶として使用する。

[0146] なお、CPU610は、コンピュータで読み取り可能にプログラムを記憶した記憶媒体700が含むプログラムを、図示しない記憶媒体読み取り装置を用いて読み込んでも良い。あるいは、CPU610は、IF640を介して、図示しない外部の装置からプログラムを受け取っても良い。

[0147] ROM620は、CPU610が実行するプログラム及び固定的なデータを記憶する。ROM620は、例えば、P-ROM(Programmable-ROM)やフラッシュROMである。

[0148] RAM630は、CPU610が実行するプログラムやデータを一時的に記憶する。RAM630は、例えば、D-RAM(Dynamic-RAM)である。

[0149] IF640は、メモリバンク30、メモリバンク33、演算処理部31、演算処理部32とのデータのやり取りを中継する。IF640は、PCI(Peripheral Component Interconnect)カードやファイバーチャネルカードである。

[0150] このように構成されたデータ並び替え部60は、データ並び替え部34と同様の効果を得ることができる。

[0151] その理由は、データ並び替え部60のCPU610が、プログラムに基づいてデータ並び替え部34と同様の動作を実現できるためである。

[0152] (第2の実施形態)

次に、本発明の第2の実施形態の演算装置37について、図面を参照して説明する。

[0153] 本実施形態の演算装置37の構成は、第1の実施形態の演算装置37と同

じため、構成の説明は省略する。

- [0154] 本実施形態の演算装置 37 は、データ並び替え部 34 の並び替え制御が異なる点を除いて、第 1 の実施形態と同様に動作する。そのため、同様の動作の説明を省略し、本実施形態に特有の動作を説明する。
- [0155] 第 1 の実施形態の入力データ選択部 40 は、データ並び替え部 34 の並び替え制御部 42 が供給する入力データを選択する信号を基に、後段の演算処理部への入力データの選択、及び、メモリバンクへ演算結果を出力するか否かを選択する。
- [0156] これに対し、本実施形態のデータ並び替え部 34 の入力データ選択部 40 は、入力されたデータを、そのままマルチバンクメモリ 41 に入力する。ただし、本実施形態の入力データ選択部 40 は、同時に複数のデータを同じマルチバンクメモリ 41 のバンクに入力する状況が発生した場合、データ入力のタイミングを調停する調停機構を備える。
- [0157] 本実施形態の調停機構は、特に制限はない。例えば、調停機構は、次のように動作すればよい。
- [0158] 調停機構は、データを受け取る。そして、調停機構は、そのデータの出力先（例えば、ポート）に出力するデータの入力の状態、つまり、他に出力するデータがあるか否かを確認する。
- [0159] 他のデータが入力されていない場合、調停機構は、受け取ったデータを出力先に出力する。
- [0160] 他のデータが入力されている場合、調停機構は、指示（パラメータ）を基に、先に出力するデータを出力する。そして、出力したデータが出力先に受け取られ、出力先が次のデータを受け取れる状態後、調停機構は、残りのデータを出力する。
- [0161] あるいは、本実施形態の調停機構は、ラウンドロビン方式を用いてデータを調停し、順に 1 データずつマルチバンクメモリ 41 に書き込んでも良い。
- [0162] 本実施形態の演算装置 37 は、並び替え制御部 42 の動作を軽減化する効果を得ることができる。

- [0163] その理由は、次のとおりである。
- [0164] 第 1 の実施形態の入力データ選択部 40 は、入力データ選択信号を生成するため、生成に必要なパラメータを保持する回路（機構）が必要である。
- [0165] 一方、本実施形態の演算装置 37 の入力データ選択部 40 は、マルチバンクメモリ 41 の入力データのタイミングの調停機構（回路）を備える。
- [0166] 一般に、調停機構の回路の規模は、パラメータを保持するための回路の規模より小さい。そのため、本実施形態の入力データ選択部 40 は、第 1 の実施形態の入力データ選択部 40 より少ない回路規模で実現できるためである。
- [0167] （第 3 の実施形態）
次に、本発明の第 3 の実施形態の演算装置 37 について、図面を参照して説明する。
- [0168] 本実施形態の演算装置 37 の構成は、第 1 の実施形態の演算装置 37 と同じため、構成の説明は省略する。
- [0169] 本実施形態の演算装置 37 は、データ並び替え部 34 の並び替え制御が異なる点を除いて、第 1 の実施形態と同様に動作する。そのため、同様の動作の説明を省略し、本実施形態に特有の動作を説明する。
- [0170] 第 1 の実施形態の並び替え制御部 42 は、マルチバンクメモリ 41 の読み出しタイミングを、入力データ選択部 40 への書き込みアドレスの生成のカウンタを基に制御した。そして、この制御を基に、並び替え制御部 42 は、演算データ転送の所定の遅延を発生した。
- [0171] これに対し、本実施形態の並び替え制御部 42 は、次のように動作する。
- [0172] 並び替え制御部 42 は、マルチバンクメモリ 41 の書き込みアドレスと読み出しアドレスとを監視する。
- [0173] そして、並び替え制御部 42 は、データの書き込みに関して、次のように動作する。
- [0174] マルチバンクメモリ 41 の初期状態は、全てのアドレスが、書き込みされていない状態（未書き込み）である。

- [0175] 書き込みアドレスが「未書き込み」の場合、並び替え制御部42は、データをマルチバンクメモリ41に書き込む。書き込み後、並び替え制御部42は、そのアドレスを「書き込み済み」とする。
- [0176] 書き込みアドレスが「書き込み済み」の場合、並び替え制御部42は、そのアドレスのデータが読み出されるまで、マルチバンクメモリ41への書き込みを停止する。そして、そのアドレスのデータが読み出された後、並び替え制御部42は、そのアドレスにデータを書き込む。この場合、並び替え制御部42は、そのアドレスを、「書き込み済み」とする。
- [0177] 一方、並び替え制御部42は、読み出しに関して、次のように動作する。
- [0178] 「書き込み済み」のアドレスの読み出しの場合、並び替え制御部42は、マルチバンクメモリ41に、読み出しアドレスに格納されたデータを、出力させる。出力後、並び替え制御部42は、そのアドレスを「未書き込み」とする。
- [0179] 「未書き込み」のアドレスの読み出しの場合、並び替え制御部42は、そのアドレスの書き込みが生成する（「書き込み済み」となる）まで、データの読み出しを停止する。並び替え制御部42は、「書き込み済み」を検出後、データを読み出す。並び替え制御部42は、読み出し後、そのアドレスを「未書き込み」とする。
- [0180] なお、並び替え制御部42は、データの読み出しの後に「未書き込み」を設定せず、そのアドレスに対する書き込みの有無を確認後、「未書き込み／書き込み済み」を設定しても良い。
- [0181] このような動作を基に、並び替え制御部42は、マルチバンクメモリ41のデータの、時間方向及び出力（ポート）方向の並び替えを実現する。
- [0182] 本実施形態の演算装置37は、第1の実施形態の演算装置37に比べ、制御を容易とする効果を得ることができる。
- [0183] その理由は、次のとおりである。
- [0184] 本実施形態の演算装置37の並び替え制御部42は、マルチバンクメモリ41の書き込みアドレスと読み出しアドレスとを監視し、アドレスを基に制

御する。そのため、並び替え制御部42は、書き込みにおいて、メモリアクセスのタイミングの考慮が不要となるためである。

[0185] 以上、実施形態を参照して本願発明を説明したが、本願発明は上記実施形態に限定されるものではない。本願発明の構成や詳細には、本願発明のScope内で当業者が理解し得る様々な変更をすることができる。

[0186] この出願は、2012年12月25日に出願された日本出願特願2012-281060を基礎とする優先権を主張し、その開示の全てをここに取り込む。

[0187] 上記の実施形態の一部又は全部は、以下の付記のようにも記載されうるが、以下には限られない。

[0188] (付記1) 演算対象データを格納する第1のデータ格納手段と、
データを用いて演算を実行する演算処理手段と、
前記第1のデータ格納手段に格納された前記演算対象データ及び前記演算処理手段で演算されたデータの中から指示されたデータを選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、前記演算処理手段において演算されるデータと前記演算処理手段の演算結果データとを出力するデータ並び替え手段と、
前記データ並び替え手段が出力した前記演算結果データを格納する第2のデータ格納手段と
を含む演算装置。

[0189] (付記2) 複数のデータ並び替え手段と、複数の演算処理手段とを含み、
前記データ並び替え手段が、
前記演算対象データと、1又は2以上の演算処理手段の演算結果のデータの中から指示されたデータを選択する
付記1に記載の演算装置。

- [0190] (付記3) 前記データ並び替え手段が、
データを受け取り、指示されたデータを選択し、前記第2のデータ格納手段、又は、前記演算処理手段に出力する入力データ選択手段と、
前記入力データ選択手段からデータを受け取り、前記パラメータに基づいて、遅延の指示を受け取ったデータに対し遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータを基に、指示された並び替えを実行し、所定の出力ポートから出力するマルチポート格納手段と、
前記入力データ選択部及び前記マルチポート格納手段を制御する並び替え制御手段と
を含むことを特徴とする付記1又は付記2に記載の演算装置。
- [0191] (付記4) 前記入力データ選択手段が、
入力されたデータと同じ出力先の他のデータがあるか否かを確認し、他のデータがない場合、前記入力されたデータを出力し、他のデータがある場合、いずれかのデータを出力後、前記出力先が再度受信可能となった後、残りのデータを出力する
ことを特徴とする付記3に記載の演算装置。
- [0192] (付記5) 前記並び替え制御手段が、
前記マルチポート格納手段の読み出しアドレス及び書き込みアドレスを監視し、
読み出し指示を受けたとき、
前記読み出し指示のアドレスが書き込み済みの場合、前記読み出しアドレスからデータを読み出し、
前記読み出し指示のアドレスが未書き込みの場合、前記読み出しアドレスにデータが書き込まれるまで読み出しを停止する
ことを特徴とする付記3又は付記4に記載の演算装置。
- [0193] (付記6) 演算対象データを格納し、
データを用いて演算し、
格納された前記演算対象データ及び演算されたデータの中から指示された

データ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されるデータと演算結果データとを出力し、

前記演算結果データを格納する

演算方法。

[0194] (付記7) 演算対象データを格納する処理と、

データを用いて演算する処理と、

格納された前記演算対象データ及び演算されたデータの中から指示されたデータ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されるデータと演算結果データとを出力する処理と、

前記演算結果データを格納する処理と

をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体。

産業上の利用可能性

[0195] 本発明は、アレイプロセッサが有用となる処理、つまり、行列演算や、フィルタリング処理や、データの並び替え等の信号処理用途に適用できる。

符号の説明

- [0196] 10 メモリバンク
11 演算処理部
12 演算処理部
13 メモリバンク
14 アレイ演算部
15 演算処理部
16 マルチバンク
17 データメモリ

- 19 アレイプロセッサ
- 20 メモリバンク
- 21 演算処理部
- 22 演算処理部
- 23 メモリバンク
- 24 F I F O
- 25 F I F O
- 26 F I F O
- 27 同期制御部
- 28 同期制御部
- 29 アレイプロセッサ
- 30 メモリバンク
- 31 演算処理部
- 32 演算処理部
- 33 メモリバンク
- 34 データ並び替え部
- 35 演算処理部
- 36 演算装置
- 37 演算装置
- 38 演算装置
- 39 演算装置
- 40 入力データ選択部
- 41 マルチバンクメモリ
- 42 並び替え制御部
- 60 データ並び替え部
- 610 CPU
- 620 ROM
- 630 RAM

640 I F

700 記憶媒体

請求の範囲

[請求項1]

演算対象データを格納する第1のデータ格納手段と、
データを用いて演算を実行する演算処理手段と、
前記第1のデータ格納手段に格納された前記演算対象データ及び前記演算処理手段で演算されたデータの中から指示されたデータを選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、前記演算処理手段において演算されるデータと前記演算処理手段の演算結果データとを出力するデータ並び替え手段と、
前記データ並び替え手段が出力した前記演算結果データを格納する第2のデータ格納手段と
を含む演算装置。

[請求項2]

複数のデータ並び替え手段と、複数の演算処理手段とを含み、
前記データ並び替え手段が、
前記演算対象データと、1又は2以上の演算処理手段の演算結果のデータの中から指示されたデータを選択する
請求項1に記載の演算装置。

[請求項3]

前記データ並び替え手段が、
データを受け取り、指示されたデータを選択し、前記第2のデータ格納手段、又は、前記演算処理手段に出力する入力データ選択手段と、
、
前記入力データ選択手段からデータを受け取り、前記パラメータに基づいて、遅延の指示を受け取ったデータに対し遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータを基に、指示された並び替えを実行し、所定の出力ポートから出力するマルチポート格納手段と、
前記入力データ選択部及び前記マルチポート格納手段を制御する並

び替え制御手段と

を含むことを特徴とする請求項 1 又は請求項 2 に記載の演算装置。

[請求項4]

前記入力データ選択手段が、

入力されたデータと同じ出力先の他のデータがあるか否かを確認し、他のデータがない場合、前記入力されたデータを出力し、他のデータがある場合、いずれかのデータを出力後、前記出力先が再度受信可能となった後、残りのデータを出力する

ことを特徴とする請求項 3 に記載の演算装置。

[請求項5]

前記並び替え制御手段が、

前記マルチポート格納手段の読み出しアドレス及び書き込みアドレスを監視し、

読み出し指示を受けたとき、

前記読み出し指示のアドレスが書き込み済みの場合、前記読み出しアドレスからデータを読み出し、

前記読み出し指示のアドレスが未書き込みの場合、前記読み出しアドレスにデータが書き込まれるまで読み出しを停止する

ことを特徴とする請求項 3 又は請求項 4 に記載の演算装置。

[請求項6]

演算対象データを格納し、

データを用いて演算し、

格納された前記演算対象データ及び演算されたデータの中から指示されたデータ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されるデータと演算結果データとを出力し、

前記演算結果データを格納する

演算方法。

[請求項7]

演算対象データを格納する処理と、

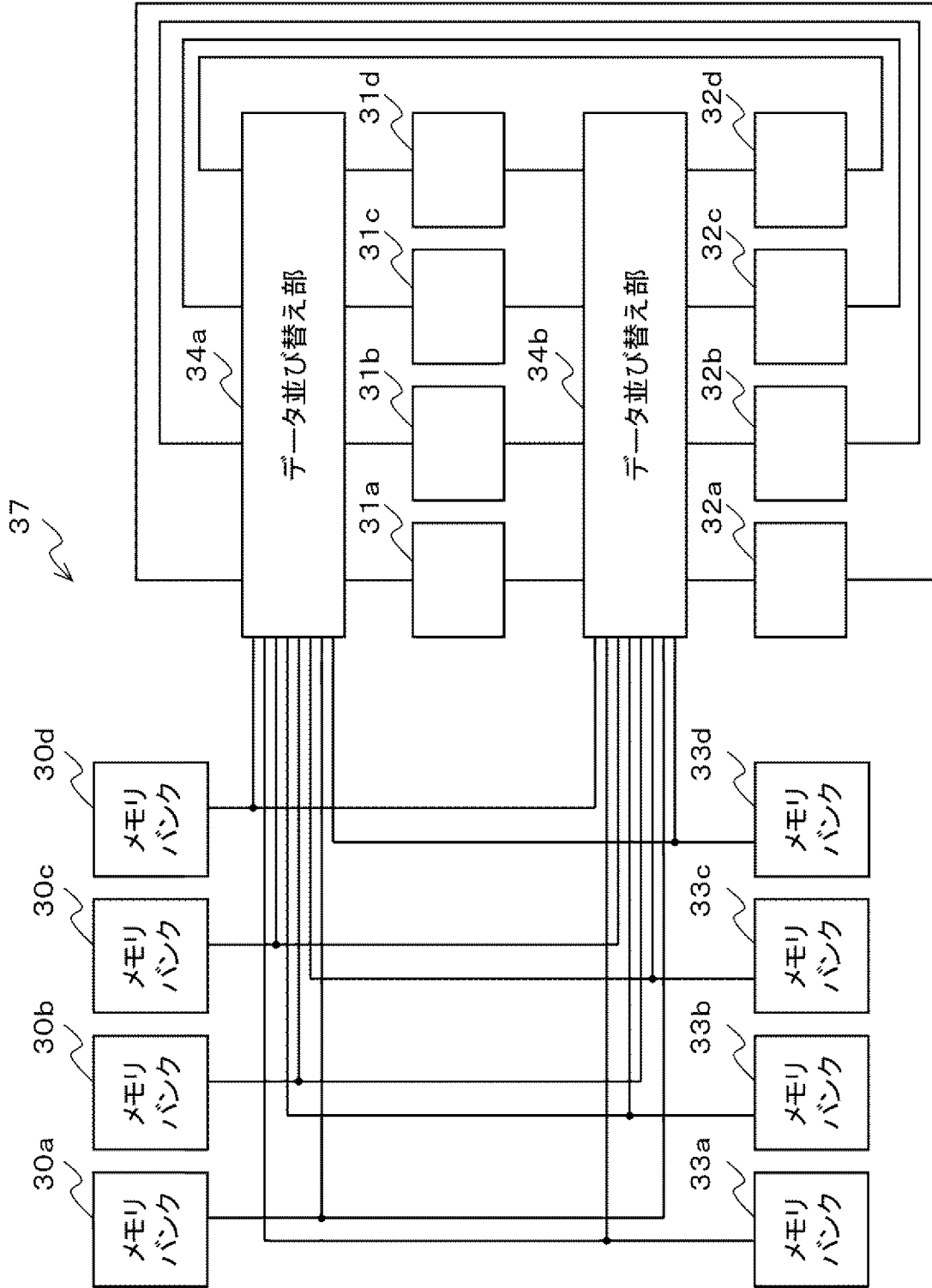
データを用いて演算する処理と、

格納された前記演算対象データ及び演算されたデータの中から指示されたデータ選択し、パラメータに基づいて、指示されたデータのうち遅延の指示を受けたデータに対し所定の遅延を付与し、遅延の指示を受けないデータに対し遅延させず、パラメータに基づいて、指示されたデータの並び替えを実行し、演算されるデータと演算結果データとを出力する処理と、

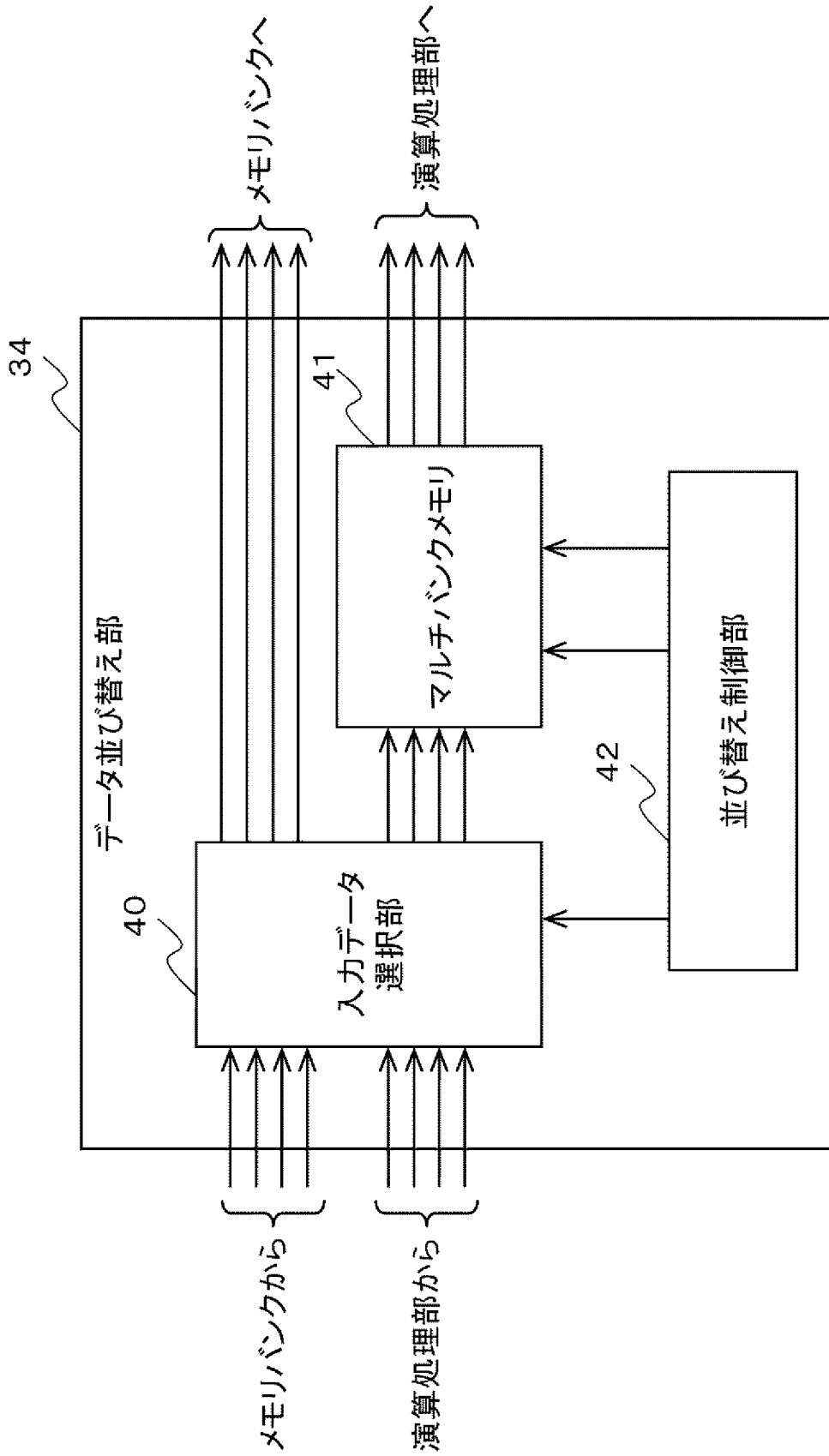
前記演算結果データを格納する処理と

をコンピュータに実行させるプログラムを記録したコンピュータ読み取り可能な記録媒体。

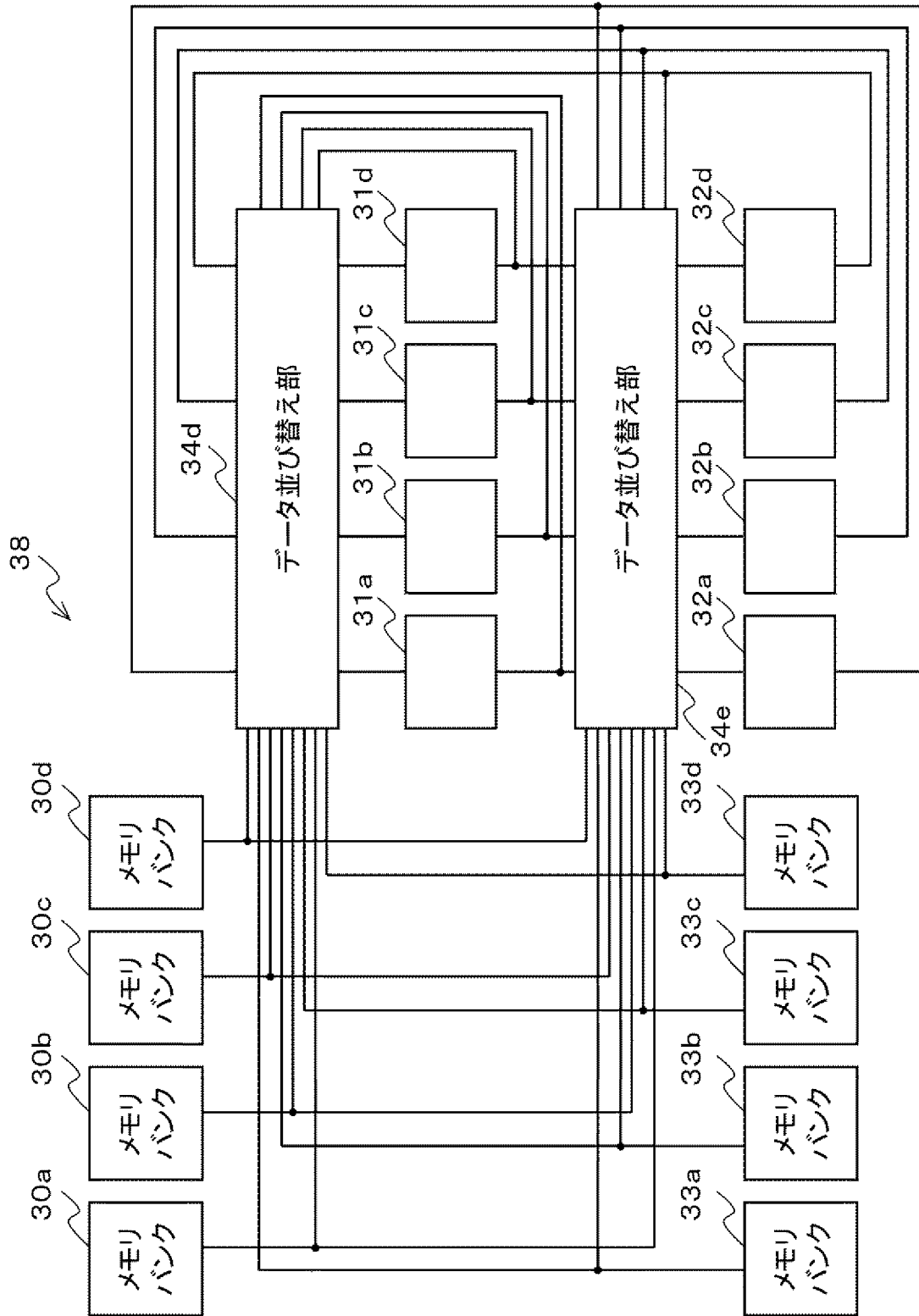
[図1]



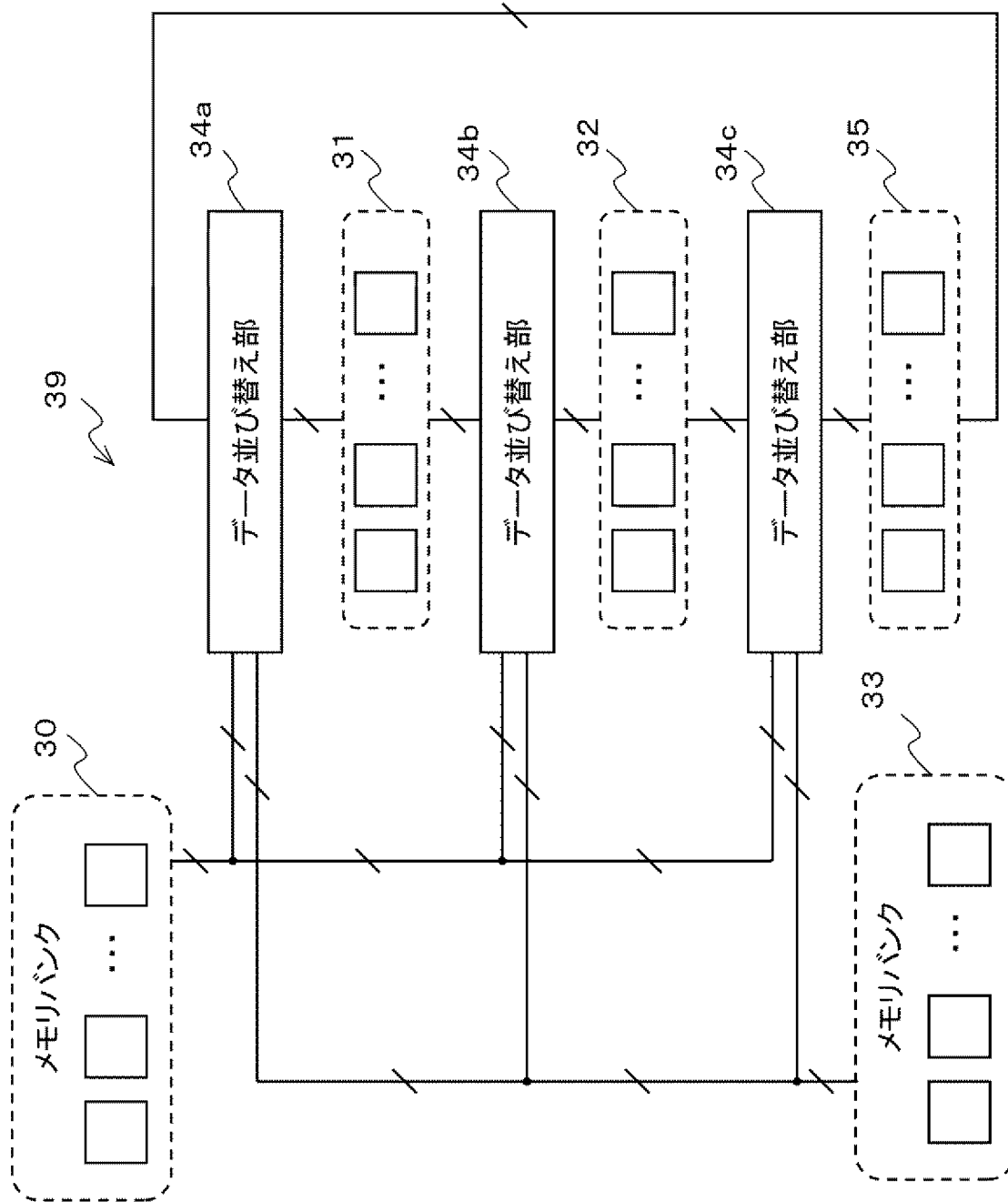
[図2]



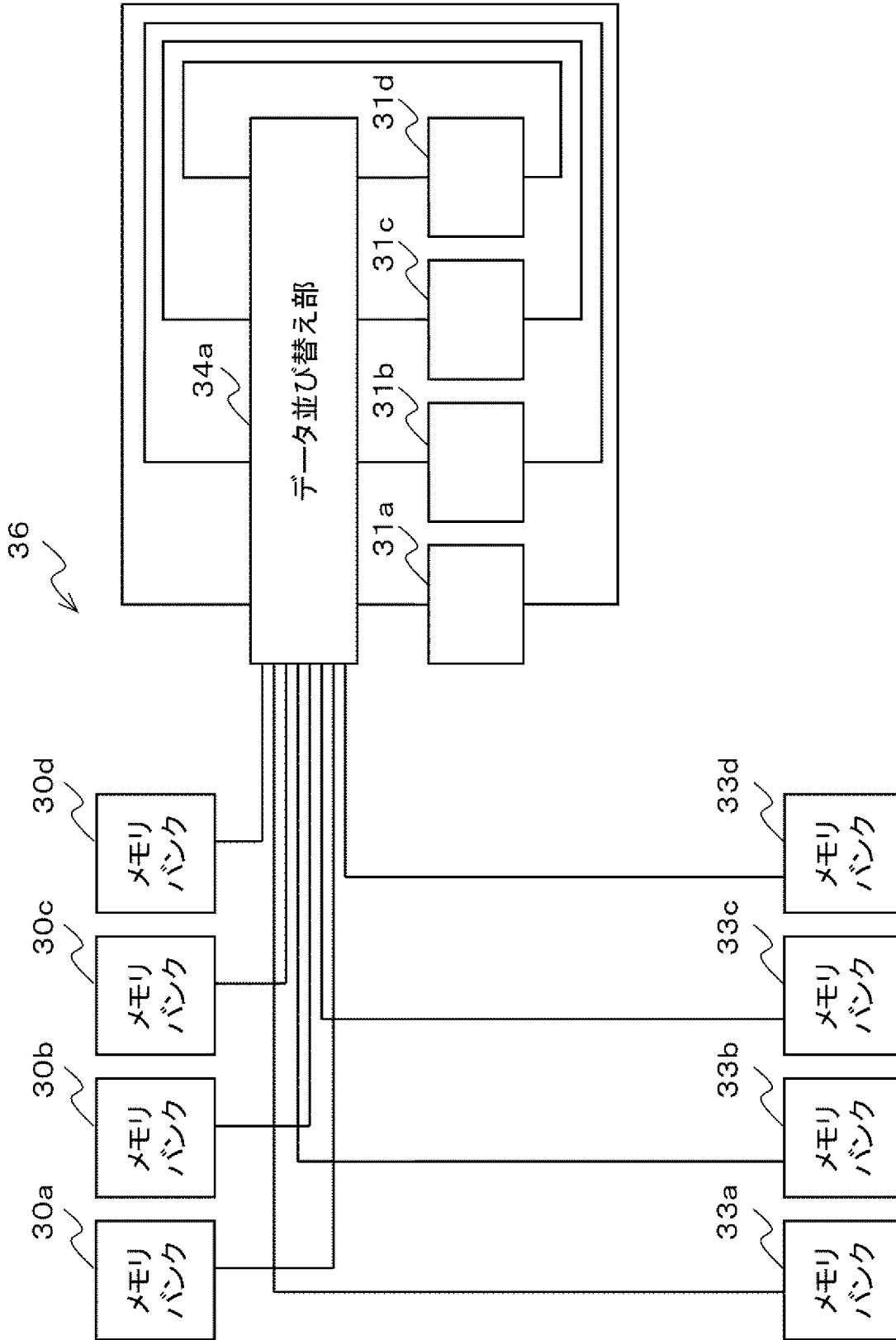
[図3]



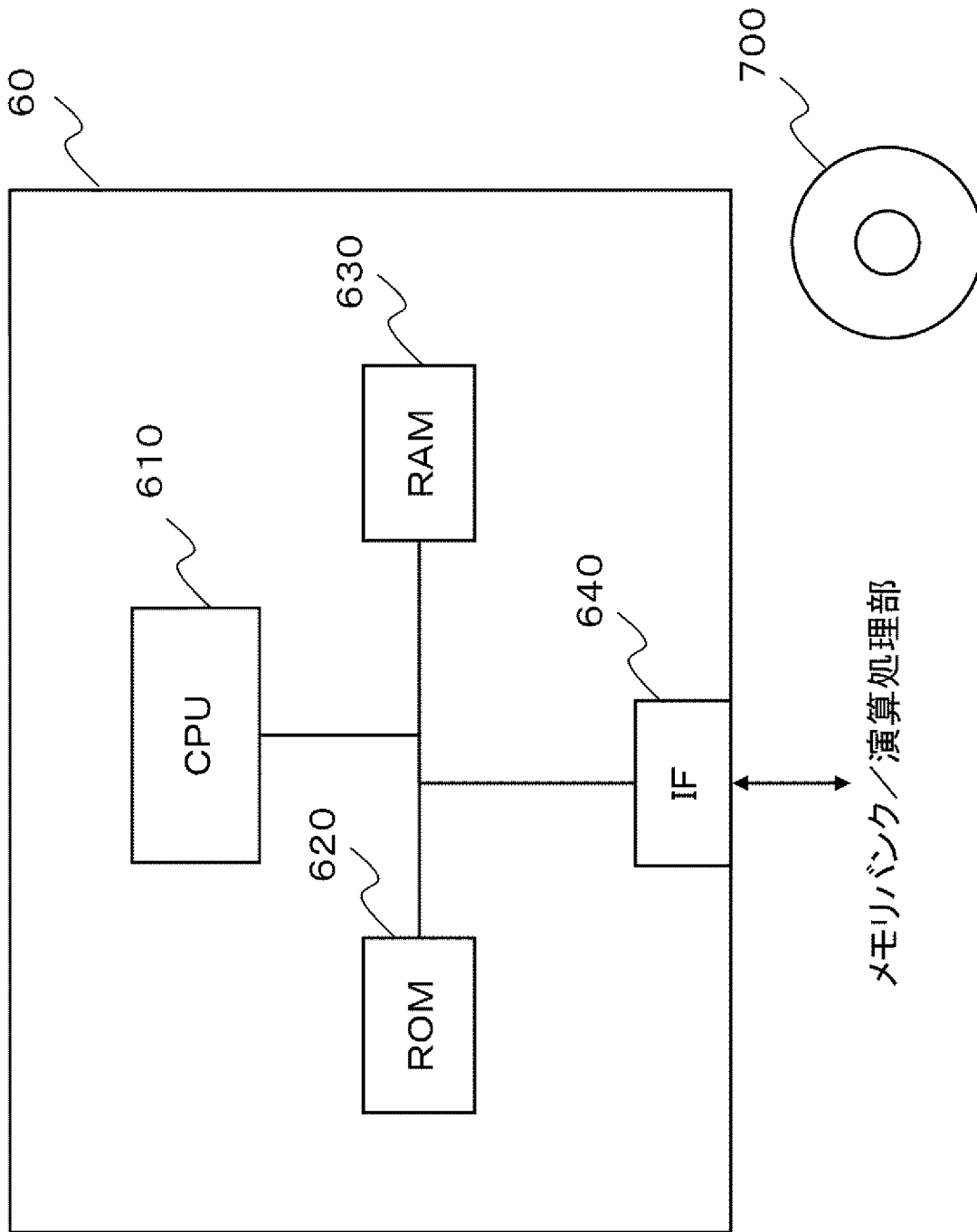
[図4]



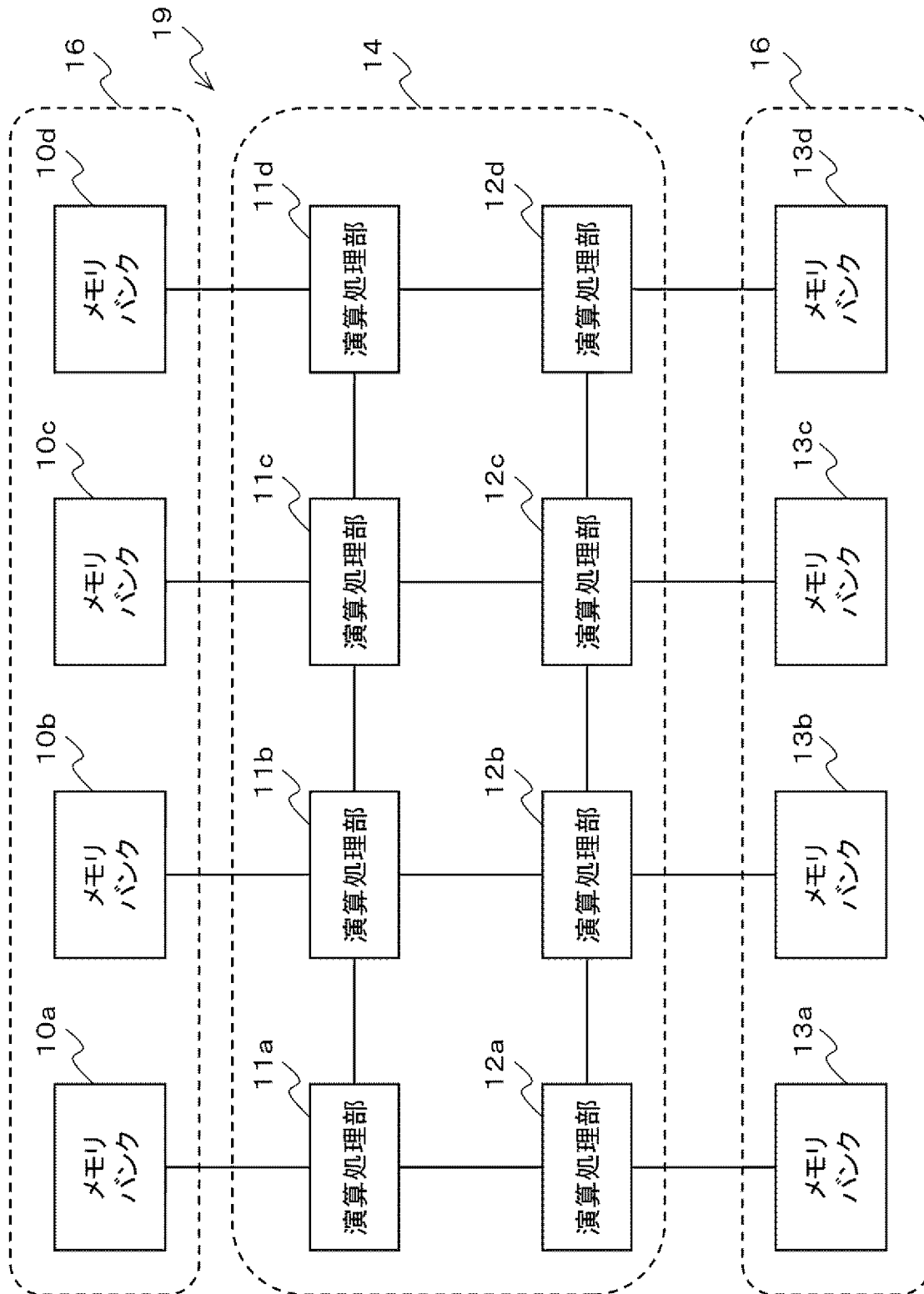
[図5]



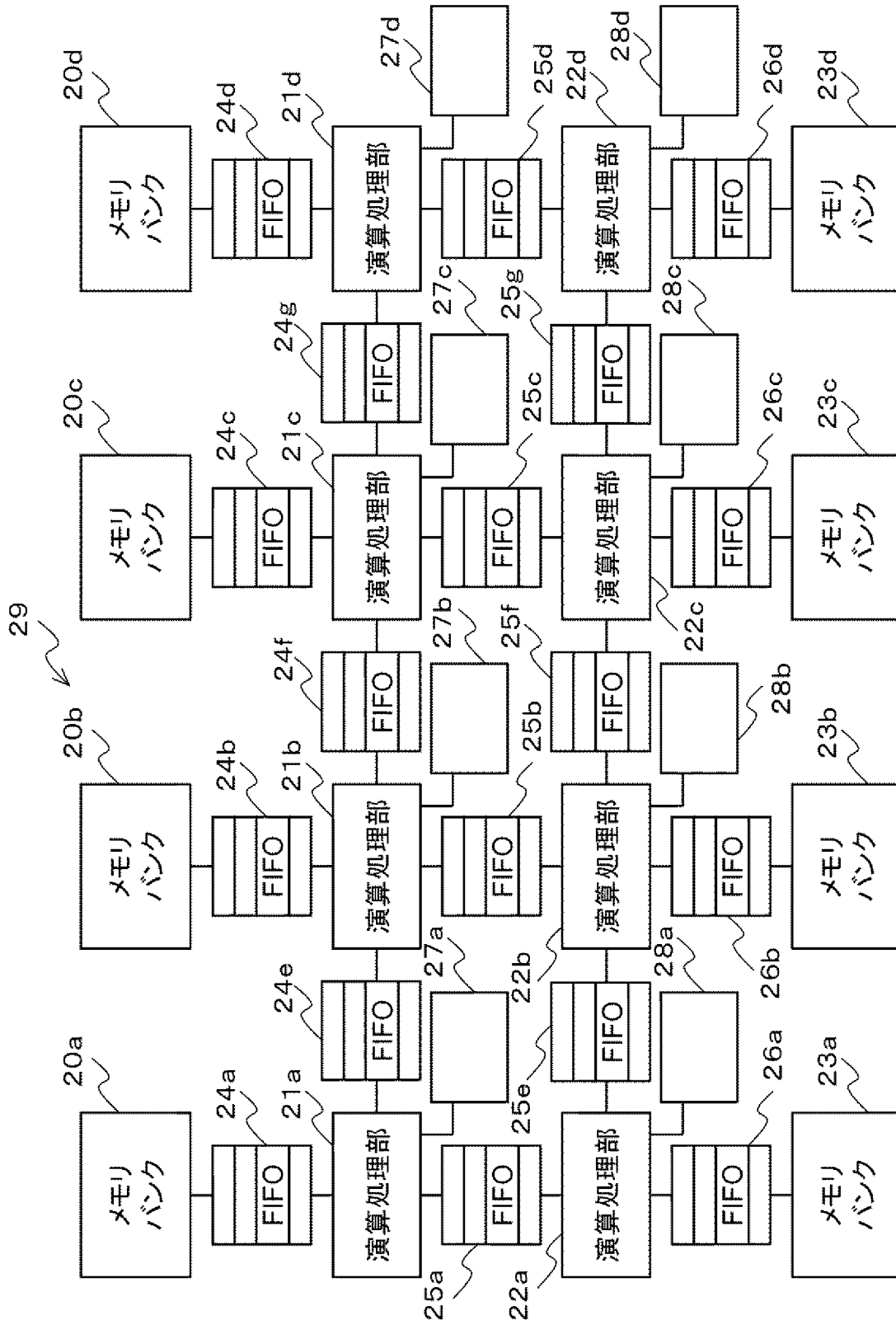
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/007383

A. CLASSIFICATION OF SUBJECT MATTER
G06F15/167(2006.01)i, G06F7/76(2006.01)i, G06F9/315(2006.01)i, G06F9/34(2006.01)i, G06F9/38(2006.01)i, G06F12/00(2006.01)i, G06F12/06(2006.01)i, G06F15/173(2006.01)i, G06F15/80(2006.01)i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
G06F15/16-15/177, G06F15/80, G06F9/30-9/42, G06F5/01, G06F7/00, G06F7/57-7/575, G06F7/74-7/78, G06F17/10-17/18, G06F12/00-12/06, G06F13/16-13/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
 Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2006-31127 A (Fujitsu Ltd.), 02 February 2006 (02.02.2006), paragraphs [0031] to [0037], [0041] to [0042]; fig. 3, 4A, 4B, 4C, 4D, 4E, 4H, 4I & US 2006/0010306 A1 & EP 1632868 A2 & EP 2278496 A1 & CN 1722130 A & KR 10-2006-0005292 A & TW I282924 B	1, 6, 7 2 3, 4, 5
Y A	JP 2009-282781 A (Canon Inc.), 03 December 2009 (03.12.2009), paragraphs [0017] to [0025], [0032] to [0036], [0042] to [0043]; fig. 2 & JP 5279342 B2	2 3, 4, 5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed
 "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
25 February, 2014 (25.02.14)
 Date of mailing of the international search report
11 March, 2014 (11.03.14)

Name and mailing address of the ISA/
Japanese Patent Office
 Authorized officer
 Facsimile No. Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/007383

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2011/036918 A1 (NEC Corp.), 31 March 2011 (31.03.2011), paragraphs [0041] to [0082]; fig. 5, 6, 7, 8, 9, 10, 11, 12 & US 2012/0278373 A1	2 3, 4, 5
A	JP 2010-117806 A (Toshiba Corp.), 27 May 2010 (27.05.2010), fig. 1, 6 & US 2010/0122071 A1	1-7
A	JP 2010-9247 A (Toshiba Corp.), 14 January 2010 (14.01.2010), fig. 2 & US 2009/0327655 A1	1-7
A	JP 2002-215603 A (Sony Corp.), 02 August 2002 (02.08.2002), paragraphs [0055] to [0061] & US 2002/0103839 A1	1-7

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G06F15/167(2006.01)i, G06F7/76(2006.01)i, G06F9/315(2006.01)i, G06F9/34(2006.01)i, G06F9/38(2006.01)i, G06F12/00(2006.01)i, G06F12/06(2006.01)i, G06F15/173(2006.01)i, G06F15/80(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G06F15/16-15/177, G06F15/80, G06F9/30-9/42, G06F5/01, G06F7/00, G06F7/57-7/575, G06F7/74-7/78, G06F17/10-17/18, G06F12/00-12/06, G06F13/16-13/18

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2014年
 日本国実用新案登録公報 1996-2014年
 日本国登録実用新案公報 1994-2014年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2 0 0 6 - 3 1 1 2 7 A (富士通株式会社)	1, 6, 7
Y	2 0 0 6 . 0 2 . 0 2, 【0031】 - 【0037】,	2
A	【0041】 - 【0042】, 【図3】, 【図4A】, 【図4B】, 【図4C】, 【図4D】, 【図4E】, 【図4H】, 【図4I】 &US 2 0 0 6 / 0 0 1 0 3 0 6 A 1 &EP 1 6 3 2 8 6 8 A 2 &EP 2 2 7 8 4 9 6 A 1 &CN 1 7 2 2 1 3 0 A &KR 1 0 - 2 0 0 6 - 0 0 0 5 2 9 2 A &TW 1 2 8 2 9 2 4 B	3, 4, 5

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 25.02.2014	国際調査報告の発送日 11.03.2014
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 清木 泰 電話番号 03-3581-1101 内線 3545	5 B	9 6 4 3
---	---	-----	---------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2009-282781 A (キヤノン株式会社) 2009. 12. 03, 【0017】 - 【0025】, 【0032】 - 【0036】, 【0042】 - 【0043】, 【図2】 & JP 5279342 B2	2 3, 4, 5
Y A	WO 2011/036918 A1 (日本電気株式会社) 2011. 03. 31, [0041] - [0082], [図5], [図6], [図7], [図8], [図9], [図10], [図11], [図12] & US 2012/0278373 A1	2 3, 4, 5
A	JP 2010-117806 A (株式会社東芝) 2010. 05. 27, 【図1】, 【図6】 & US 2010/0122071 A1	1-7
A	JP 2010-9247 A (株式会社東芝) 2010. 01. 14, 【図2】 & US 2009/0327655 A1	1-7
A	JP 2002-215603 A (ソニー株式会社) 2002. 08. 02, 【0055】 - 【0061】 & US 2002/0103839 A1	1-7