

【特許請求の範囲】

【請求項 1】

電氣的にプログラム可能な不揮発性データメモリ (MEM) と、前記メモリにデータ (DTW) を書き込むために必要な高電圧 (Vhv) を供給するための電荷蓄積ブースタ回路 (HVCT、PMP、HGEN) と備える受動型非接触式集積回路 (IC2) であって、

- インジケータフラグ (THR2) を記憶するための揮発性の記憶手段 (FF1) と、
- 前記ブースタ回路を活性化した後で前記高電圧 (Vhv) が最初に臨界しきい値 (Vc) に到達するときに、前記インジケータフラグ (THR2) の値を変更するための手段 (THDET、THR1、FF1) と

を備えることを特徴とする集積回路。

10

【請求項 2】

前記メモリ (MEM) に前記高電圧 (Vhv) を印加するためのスイッチ回路 (SCT) と、

前記ブースタ回路を活性化した後で前記高電圧が前記臨界しきい値 (Vc) に到達しなかったならば、前記スイッチ回路 (SCT) が前記メモリ (MEM) に前記高電圧を印加することを回避するための手段 (A2) と

を備えることを特徴とする請求項 1 に記載の集積回路。

【請求項 3】

前記スイッチ回路 (SCT) が、前記メモリ (MEM) に前記高電圧 (Vhv) を徐々に供給するための傾斜波発生器を備える

ことを特徴とする請求項 2 に記載の集積回路。

20

【請求項 4】

前記メモリ (MEM) に前記データ (DTW) を書き込むための命令を実行するように構成されると共に、前記書き込むための命令の実行の間に前記高電圧 (Vhv) が前記臨界しきい値 (Vc) に到達しなかったことを前記フラグ (THR2) が示すときに、その後特定の情報のメッセージ (WRITEFAIL) を送信する制御ユニット (CTU2) を備える

ことを特徴とする請求項 1 から請求項 3 のいずれか一項に記載の集積回路。

30

【請求項 5】

前記メモリ (MEM) に前記データ (DTW) を書き込むための命令に应答して、以下の、

- 前記ブースタ回路 (HVCT、HGEN、PMP) に、それが前記高電圧 (Vhv) を生成するように、活性化信号 (ON1 = 1) を印加する動作と、

- 前記メモリに書き込みアドレス (ADW) 及び書き込まれるべきデータ (DTW) を印加する動作と、

- 前記メモリに対して前記高電圧 (Vhv) を供給するスイッチ回路 (SCT) に活性化信号 (WRITE = 1) を印加する動作と

を無条件に実行するように構成された制御ユニット (CTU2) を備える

ことを特徴とする請求項 1 から請求項 4 のいずれか一項に記載の集積回路。

40

【請求項 6】

前記メモリ (MEM) に前記データ (DTW) を書き込むための命令を受信すると、以下の、

- 前記ブースタ回路 (HVCT、HGEN、PMP) に、それが前記高電圧 (Vhv) を生成するように、活性化信号 (ON1 = 1) を印加する動作と、

- 前記メモリに書き込みアドレス (ADW) 及び書き込まれるべきデータ (DTW) を印加する動作と、

- もし前記高電圧が前記臨界しきい値 (Vc) に到達する場合、前記メモリに対して前記高電圧 (Vhv) を供給するスイッチ回路 (SCT) に活性化信号 (WRITE = 1) を印加する動作と、

50

- もし前記高電圧が判定された期間の終りに前記臨界しきい値 (V c) に到達しなかった場合、前記スイッチ回路 (S C T) に前記活性化信号 (W R I T E = 1) を印加しないと共に、前記高電圧 (V h v) が前記メモリに印加されなかったことを示す特定の情報のメッセージ (W R I T E F A I L) を送信する動作と
 を実行するように構成された制御ユニット (C T U 2) を備える
 ことを特徴とする請求項 1 または請求項 2 のいずれか一項に記載の集積回路。

【請求項 7】

前記高電圧を監視すると共に、前記高電圧 (V h v) が前記臨界しきい値 (V c) より低い、もしくは前記臨界しきい値 (V c) 以上であるかどうかをその値が示す検出信号 (T H R 1) を供給する検出回路 (T H D E T) を備える
 ことを特徴とする請求項 1 から請求項 6 のいずれか一項に記載の集積回路。

10

【請求項 8】

前記高電圧 (V h v) が調整しきい値 (V c) より高いかまたは調整しきい値 (V c) に等しくなるたびに、有効な値 (1) を有する前記ブースタ回路の調整信号 (T H R 1) を供給するレギュレータ回路 (T H D E T 、 A 1) を備える
 ことを特徴とする請求項 1 から請求項 7 のいずれか一項に記載の集積回路。

【請求項 9】

前記臨界しきい値が、前記調整しきい値 (V c) に等しい
 ことを特徴とする請求項 8 に記載の集積回路。

【請求項 10】

調整信号 (T H R 1) と検出信号 (T H R 1) とが同一である
 ことを特徴とする請求項 7 から請求項 9 のいずれか一項に記載の集積回路。

20

【請求項 11】

前記インジケータフラグ (T H R 2) が、前記高電圧 (V h v) が前記臨界しきい値 (V c) に到達したことを意味する第 1 の値を前記フラグ (T H R 2) に提供するための第 1 の制御入力端子 (S E T) と、前記高電圧 (V h v) が前記臨界しきい値 (V c) に到達しなかったことを意味する第 2 の値を前記フラグ (T H R 2) に提供するための第 2 の制御入力端子 (R S E T) とを有するフリップフロップ (F F 1) によって記憶される
 ことを特徴とする請求項 1 から請求項 9 のいずれか一項に記載の集積回路。

【請求項 12】

前記フリップフロップの前記第 1 の制御入力端子 (S E T) が、前記検出信号 (T H R 1) を受信する
 ことを特徴とする請求項 7 または請求項 11 のいずれか一項に記載の集積回路。

30

【請求項 13】

前記フリップフロップの前記第 2 の制御入力端子 (R S E T) が、以下の、ブースタ回路を非活性化するための信号 (/ O N 1) 、及び / または集積回路をリセットするための信号 (P O R) の 2 つの信号の内の少なくとも 1 つを受信する
 ことを特徴とする請求項 11 または請求項 12 のいずれか一項に記載の集積回路。

【請求項 14】

チップカードまたは電子タグのタイプの携帯用電子体であって、
 携帯用の担体と、
 前記携帯用の担体に搭載されるか、もしくは前記携帯用の担体に統合される請求項 1 から請求項 13 のいずれか一項に記載の集積回路 (I C 2) と
 を備えることを特徴とする携帯用電子体。

40

【請求項 15】

受動型非接触式集積回路 (I C 2) の電氣的にプログラム可能な不揮発性メモリ (M E M) にデータ (D T W) を書き込むための方法であって、
 - 集積回路の揮発性の記憶手段 (F F 1) 内のインジケータフラグ (T H R 2) を初期化する段階と、
 - 前記メモリにデータ (D T W) を書き込むために必要な高電圧 (V h v) を供給する電

50

荷蓄積ブースタ回路（H V C T、P M P、H G E N）を活性化する（O N 1 = 1）段階と、
 - 前記ブースタ回路を活性化した後で前記高電圧（V h v）が最初に臨界しきい値（V c）に到達するときに、前記インジケータフラグ（T H R 2）の値を変更する段階とを有することを特徴とする方法。

【請求項 16】

前記高電圧（V h v）が前記臨界しきい値（V c）に到達しない限り、前記高電圧（V h v）が、前記メモリ（M E M）に印加されないことを特徴とする請求項 15 に記載の方法。

【請求項 17】

前記メモリに前記データ（D T W）を書き込むことを目的とする所定の段階の無条件の実行段階を有すると共に、もし前記高電圧が前記所定の段階の実行の間に前記臨界しきい値（V c）に到達しなかったことを前記フラグ（T H R 2）が示す場合、その後前記インジケータフラグ（T H R 2）の値に関する情報のメッセージ（W R I T E F A I L）を送信する段階を有することを特徴とする請求項 15 または請求項 16 のいずれか一項に記載の方法。

【請求項 18】

調整しきい値（V c）の周辺に前記高電圧（V h v）を調整する段階を有することを特徴とする請求項 15 から請求項 17 のいずれか一項に記載の方法。

【請求項 19】

前記臨界しきい値（V c）が、前記調整しきい値（V c）に等しいことを特徴とする請求項 18 に記載の方法。

【請求項 20】

前記インジケータフラグ（T H R 2）が、前記高電圧（V h v）が前記臨界しきい値（V c）より低いか、もしくは前記臨界しきい値（V c）以上であるかどうかをその値が示す検出信号（T H R 1）が印加される制御入力端子（S E T）を有するフリップフロップ（F F 1）を用いて管理されることを特徴とする請求項 18 または請求項 19 のいずれか一項に記載の方法。

【請求項 21】

前記ブースタ回路が活性化されない場合、前記フリップフロップ（F F 1）がリセットされることを特徴とする請求項 20 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データメモリと、メモリにデータを書き込むために必要な高電圧を供給するための電荷蓄積ブースタ回路とを備える非接触式集積回路に関係する。

【0002】

本発明は、更に特に、アンテナ信号から生成された電圧によって電氣的に電力を供給される受動型の非接触式集積回路に関係する。

【背景技術】

【0003】

受動型非接触式集積回路は、一般的に R F I D アプリケーション（無線 I C タグ）に使用されると共に、誘導結合タイプか、もしくは“電氣的結合”タイプの集積回路であり得る。

【0004】

第 1 のタイプの受動型集積回路は、アンテナコイルと、負荷変調による送信データとを有すると共に、その周波数が通常約 10 [M H z] である磁界の存在下で誘導結合によって電力を供給される。これらの集積回路は、例えば 13.56 [M H z] の使用周波数を提供する標準“ I S O / I E C 14443 A / B ”、“ I S O / I E C 13693 ”

10

20

30

40

50

によって説明される。

【0005】

第2のタイプの受動型集積回路は、数百MHzで振動するUHF電界によって電氣的に電力を供給されると共に、それらのアンテナ回路の反射率を変調することによってデータを送信する（この技術は、後方散乱（backscattering）と呼ばれる）。これらの集積回路は、例えば標準化の途中の産業仕様書（industrial specification）EPC-TM-GEN2（“Radio-Frequency Identity Protocols Class-1 Generation-2 - UHF RFID Protocol for Communications at 860 MHz-960 MHz”）によって説明される。それらは、一般的に、集積回路と、電界を放出する、データ送信/データ受信のためのステーション（装置）（一般に読み取り装置、リーダとも呼ばれる）との間の距離が、何メートルかに達し得る、長距離のアプリケーションに使用される。

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

図1は、第2のタイプの集積回路IC1の構造を概略的に示す。集積回路は、ダイポールアンテナ回路ACと、通信用インタフェース回路CICと、制御ユニットCTU1と、EEPROM（電氣的に消去可能であると共にプログラム可能であるメモリ）タイプの不揮発性メモリMEMと、電荷蓄積ブースタ回路HVCTと、そしてクロック信号CKをユニットCTU1に供給する発振器OSCとを備える。

【0007】

20

回路CICは、アンテナ回路を介したデータの受信及び送信を保証する。それは、制御ユニットCTU1から、アンテナ回路を介して送信されるべきデータDTxを受信するか、またはユニットCTU1に、アンテナ回路を介して受信されたデータDTrを供給する。更にそれは、集積回路の電源を保証すると共に、リーダ（読み取り装置）（図示せず）によって放出された電界Eの存在下で、アンテナ回路ACに記載されるアンテナ信号S1、S2から生成される電圧Vccを供給する。電圧Vccは、一般的に約1ボルトから数ボルトの範囲の電圧である。

【0008】

ブースタ回路HVCTは、電圧Vccから、メモリにデータを書き込む動作に必要な一般的に約10～15[V]の高電圧Vhvを供給する。電圧Vhvは、通常、ユニットCTU1によって制御されるスイッチ回路SCTを通じてメモリに印加される。

30

【0009】

書き込み命令が受信されるとき、ユニットCTU1は、ブースタ回路HVCTを活性化し、書き込みアドレスADWと書き込まれるべきデータDTWをメモリMEMに印加し、そして電圧パルスVppがメモリに印加されるように、スイッチ回路SCTを活性化する。これらの動作は、ブースタ回路を活性化される状態にしている間に、実行されるべき書き込みサイクルの数に従って、数回繰り返され得る。

【0010】

集積回路の受動的性質に固有のこの集積回路の欠点は、そこから電源電圧Vccが抽出される電界Eの強度の変化によって引き起こされた臨界減衰（critical attenuation）を、電源電圧Vccが有し得るということである。磁界の強度、及び/またはリーダ（読み取り装置）との誘導結合の割合が不十分である場合、誘導結合タイプの受動型集積回路にも、類似する欠点がある。例えば、集積回路の利用者、例えば集積回路を含む非接触式チップカードの保持者が、リーダと集積回路との間の通信の間に、リーダからカード/集積回路を引き離すときに、これらの減衰は発生する。電源電圧のこれらの減衰は、それらがメモリにおけるデータの書き込みの間に発生するとき、それらが高電圧Vhvに影響を及ぼすことがあり得るので、解決が難しい。従って、集積回路がメモリの書き込みを始動させるとき、もし電圧Vhvが不十分なレベルを有している場合、メモリセルは、期待されたデータを格納しないか、またはメモリセルに格納されるデータの破損に対応して、プログラムされた状態でも消去された状態でもない中間の状態にセットされるであろう。

40

50

【 0 0 1 1 】

米国特許番号6288629号明細書は、データがメモリで書かれるときに電源電圧 V_{cc} を監視すると共に、電圧 V_{cc} が書き込み段階の間の臨界しきい値以下に変化するとき、インジケータフラグをたてることを提案する。書き込み段階が終了するとき、集積回路は、フラグを読み取ると共に、もし電圧 V_{cc} が書き込み段階の間に臨界しきい値未満になったことをそのフラグが示すならば、集積回路は、書き込み命令を発行したリーダに対して、この情報を通知する。

【 0 0 1 2 】

具体的なアプリケーションに対応する動作条件における非接触式集積回路の動作の観測を目的とする様々なシミュレーションを含んでいる、本発明の著者によって実行された研究によると、この方法は、それが適切に発展したのに対して、書き込み動作が不完全であるという診断を導くことができる。実際には、様々な動作条件において、電源電圧 V_{cc} は、書き込みプロセスに影響を及ぼさない、減衰または本当に短いマイクロ切断を有し得ることが分かる。

10

【 0 0 1 3 】

従って、本発明は、適切に発展した書き込み動作が、電源電圧 V_{cc} がその変化の間に特定のしきい値を下回っていたということだけを根拠として、不完全であると見なされないように、不完全な書き込み動作の診断を改善することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 4 】

本発明は、大部分の状況及び動作条件において、電荷がこの書き込み動作を達成することを可能にするようにブースタ回路が十分な電荷を蓄積したとき、書き込み動作が有効に実行され得るという記述に基づいている。本発明によれば、ブースタ回路によって供給された高電圧 V_{hv} が“臨界”と呼ばれるしきい値に到達したときにこの条件は満たされる。従って、本発明によれば、電源電圧によって決まる代りに、ブースタ回路により供給された高電圧の値によって決まるインジケータフラグが提供される。このインジケータフラグは、書き込み動作を事後診断する (post-diagnose) ために使用され得るが、しかし、以下に現れることになるように、同様に様々な他の用途を有する。

20

【 0 0 1 5 】

更に特に、本発明は、電氣的にプログラム可能な不揮発性データメモリと、前記メモリにデータを書き込むために必要な高電圧を供給するための電荷蓄積ブースタ回路と、前記インジケータフラグを記憶するための揮発性の記憶手段と、前記ブースタ回路を活性化した後で前記高電圧が最初に臨界しきい値に到達するとき、前記インジケータフラグの値を変更するための手段とを備える受動型非接触式集積回路を提供する。

30

【 0 0 1 6 】

一実施例によれば、集積回路は、前記メモリに前記高電圧を印加するためのスイッチ回路と、前記ブースタ回路を活性化した後で前記高電圧が前記臨界しきい値に到達しなかったならば、前記スイッチ回路が前記メモリに前記高電圧を印加することを回避するための手段とを備える。

【 0 0 1 7 】

一実施例によれば、前記スイッチ回路は、前記メモリに前記高電圧を徐々に供給するための傾斜波発生器を備える。

40

【 0 0 1 8 】

一実施例によれば、集積回路は、前記メモリに前記データを書き込むための命令を実行するように構成されると共に、前記書き込むための命令の実行の間に前記高電圧が前記臨界しきい値に到達しなかったことを前記フラグが示すときに、その後特定の情報のメッセージを送信する制御ユニットを備える。

【 0 0 1 9 】

一実施例によれば、集積回路は、前記メモリに前記データを書き込むための命令に応答して、以下の、前記ブースタ回路に、それが前記高電圧を生成するように、活性化信号を

50

印加する動作と、前記メモリに書き込みアドレス及び書き込まれるべきデータを印加する動作と、前記メモリに対して前記高電圧を供給するスイッチ回路に活性化信号を印加する動作とを無条件に実行するように構成された制御ユニットを備える。

【0020】

一実施例によれば、集積回路は、前記メモリに前記データを書き込むための命令を受信すると、以下の、前記ブースタ回路に、それが前記高電圧を生成するように、活性化信号を印加する動作と、前記メモリに書き込みアドレス及び書き込まれるべきデータを印加する動作と、もし前記高電圧が前記臨界しきい値に到達する場合、前記メモリに対して前記高電圧を供給するスイッチ回路に活性化信号を印加する動作と、もし前記高電圧が判定された期間の終りに前記臨界しきい値に到達しなかった場合、前記スイッチ回路に前記活性化信号を印加しないと共に、前記高電圧が前記メモリに印加されなかったことを示す特定の情報のメッセージを送信する動作とを実行するように構成された制御ユニットを備える。

10

【0021】

一実施例によれば、集積回路は、前記高電圧を監視すると共に、前記高電圧が前記臨界しきい値より低いか、もしくは前記臨界しきい値以上であるかどうかをその値が示す検出信号を供給する検出回路を備える。

【0022】

一実施例によれば、集積回路は、前記高電圧が調整しきい値 (regulation threshold) より高いかまたは調整しきい値に等しくなるたびに、有効な値 (active value) を有する前記ブースタ回路の調整信号 (regulation signal) を供給するレギュレータ回路を備える。

20

【0023】

一実施例によれば、前記臨界しきい値は、前記調整しきい値に等しい。

【0024】

一実施例によれば、調整信号と検出信号とは同一である。

【0025】

一実施例によれば、前記インジケータフラグは、前記高電圧が前記臨界しきい値に到達したことを意味する第1の値を前記フラグに提供するための第1の制御入力端子と、前記高電圧が前記臨界しきい値に到達しなかったことを意味する第2の値を前記フラグに提供するための第2の制御入力端子とを有するフリップフロップによって記憶される。

30

【0026】

一実施例によれば、前記フリップフロップの前記第1の制御入力端子は、前記検出信号を受信する。

【0027】

一実施例によれば、前記フリップフロップの前記第2の制御入力端子は、以下の、ブースタ回路を非活性化するための信号、及び/または集積回路をリセットするための信号の2つの信号の内の少なくとも1つを受信する。

【0028】

本発明は、更に、チップカードまたは電子タグのタイプの携帯用電子体であって、携帯用の担体と、前記携帯用の担体に搭載されるか、もしくは前記携帯用の担体に統合される本発明による集積回路とを備えることを特徴とする携帯用電子体に関係する。

40

【0029】

本発明は、更に、受動型非接触式集積回路の電氣的にプログラム可能な不揮発性メモリにデータを書き込むための方法であって、集積回路の揮発性の記憶手段におけるインジケータフラグを初期化する段階と、前記メモリにデータを書き込むために必要な高電圧を供給する電荷蓄積ブースタ回路を活性化する段階と、前記ブースタ回路を活性化した後で前記高電圧が最初に臨界しきい値に到達するときに、前記インジケータフラグの値を変更する段階とを有することを特徴とする方法に関係する。

【0030】

50

一実施例によれば、前記高電圧が前記臨界しきい値に到達しない限り、前記高電圧は、前記メモリに印加されない。

【0031】

一実施例によれば、前記方法は、前記メモリに前記データを書き込むことを目的とする所定の段階の無条件の実行段階を有すると共に、もし前記高電圧が前記所定の段階の実行の間に前記臨界しきい値に到達しなかったことを前記フラグが示す場合、その後前記インジケータフラグの値に関する情報のメッセージを送信する段階を有する。

【0032】

一実施例によれば、前記方法は、調整しきい値の周辺に前記高電圧を調整する段階を有する。

【0033】

一実施例によれば、前記臨界しきい値は、前記調整しきい値に等しい。

【0034】

一実施例によれば、前記インジケータフラグは、前記高電圧が前記臨界しきい値より低いか、もしくは前記臨界しきい値以上であるかどうかをその値が示す検出信号が印加される制御入力端子を有するフリップフロップを用いて管理される。

【0035】

一実施例によれば、前記ブースタ回路が活性化されない場合、前記フリップフロップはリセットされる。

【発明を実施するための最良の形態】

【0036】

本発明のこれら及び他の目的、利点、そして特徴は、添付の図面に関連して提供されるが、しかし添付の図面に制限されない、本発明による受動型非接触式集積回路の実施例の以下の説明において、更により詳細に提示されることになる。

【0037】

図2において示された集積回路IC2は、古典的に、アンテナ回路ACと、通信用インタフェース回路CICと、制御ユニットCTU2と、EEPROM（電氣的に消去可能であると共にプログラム可能であるメモリ）タイプのメモリMEMと、ブースタ回路HVCTと、そしてクロック信号CKをユニットCTU2に供給する発振器OSCとを備える。

【0038】

ここでアンテナ回路は、ダイポールを形成する2つのワイヤW1、W2を備える。概略的に示されたリーダRD1によって放出された電界Eの存在下において、低振幅（10分の数ボルト（0.数ボルト））の交流のアンテナ信号S1、S2が、ワイヤW1、W2上に現れる。

【0039】

回路CICは、電源回路PSC、変調回路MCT、及び復調回路DCを備える。回路PSCは、集積回路の電源を保証する電圧Vccを供給する。電圧Vccは、アンテナ信号S1、S2から生成される（か、もしくは、もしワイヤW1、W2の内の1つがグランドに連結されている場合、アンテナ信号S1、S2の内の1つから生成される）。回路PSCは、例えば、交流信号S1、S2をポンプ信号として使用する一次チャージポンプである。電圧Vccは、一般的に約1ボルトから数ボルトの範囲の電圧であり、マイクロエレクトロニクスにおける最も最近の技術は、1[mm²]より小さい表面積で、約1.8[V]の電源電圧によって動作するシリコンチップに埋め込まれた小さな面積の集積回路を組み立てることを可能にする。

【0040】

変調回路MCTは、制御ユニットCTU2から、通常は符号化形式で、送信されるべきデータDTxを受信すると共に、ここでは、一次チャージポンプのステージを短絡させる作用を有するインピーダンス変調信号S(DTx)を回路PSCに印加することによって、これらのデータに従ってアンテナ回路ACのインピーダンスを変調する。

10

20

30

40

50

【 0 0 4 1 】

回路 D C T は、信号 S 1、S 2 を復調すると共に、ユニット C T U 2 に、これらの信号によって伝送されたデータ D T r を供給する。これらのデータは、リーダ R D 1 によって、電界 E の変調、例えば電界の振幅の変調により送信される。

【 0 0 4 2 】

ここでは、ブースタ回路 H V C T は、チャージポンプ P M P と、チャージポンプの励磁を保證する回路 H G E N を備える。回路 H G E N は、チャージポンプに、クロック信号 C K から生成された、位相が正反対の 2 つの低周波数ポンプ信号 H 1、H 2 を供給する。チャージポンプ P M P は、電圧 V c c より（もしくは、直接アンテナ信号 S 1、S 2 より）、一般的に 1 0 [V] から 1 5 [V] の高電圧 V h v を供給する。電圧 V h v は、スイッチ回路 S C T によって、メモリ M E M に印加される。ここでは、回路 S C T は、メモリセルを損傷することを回避するために、書き込み段階の間、メモリ M E M に高電圧 V h v が徐々に供給されることを可能にする傾斜波発生器である。スイッチ回路 S C T の出力において、傾斜波形で供給された高電圧は、ここでは V p p と呼ばれる。

10

【 0 0 4 3 】

制御ユニット C T U 2 は、リーダ R D 1 から、アンテナ回路 A C とインタフェース回路 C I C T とを通して、読み取りアドレス A D R または書き込みアドレス A D W を含む、メモリ M E M から読み取るか、またはメモリ M E M に書き込むための命令を受信すると共に、ここで、書き込み命令は、更に書き込まれるべきデータ D T W を含む。それは、特に読み取り命令に回答して、メモリにおいて読まれたデータ D T R を含み得るメッセージを送り返す。データの書き込みは、一般的に、メモリセルに “ 0 ” を書き込むことに対応する、受信されたアドレスによって示されるメモリセルの消去動作、及びメモリセルが “ 1 ” を受け取ることである、メモリセルのプログラミング動作を含む。

20

【 0 0 4 4 】

書き込み命令が受信される場合、チャージポンプ P M P がポンプ信号 H 1、H 2 を受信すると共に、電圧 V h v を供給するように、ユニット C T U 2 は、回路 H G E N を活性化する。その場合に、ユニット C T U 2 は、メモリに、書き込みアドレス A D W と書き込まれるべきデータ D T W を印加すると共に、電圧パルス V p p がメモリに印加されるように、スイッチ回路 S C T を活性化する。ここで、ユニット C T U 2 は、回路 H G E N の制御入力端子に、“ 1 ” に等しい信号 “ O N 1 ” を印加することによって、回路 H G E N を活性化すると共に、スイッチ回路 S C T の制御入力端子に、“ 1 ” に等しい信号 “ W R I T E ” を印加することによって、スイッチ回路 S C T を活性化する。

30

【 0 0 4 5 】

本発明によれば、集積回路 I C 2 は、高電圧 V h v を監視する、しきい値検出回路 T H D E T を備える。回路 T H D E T は、チャージポンプ P M P の出力端子に接続される入力端子と、検出信号 T H R 1 を供給する出力端子とを備える。高電圧 V h v がしきい値 V c より低いとき、信号 T H R 1 は、デフォルトによって “ 0 ” である。電圧 V h v がしきい値 V c を越えるとき、回路 T H D E T は、信号 T H R 1 を “ 1 ” にセットする。

【 0 0 4 6 】

本発明によれば、しきい値 V c は、その値から、たとえ電源電圧 V c c の減衰またはマイクロ切断があるとしても、ブースタ回路 H V C T がメモリ M E M を書き込む動作を保證するための十分な電荷を蓄積したと見なされる、臨界しきい値である。

40

【 0 0 4 7 】

更に集積回路 I C 2 は、インジケータフラグ T H R 2 を記憶するための揮発性の記憶手段（メモリポイント：memory point）を備える。ここでは、この記憶手段は、1 つの入力端子 S E T で信号 T H R 1 を受信すると共に、その出力端子がフラグ T H R 2 を供給するフリップフロップ F F 1 である。フリップフロップ F F 1 をリセットした後で、最初に信号 T H R 1 が “ 1 ” になる時、フラグ T H R 2 は、“ 1 ” になると共に、次のフリップフロップのリセットまで “ 1 ” のままである。このリセットは、フリップフロップの 1 つの入力端子 R E S E T に、その入力端子で信号 O N 1 を受信する反転ゲート回路（invertin

50

g gate) により供給される信号“ / ON 1 ”を印加することによって、保証される。従って、制御ユニットCTU2により信号ON1が“ 0 ”に維持されると共に、ブースタ回路HVCTが非活性化される場合、フラグTHR2は、強制的に“ 0 ”にされる。ユニットCTU2が、回路HVCTを活性化するために、信号ON1を“ 1 ”にセットするとき、フラグの値は“ 0 ”のままである。電圧V_{h v}がしきい値V_cに到達するとき、信号THR1が“ 1 ”になると共に、フラグTHR2が“ 1 ”になる。

【 0 0 4 8 】

本発明の任意の、しかし有利な特徴によれば、電圧V_{h v}は、ここでは臨界しきい値V_cに等しい調整しきい値の周辺に調整される。しかし有利に、ここでは、この調整は、信号THR1が“ 1 ”になるとき、ポンプ信号H1、H2がもはやチャージポンプに供給されないように、回路HGENを抑制することによって保証される。回路HGENの制御入力端子は、例えば非反転入力端子に信号ON1を受信し、反転入力端子に信号THR1を受信するANDタイプのゲート回路A1の出力端子に連結される。信号ON1が“ 1 ”に等しいと共に、信号THR1が“ 0 ”に等しい場合(V_{h v} < V_c)、ゲート回路A1は、信号ON1に関して透過的であるとと共に、回路HGENが活性化される。信号THR1が“ 1 ”になる場合(V_{h v} > V_c)、信号THR1が“ 0 ”に戻るまで電圧V_{h v}が減少するように(V_{h v} < V_c)、ゲート回路A1の出力は、“ 0 ”になると共に、回路HGENは非活性化される。そして、電圧V_{h v}が再び増加すると共に、THR1が再び“ 1 ”になり、この繰り返しで、電圧V_{h v}は、従って、しきい値V_cの周辺に調整される。

【 0 0 4 9 】

従って、THR1の検出回路は、フラグTHR2が管理されることを可能にするしきい値の検出のその機能に加えて、ゲート回路A1によって、高電圧V_{h v}のレギュレータを有利に形成する。当業者は、回路HGENの抑制によるブースタ回路のこの調整が、集積回路の電力消費量を減少させると共に、チャージポンプを止めることなく高電圧V_{h v}を切断し、レギュレータにおける漏洩電流の出現を暗示するより、有利であることに注目することになる。同じように、信号H1、H2の抑制は、回路HGENを止めずに考察されるであろうが、しかし、それは不必要に電流を消費するであろう。

【 0 0 5 0 】

本発明の別の任意の、しかし有利な特徴によれば、高電圧V_{h v}が、ブースタ回路HVCTを活性化した後で、少なくとも一度でも臨界しきい値V_cに到達しない限り、スイッチ回路SCTは、制御ユニットCTUによって始動されることができない。そのためには、スイッチ回路SCTの制御入力端子は、例えば第1の入力端子で信号WRITTEを受信すると共に、第2の入力端子でフラグTHR2を受信するANDタイプのゲート回路A2の出力端子と連結される。メモリに電圧パルスV_{p p}を印加するために、信号WRITTEが、ユニットCTU2によって“ 1 ”にセットされるとき、フラグTHR2が“ 1 ”に等しくない限り、ゲート回路A1は、信号WRITTEに関して透過的ではない。

【 0 0 5 1 】

従って、もし、高電圧V_{h v}が期待されるように増加することを、電源電圧V_{c c}の減衰が阻止する場合、及び、もし制御ユニットが信号WRITTEを“ 1 ”にセットするとき高電圧V_{h v}がしきい値V_cに到達しない場合、スイッチ回路SCTの抑制は、メモリMEMが、データを書くのに不十分であるとと共に、データの破損を引き起こすかもしれないレベルの電圧V_{p p}を受け取らないことを保証する。

【 0 0 5 2 】

図3A～図3Eは、メモリを書き込むサイクルWC1、WC2、...を含むメモリの書き込み段階の間の信号ON1、WRITTE、THR1、フラグTHR2、及び電圧V_{h v}、V_{p p}の特徴を示す。信号ON1及びWRITTEは、図3Aにおいて示され、電圧V_{h v}は、図3Bにおいて示され(しきい値V_cの周辺への調整によって引き起こされた電圧V_{h v}の変化は示されない)、信号THR1は、(ここでは、電圧V_{h v}の検出信号及び調整信号として)図3Cにおいて示され、フラグTHR2は、図3Dにおいて示される

と共に、傾斜波発生器であるスイッチ回路 S C T によって供給される電圧 V_{pp} は、図 3 E において示される。

【 0 0 5 3 】

“書き込みサイクル” W C 1、W C 2 は、1つ以上のメモリセルに関する消去またはプログラミングのサイクルを意味し、“書き込み段階”は、データを格納するために必要な全ての消去及びプログラミングのサイクルを含む期間を意味する。例えば、もしメモリ M E M が 8 ビットワードによって消去可能であると共に、8 ビットワードによってプログラム可能で、書き込まれるべきデータがワードある場合、ワードを書き込む段階は、8つのメモリセルを消去するサイクル(集合的な消去サイクル、メモリセルに対する“0”の書き込み)と、“1”を受け取ること意図されたメモリセルの集合的なプログラミングのサイクルとを含む。もしメモリ M E M がページ消去可能 (page-erasable) (ワードライン)か、またはセクタ消去可能であり、かつバイトによってプログラム可能である場合、そして、もし書き込まれるべきデータが同じセクタまたは同じページに属するいくつかのワードを含む場合、ワードを書き込む段階は、全セクタの、もしくは全ページの集合的な消去のサイクルと、書き込まれるべきワードと同数のプログラミングサイクルとを含む。

10

【 0 0 5 4 】

第1の書き込みサイクル W C 1 に先行する時刻 “ t_0 ”、例えば消去サイクルにおいて、信号 O N 1 及び W R I T E は、“0”であり、電圧 V_{hv} は、ゼロに等しく、信号 T H R 1 は、“0”に等しく、そしてフラグ T H R 2 は、(フリップフロップ F F 1 の入力端子 R E S E T に作用する)信号 O N 1 によって“0”に保持される。時刻 “ t_1 ”において、ユニット C T U 2 は、信号 O N 1 を“1”にセットすると共に、電圧 V_{hv} は、増加し始める。時刻 “ t_2 ”において、ユニット C T U 2 は、信号 W R I T E を“1”にセットするが、しかしスイッチ回路 S C T は、フラグ T H R 2 が“0”に等しいと共に、回路 S C T の制御入力端子に対する信号 W R I T E の印加を抑制するので、遮断された状態を維持する。時刻 “ t_3 ”において、電圧 V_{hv} は、しきい値 V_c に到達すると共に、ブースタ回路が電圧を印加されたので、同様にフラグ T H R 2 が“1”になるように、信号 T H R 1 は、初めて“1”になる。回路 S C T は、それ自身を始動すると共に、電圧 V_{pp} の傾斜波形がメモリ M E M に印加される。同時に、信号 O N 1 は、ブースタ回路の入力端子において抑制されると共に、高電圧 V_{hv} は、減少する。時刻 “ t_3' ”において、電圧 V_{hv} は、再びしきい値 V_c より下に行き、そして信号 T H R 1 は、“0”に戻る。時刻 “ t_4 ”において、電圧 V_{hv} は、しきい値 V_c に到達すると共に、信号 T H R 1 は、“1”に戻り、その後、時刻 “ t_4' ”において“0”になる等...、電圧 V_{hv} の調整によって引き起こされたこれらの変化は、信号 O N 1 が“1”を維持する限り、書き込み段階の間ずっと“1”を維持するフラグ T H R 2 に影響を及ぼさない。時刻 “ t_5 ”において、電圧 V_{pp} は、 V_c (または、もし回路 S T C が電圧 V_m の電圧 V_{hv} への減少を強制するならば、“ $V_c - V_m$ ”)に等しい水平状態に到達すると共に、ユニット C T U 2 が、信号 O N 1 を“1”にする一方、信号 W R I T E を“0”にセットする場合、書き込みサイクル W C 1 の終了を示す時刻 “ t_6 ”まで、水平状態の周辺で安定した状態を維持する。信号 T H R 1 は、高電圧 V_{hv} を調整するために、“0”から“1”及び“1”から“0”に交互に移行し続けると共に、フラグ T H R 2 は、“1”を維持する。時刻 “ t_7 ”において、ユニット C T U 2 は、信号 W R I T E を“1”に戻すようにセットすると共に、第2の書き込みサイクル W C 2、例えばプログラミングサイクルが開始される。ここでは、フラグ T H R 2 は、サイクル W C 2 の開始から“1”であると共に、書き込み段階の間ずっと“1”を維持する。

20

30

40

【 0 0 5 5 】

図 4 は、制御ユニット C T 2 による書き込み段階の実行、及び高電圧 V_{hv} の起こり得る障害を診断するためのフラグ T H R 2 の使用を説明する図である。ステップ S 1 0 0 の間、ユニット C T U 2 は、リーダ R D 1 から、命令 “[W R I T E] [D T W] [A D W]”を受信する。ステップ S 1 1 0 の間、ユニット C T U 2 は、ブースタ回路を活性化するために、信号 O N 1 を“1”にセットする(上記の時刻 “ t_1 ”)と共に、メモリにデ

50

ータDTWとアドレスADWとを印加する。ステップS120の間、ユニットCTU2は、信号WRITEを“1”にセットする(上記の時刻“t2”)。ステップS110及びS120は、信号ON1を“1”に維持したままで、実行されるべき書き込みサイクルCW1、CW2...の数と同じ数だけ忠実に繰り返され得る。

【0056】

一度書き込み段階が終了されれば、ユニットCTU2は、ステップS130の間にフラグTHR2を検査し、もしフラグTHR2が“1”に等しいならば、書き込み段階は、正常に発生したと考えられると共に、ユニットCTU2は、それが新しい命令を待つステップS140(“WAIT”)にジャンプする。

【0057】

変形において、ユニットCTU2は、それがメモリに書き込んだデータを読み取ると共に、書き込まれたデータが実際に命令に含まれるデータであることをリーダーRD1が確認し得るように、次のステップS140へジャンプする前に、それらを命令の実行を確認するためのメッセージに含めて送り返す。

【0058】

もしフラグTHR2が“0”に等しいならば、それは、高電圧V_hvが臨界しきい値に到達しなかったということ、そしてそのメモリは書き込まれなかったということの意味する。ユニットCTU2は、それが失敗メッセージ“WRITEFAIL”を送信するステップS150にジャンプする。前述のように、ユニットCTU2は、破損したデータが書き込まれなかったことを証明し得るように、命令に現れる読み取りアドレスADRにおけるメモリ内のデータを読み取るため、及びそれらをメッセージWRITEFAILによってリーダーRD1に送り返すために提供され得る。しかしながら、本発明に基づくフラグTHR2の利点は、集積回路が、電圧V_{cc}の観測ではなく電圧V_hvの観測に基づく信頼できる失敗診断のおかげで、メモリアリアを再度読み取る必要なく、書き込み失敗メッセージを迅速に送信することを可能にすることである。

【0059】

自動的に傾斜波発生器回路SCTの活性化を抑制するためのインジケータフラグTHR2の使用は、集積回路IC2が、クロック信号CKによって達成される固定の順序付けに従う書き込みサイクルを測定する有限の状態機械を含むワイヤードロジック制御ユニットCTUを装備している場合に、本発明の特に有利な特徴であるということに、当業者は注目することになる。ワイヤードロジック制御ユニットの供給は、大規模なアプリケーションに対して低コストの集積回路を組み立てることを可能にする。

【0060】

しかしながら、本発明は、制御ユニットの“知能”のレベル及び適応性に従って、様々な実施例が可能である。例えば、マイクロプロセッサ制御ユニットは、活性化信号WRITEをスイッチ回路SCTに印加する前に、フラグTHR2を検査することができる。そのような場合、フラグTHR2による信号WRITEの抑制は、必要ではない。制御ユニットは、タイマによって測定された期間の間にフラグTHR2が“1”になるのを待つと共に、もし電圧V_hvが臨界しきい値V_cに到達することなく期間が終了するならば、制御ユニットは、書き込みサイクルをキャンセルすると共に、メッセージWRITEFAILを送信する。

【0061】

図5は、チャージポンプPMPの標準的な実施例を示す。それは、各コンデンサのアノードが、ダイオードD1、D2...D_{n-1}によって、次の階層のコンデンサのアノードに連結されると共に、奇数の階層の各コンデンサのカソードが、ポンプ信号H1を受信し、偶数の階層の各コンデンサのカソードが、ポンプ信号H2を受信する、並列に接続されたコンデンサC1、C2...C_nを備える。ダイオードD_nは、最後のコンデンサのアノードを電圧V_hvを供給する出力のコンデンサC_hvに連結すると共に、電圧V_{cc}は、ダイオードD0を通して、第1のコンデンサC1のアノードに印加される。信号H1がプルアップされて、信号H2がプルダウンされる場合、信号H2がプルアップされて信

10

20

30

40

50

号H1がプルダウンされる先行する半周期の間に電荷が蓄積される奇数の階層の各コンデンサは、直後に連結される偶数の階層のコンデンサに放電する。信号H2がプルアップされて、信号H1がプルダウンされる場合、信号H1がプルアップされて信号H2がプルダウンされる先行する半周期の間に電荷が蓄積される偶数の階層の各コンデンサは、直後に連結される奇数の階層のコンデンサに放電する。

【0062】

図6は、検出回路THDETの実施例を示す。検出回路THDETは、そのソース端子がグランド(アース)に連結されたNMOSトランジスタTN1のドレイン端子に連結されたダイオードによって形成される入力ステージを備える。ダイオードDdは、逆向きに搭載されると共に、電圧Vhvを受け取る。トランジスタTN1は、そのゲート端子Gにおいて、好ましくは温度補償された固定のバイアス電圧Vrefを受け取る。ダイオードDdは、逆方向電圧Vdを有していると共に、トランジスタは、電圧Vrefによって課されたドレイン-ソース間電圧Vdsを有している。トランジスタTN1のドレインに位置するノードN1は、グランドと連結されたソース端子Sを有するNMOSトランジスタTN2のゲート端子に連結される。このトランジスタのドレイン端子Dは、その出力端子が検出信号THR1を供給する反転ゲート回路INV1の入力端子に連結されるノードN2を形成する。ノードN2は、そのソース端子Sが電圧Vccを受け取ると共に、そのゲート端子が電圧V2を受け取るPMOSトランジスタTP2によってプルアップされる。電圧Vhvが、ここでは“Vd+Vds”に等しいしきい値Vcに到達するとき、入力ステージは、導通することになると共に、ノードN1は、ハイインピーダンス電位から電位Vdsになる。トランジスタTN2は、導通することになると共に、ノードN2は、“1”(Vcc)から“0”(グランド)になる。信号THR1は、“1”になる。

10

20

【0063】

図7は、それぞれゲート回路がもう一方のゲート回路の入力端子と連結された出力端子を有する2つのゲート回路NOR1、NOR2(ノアゲート回路)を用いたフリップフロップFF1の実施例を示す。ゲート回路NOR1のもう一方の入力端子は、フリップフロップの入力端子SETを形成すると共に、信号THR1を受け取る。ゲート回路NOR2のもう一方の入力端子は、フリップフロップの入力端子RESETを形成すると共に、上述のように、信号“/ON1”を受け取る。ゲート回路NOR2の出力端子は、フラグTHR2を供給する。任意に、ゲート回路NOR2は、フリップフロップの入力端子RESET'を形成すると共に、電源投入毎に集積回路によって生成されるPOR(パワーオンリセット)信号を受け取る第3の入力端子を備える。

30

【0064】

図8は、メモリMEMの実施例を概略的に示す。メモリMEMは、メモリアレイMA、アドレスデコーダDEC、プログラミング回路PCT、選択回路SCT、及び読み取り回路RCTを備える。メモリアレイMAは、水平ライン及び垂直のラインに従って配置されると共に、ワードラインWLiとビットラインBLjに連結された、電氣的に消去可能で、かつプログラム可能なメモリセルCi、jを備える。プログラミング回路PCTは、デコーダDECによって供給された信号COLSELによって選択されると共に、メモリアレイに書き込まれるべきデータDTWを受け取る、メモリアレイのビットラインに連結された消去-プログラミング安全装置(erase-programming locks)(図示せず)を備える。読み取り回路RCTは、選択回路SCTを通してメモリアレイMAのビットラインに連結された1つ以上のセンス増幅器を備えると共に、メモリアレイにおいて読み取られたデータDTRを供給する。

40

【0065】

図9は、ビットbi、jがメモリアレイに格納されることを可能にする、電氣的に消去可能で、かつプログラム可能なメモリセルCi、jの実施例を示す。メモリセルは、ここではNMOSタイプである、フローティングゲートトランジスタFGTと、アクセストランジスタATとを備える。アクセストランジスタは、ビットラインBLjに連結されたドレイン端子D、ワードラインWLiに連結されたゲート端子G、及びトランジスタFGT

50

のドレイン端子Dに連結されたソース端子Sを備えている。更に、トランジスタF G Tは、フローティングゲート端子F G、制御ゲートラインC G Lに連結された制御ゲート端子C G、及びソースラインS L iに連結されたソース端子Sを備える。メモリセルC i、jは、例えば電圧V p pを、アクセストランジスタA Tを介して、トランジスタF G Tのドレイン端子Dに印加すると共に、より低い値の電圧、例えば0 [V]を、その制御ゲート端子C Gに印加することによって、プログラムされた状態にセットされる。電荷が、トンネル効果によってフローティングゲート端子F Gに注入されると共に、一般的に負の状態になるトランジスタF G Tのスレショルド電圧V tを下げる。メモリセルC i、jは、例えば電圧V p pを、トランジスタF G Tの制御ゲート端子C Gに印加すると共に、より低い値の電圧、例えば0 [V]を、そのソース端子Sに印加することによって、消去された状態にセットされる。電荷は、トンネル効果によってフローティングゲート端子F Gから抽出されると共に、トランジスタF G Tのスレショルド電圧は、一般的に正の状態になるように増加する。

10

【0066】

メモリセルC i、jの読み取りは、ビットラインB L jとアクセストランジスタA Tとを介してトランジスタF G Tのドレイン端子Dに連結されたセンス増幅器R C T jによって保証される。増幅器R C T jは、読み取り電圧V r e a dがトランジスタF G Tの制御ゲート端子C Gに印加されると共に、そのソースラインがグラウンドに連結される間、ビットラインにバイアス電圧V p o lを印加する。もしトランジスタF G Tがプログラムされた状態にあるならば、メモリセルは、導通していると共に、読み取り電流I r e a dは、ビットラインB L jを流れる決定されたしきい値電流を超えている。増幅器R C T jは、その場合に、その値が慣例により定義された例えば“ 1 ”である、ビットb i、jを供給する。もしトランジスタF G Tが消去された状態にあるならば、メモリセルは、導通していないか、または僅かに導通している状態であると共に、増幅器R C T jは、逆の値である例えば“ 0 ”に等しいビットb i、jを供給する。

20

【0067】

トンネル効果によってセルを電氣的に消去可能であると共に、プログラム可能である、このメモリE E P R O Mの使用は、トンネル効果による電荷の注入及び抽出が非常に低い電流によって行われるので、電荷の注入がホットキャリアの注入によって行われると共に、かなりのセル電流を必要とするメモリと異なり、有利である。従って、電圧V h vの減衰がある場合においてさえも、臨界しきい値V cに到達するとすぐに、書き込みプロセスが通常は適切に進展しなければならないことに照らして、このメモリは本発明の基本原理を満足する。実際には、そして上述のことから明らかのように、しきい値V cは、好ましくはブースタ回路の調整しきい値に等しいか、またはブースタ回路の調整しきい値に近い、一般的にはこれらのメモリセルを作るために使用された技術に基づくと約10 ~ 15 [V]に選択される。

30

【0068】

高電圧V h vを監視するための手段、及びインジケータフラグT H R 2を管理するための手段が、様々な実施例として可能であることは、当業者には明らかである。本発明は、更にいくつかのアプリケーションが可能であると共に、電氣的結合によって動作する非接触式U H F回路だけを対象としない。本発明は、例えば誘導結合を使用する集積回路に適用されると共に、その電源がメモリセルをプログラミングまたは消去する段階の間の失敗の影響を受けやすい、あらゆる集積回路またはトランスポンダに全体的に適用される。

40

【図面の簡単な説明】

【0069】

【図1】不揮発性メモリを含む非接触式集積回路の構造を示す図である。

【図2】不揮発性メモリ及びメモリを書き込む途中の障害を診断するための手段を含む、本発明による非接触式集積回路の構造を示す図である。

【図3A】メモリにデータを書き込む間に図2の回路に現れる様々な電気信号を示す図である。

50

【図 3 B】メモリにデータを書き込む間に図 2 の回路に現れる様々な電気信号を示す図である。

【図 3 C】メモリにデータを書き込む間に図 2 の回路に現れる様々な電気信号を示す図である。

【図 3 D】メモリにデータを書き込む間に図 2 の回路に現れる様々な電気信号を示す図である。

【図 3 E】メモリにデータを書き込む間に図 2 の回路に現れる様々な電気信号を示す図である。

【図 4】メモリに書き込むための命令を受信した際の、図 1 の集積回路によって実行される動作を説明する図である。

【図 5】図 2 においてブロック形式で表されたチャージポンプの実施例を示す図である。

【図 6】図 2 においてブロック形式で表されたしきい値検出回路の実施例を示す図である。

【図 7】本発明によるインジケータフラグを受信する、図 2 においてブロック形式で表された揮発性の記憶手段の実施例を示す図である。

【図 8】図 2 においてブロック形式で表された不揮発性メモリの実施例を示す図である。

【図 9】図 8 のメモリに存在する不揮発性メモリセルの実施例を示す図である。

【符号の説明】

【 0 0 7 0 】

IC 1、IC 2 集積回路
 AC ダイポールアンテナ回路
 CICT 通信用インタフェース回路
 CTU 1、CTU 2 制御ユニット
 MEM 不揮発性メモリ
 HVCT 電荷蓄積ブースタ回路
 CK クロック信号
 OSC 発振器
 Vcc 電源電圧
 Vhv 高電圧
 E 電界
 W 1、W 2 ダイポールを形成するワイヤ
 RD 1 リーダ
 S 1、S 2 アンテナ信号
 PSCT 電源回路
 MCT 変調回路
 DCT 復調回路
 DTx 送信されるべきデータ
 S(DTx) インピーダンス変調信号
 DTr 伝送されたデータ
 PMP チャージポンプ
 HGEN チャージポンプの励磁を保證する回路
 H 1、H 2 低周波数ポンプ信号
 SCT スイッチ回路
 ADR 読み取りアドレス
 ADW 書き込みアドレス
 DTW 書き込まれるべきデータ
 DTR メモリにおいて読まれたデータ
 THDET しきい値検出回路
 THR 1 検出信号
 THR 2 インジケータフラグ

10

20

30

40

50

FF 1	フリップフロップ (揮発性の記憶手段 / メモリポイント)	
A 1、A 2	ゲート回路	
V _{pp}	傾斜波形で供給された高電圧	
ON 1、“ / ON 1 ”、WRITE	信号	
D 1、D 2 . . . D _n	ダイオード	
C 1、C 2 . . . C _n	コンデンサ	
Ch _v	出力のコンデンサ	
TN 1	NMOSトランジスタ	
D _d	ダイオード	
V _{ref}	固定のバイアス電圧	10
V _d	ダイオードの逆方向電圧	
V _{ds}	ドレイン - ソース間電圧	
N 1、N 2	ノード	
V 2	電圧	
TN 2	NMOSトランジスタ	
INV 1	反転ゲート回路	
TP 2	PMOSトランジスタ	
NOR 1、NOR 2	ノアゲート回路	
POR	パワーオンリセット信号	
MA	メモリアレイ	20
ADEC	アドレスデコーダ	
PCT	プログラミング回路	
SCT	選択回路	
RCT	読み取り回路	
COLSEL	信号	
WL _i	ワードライン	
BL _j	ビットライン	
C _i 、j	メモリセル	
FGT	フローティングゲートトランジスタ	
AT	アクセストランジスタ	30
CTL	制御ゲートライン	
SL _i	ソースライン	
RCT _j	センス増幅器	
V _{read}	読み取り電圧	
V _{pol}	バイアス電圧	
I _{read}	読み取り電流	

【 図 1 】

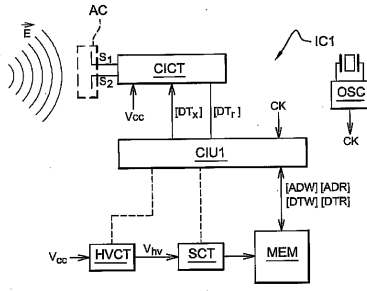


Fig. 1

【 図 2 】

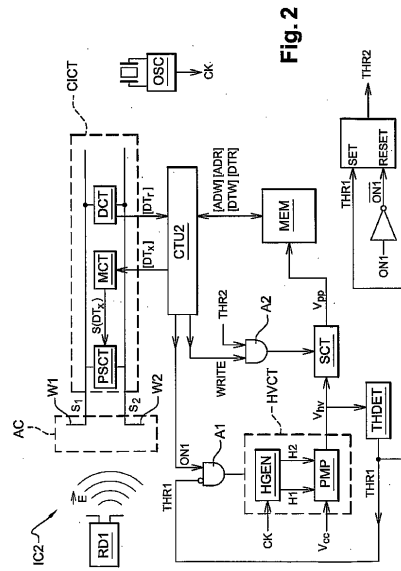


Fig. 2

【 図 3 】

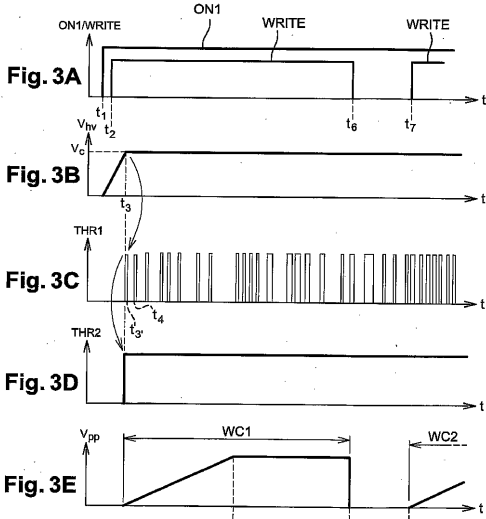


Fig. 3A

Fig. 3B

Fig. 3C

Fig. 3D

Fig. 3E

【 図 4 】

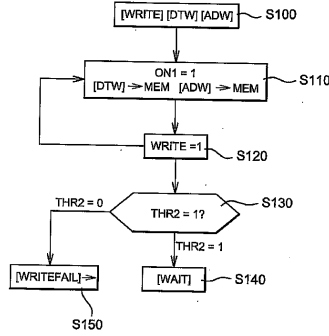


Fig. 4

【 図 5 】

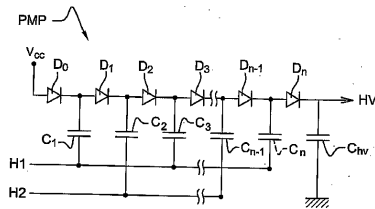


Fig. 5

【 図 6 】

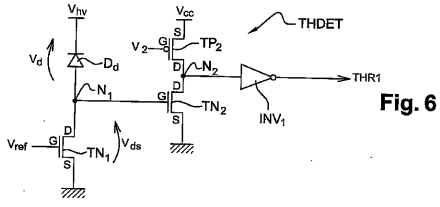


Fig. 6

【 図 7 】

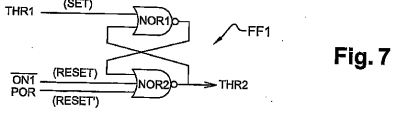


Fig. 7

【 図 8 】

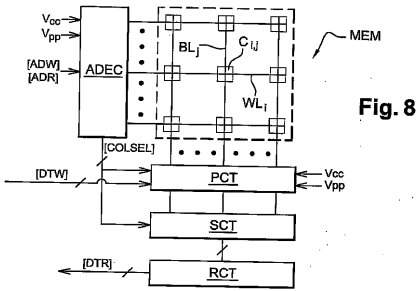


Fig. 8

【 図 9 】

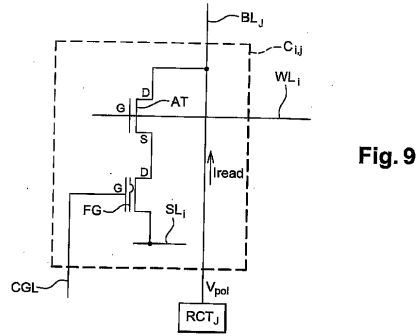


Fig. 9

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/FR2006/001985

A. CLASSIFICATION OF SUBJECT MATTER INV. G11C5/14		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G11C G06K		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the International search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 288 629 B1 (COFINO THOMAS ANTHONY ET AL) 11 September 2001 (2001-09-11) cited in the application column 3, line 23 - column 4, line 27	1-21
A	US 5 394 105 A (AXER ET AL) 28 February 1995 (1995-02-28) column 3, line 38 - column 5, line 15; figure 3	1-21
A	US 5 449 894 A (BRUHNKE ET AL) 12 September 1995 (1995-09-12) column 2, line 57 - column 3, line 30; figures 1,2	1-21
	----- -/-	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed		*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family
Date of the actual completion of the international search 19 February 2007		Date of mailing of the international search report 27/02/2007
Name and mailing address of the ISA/ European Patent Office, P.B. 6816 Patentlaan 2 NL - 2260 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Lindquist, Jim

2

INTERNATIONAL SEARCH REPORT

International application No PCT/FR2006/001985

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005/162145 A1 (SMITH STERLING ET AL) 28 July 2005 (2005-07-28) paragraph [0023] - paragraph [0025]; figure 1	1-21
A	US 6 437 609 B1 (CHEHADI MOHAMAD) 20 August 2002 (2002-08-20) column 4, line 29 - column 6, line 33; figures 2,3	1-21
A	US 5 982 647 A (MARTIN ET AL) 9 November 1999 (1999-11-09) column 4, line 8 - line 67; figure 5	1-21

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2006/001985

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6288629	B1	11-09-2001	NONE
US 5394105	A	28-02-1995	DE 4217382 A1 02-12-1993 EP 0572066 A2 01-12-1993 JP 3273828 B2 15-04-2002 JP 6169536 A 14-06-1994
US 5449894	A	12-09-1995	DE 4243108 A1 23-06-1994 EP 0602449 A2 22-06-1994 JP 3203496 B2 27-08-2001 JP 6223238 A 12-08-1994
US 2005162145	A1	28-07-2005	US 2005104572 A1 19-05-2005 US 2005104573 A1 19-05-2005 US 2003231566 A1 18-12-2003
US 6437609	B1	20-08-2002	EP 1094604 A1 25-04-2001 FR 2800214 A1 27-04-2001 JP 2001189091 A 10-07-2001
US 5982647	A	09-11-1999	AT 201782 T 15-06-2001 AU 733680 B2 24-05-2001 AU 3448197 A 25-02-1998 CA 2262995 A1 12-02-1998 CN 1231751 A 13-10-1999 DE 69705065 D1 05-07-2001 DE 69705065 T2 15-11-2001 EP 0948775 A1 13-10-1999 FR 2752318 A1 13-02-1998 WO 9806056 A1 12-02-1998 JP 2001505345 T 17-04-2001 KR 20000029490 A 25-05-2000

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°
PCT/FR2006/001985A. CLASSEMENT DE L'OBJET DE LA DEMANDE
INV. G11C5/14

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
G11C G06K

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 288 629 B1 (COFINO THOMAS ANTHONY ET AL) 11 septembre 2001 (2001-09-11) cité dans la demande colonne 3, ligne 23 - colonne 4, ligne 27	1-21
A	US 5 394 105 A (AXER ET AL) 28 février 1995 (1995-02-28) colonne 3, ligne 38 - colonne 5, ligne 15; figure 3	1-21
A	US 5 449 894 A (BRUHNKE ET AL) 12 septembre 1995 (1995-09-12) colonne 2, ligne 57 - colonne 3, ligne 30; figures 1,2	1-21
A	US 2005/162145 A1 (SMITH STERLING ET AL) 28 juillet 2005 (2005-07-28) alinéa [0023] - alinéa [0025]; figure 1	1-21
	-/--	

 Voir la suite du cadre C pour la fin de la liste des documents Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

A document définissant l'état général de la technique, non considéré comme particulièrement pertinent

E document antérieur, mais publié à la date de dépôt international ou après cette date

L document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

O document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

P document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

19 février 2007

Date d'expédition du présent rapport de recherche internationale

27/02/2007

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Lindquist, Jim

2

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n° PCT/FR2006/001985
--

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	US 6 437 609 B1 (CHEHADI MOHAMAD) 20 août 2002 (2002-08-20) colonne 4, ligne 29 - colonne 6, ligne 33; figures 2,3 -----	1-21
A	US 5 982 647 A (MARTIN ET AL) 9 novembre 1999 (1999-11-09) colonne 4, ligne 8 - ligne 67; figure 5 -----	1-21

2

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2006/001985

Document brevet cité au rapport de recherche		Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6288629	B1	11-09-2001	AUCUN	
US 5394105	A	28-02-1995	DE 4217382 A1 EP 0572066 A2 JP 3273828 B2 JP 6169536 A	02-12-1993 01-12-1993 15-04-2002 14-06-1994
US 5449894	A	12-09-1995	DE 4243108 A1 EP 0602449 A2 JP 3203496 B2 JP 6223238 A	23-06-1994 22-06-1994 27-08-2001 12-08-1994
US 2005162145	A1	28-07-2005	US 2005104572 A1 US 2005104573 A1 US 2003231566 A1	19-05-2005 19-05-2005 18-12-2003
US 6437609	B1	20-08-2002	EP 1094604 A1 FR 2800214 A1 JP 2001189091 A	25-04-2001 27-04-2001 10-07-2001
US 5982647	A	09-11-1999	AT 201782 T AU 733680 B2 AU 3448197 A CA 2262995 A1 CN 1231751 A DE 69705065 D1 DE 69705065 T2 EP 0948775 A1 FR 2752318 A1 WO 9806056 A1 JP 2001505345 T KR 20000029490 A	15-06-2001 24-05-2001 25-02-1998 12-02-1998 13-10-1999 05-07-2001 15-11-2001 13-10-1999 13-02-1998 12-02-1998 17-04-2001 25-05-2000

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ダビッド・ノーラ

フランス・F - 1 3 1 0 0 ・アク・サン・プロバンス・シュマン・ドゥ・ボレガール・1 2

(72)発明者 クリストフ・モロー

フランス・F - 1 3 1 0 9 ・シミアーヌ・シュマン・デ・マレ・1 7 3 1

(72)発明者 アフメド・カリ

フランス・F - 1 3 1 0 0 ・アク・サン・プロバンス・アブニュ・ドゥ・フォンタンネイル・7 2
・パティマン・ジェ・レジダンス・ル・ムセ

(72)発明者 ビエール・リッツォ

フランス・F - 1 3 1 0 0 ・アク・サン・プロバンス・リュ・ジョセフ・ビレビユ・2 5 5

Fターム(参考) 5B035 BB09 CA04 CA12 CA29