(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2011 年 11 月 3 日(03.11.2011)

PCT

(10) 国際公開番号
WO 2011/136071 A1

(51) 国際特許分類:
H01L 29/786 (2006.01) *H01L 21/28* (2006.01)
G02F 1/1368 (2006.01) *H01L 21/336* (2006.01)
G09F 9/30 (2006.01) *H01L 21/768* (2006.01)

(21) 国際出願番号: PCT/JP2011/059538

(22) 国際出願日: 2011 年 4 月 18 日(18.04.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-102570 2010 年 4 月 27 日(27.04.2010) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 古川 博章 (FURUKAWA Hiroaki).

(74) 代理人: 川上 桂子, 外 (KAWAKAMI Keiko et al.); 〒5300004 大阪府大阪市北区堂島浜１丁目４番１６号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

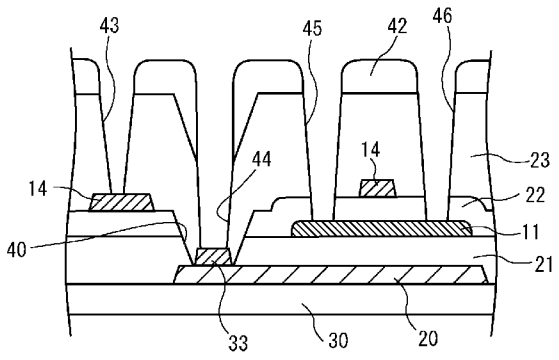
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE, AND MANUFACTURING METHOD FOR SAME

(54) 発明の名称 : 半導体装置及びその製造方法

[図3E]



(57) **Abstract**: Disclosed is a manufacturing method for semiconductor devices which prevents excessive etching of the conductive layer, even if the section in which the conductive layer contact hole is formed is etched several times. A light-shielding film (20) is formed on a substrate (30). A buffer film (21), a gate insulating film (22), and a silicon film (11) are formed on the substrate (30) and the light-shielding film (20). A cleared section (40) is formed by using etching to remove a section of the buffer film (21) and the gate insulating film (22), said section being on the light-shielding film (22) and disposed outside the area in which the silicon film (11) is formed. A gate electrode film (33) is formed in the cleared section (40). An interlayer insulating film (23) is formed above the substrate (30). Etching is used to simultaneously form contact holes (45, 46) extending to the silicon film (11) and a contact hole extending to the light-shielding film (20) in the cleared section (40).

(57) 要約:

[続葉有]

WO 2011/136071 A1

導電層コンタクトホールが形成される部分が複数回、エッチングされる場合でも、導電層が過剰にエッチングされるのを防止する。基板（３０）上に遮光膜（２０）を形成する。該基板（３０）上及び遮光膜（２０）上に、バッファ膜（２１）、ゲート絶縁膜（２２）及びシリコン膜（１１）を形成する。前記シリコン膜（１１）の形成領域以外で且つ前記遮光膜（２０）上に位置するバッファ膜（２１）及びゲート絶縁膜（２２）の一部をエッチングにより除去して、除去部（４０）を形成する。該除去部（４０）内にゲート電極膜（３３）を形成する。前記基板（３０）の上方に層間絶縁膜（２３）を形成する。前記シリコン膜（１１）まで延びるコンタクトホール（４５，４６）と、前記除去部（４０）内を遮光膜（２０）まで延びるコンタクトホール（４４）と、をエッチングによって同時に形成する。

明　細　書

発明の名称 ： 半導体装置及びその製造方法

技術分野

[0001] 本発明は、遮光性の導電層を有する半導体装置、及び、その製造方法に関する。

背景技術

[0002] 従来より、基板上に遮光性の導電層を有する半導体装置が知られている。このような半導体装置では、例えば特開２００２－１０８２４４号公報に開示されるように、薄膜トランジスタと基板との間に位置する遮光膜が定電位源に接続されている。なお、前記特開２００２－１０８２４４号公報には、コンタクトホールを複数回のエッチングによって形成する製造方法が開示されている。

発明の開示

[0003] ところで、前記特開２００２－１０８２４４号公報に開示されている構成のようにコンタクトホールを複数回のエッチングによって形成する場合には、該コンタクトホールが到達する層を複数回、エッチングする。そのため、該コンタクトホールが到達する層で膜減りや突き抜けが生じる可能性がある。

[0004] 特に、半導体装置内に存在する寄生容量によって生じる電気的な影響を低減するために、遮光性の導電層の電位を調整する構成では、基板上の導電層を例えばソース配線等と電気的に接続する必要がある。そのため、複数の層を除去するエッチングを行う必要がある。よって、導電層まで延びる導電層コンタクトホールを形成する際に、複数回、エッチングを行うことが考えられる。その場合には、導電層が過剰にエッチングされて該導電層に膜減りや突き抜けが生じる可能性がある。

[0005] 本発明の目的は、導電層コンタクトホールが形成される部分が複数回、エッチングされる場合でも、導電層が過剰にエッチングされるのを防止するこ

とにある。

[0006] 本発明の一実施形態にかかる半導体装置の製造方法は、基板上に遮光性を有する導電層を形成する導電層形成工程と、前記基板上及び導電層上に、絶縁層を形成する絶縁層形成工程と、前記絶縁層の一部をエッチングによって除去して、絶縁層除去部を形成する絶縁層除去工程と、前記絶縁層除去部内の導電層上に、ゲート電極膜を形成するゲート電極膜形成工程と、前記基板の上方に層間絶縁層を形成する層間絶縁層形成工程と、前記層間絶縁層の表面から前記絶縁層除去部内のゲート電極膜まで延びる導電層コンタクトホールをエッチングによって形成するコンタクトホール形成工程と、を有する。

[0007] 本発明により、導電層コンタクトホールが形成される部分が複数回、エッチングされる場合でも、導電層が過剰にエッチングされるのを防止できる。

図面の簡単な説明

[0008] [図1]図１は、第１の実施形態にかかる半導体装置を備えた液晶表示装置の表示パネルの概略構成を示す斜視図である。

[図2]図２は、第１の実施形態にかかる半導体装置の概略構成を示す断面図である。

[図3A]図３Ａは、第１の実施形態にかかる半導体装置の製造工程において、除去部を形成するためのレジストパターンを形成した状態を示す図である。

[図3B]図３Ｂは、第１の実施形態にかかる半導体装置の製造工程において、除去部を形成した状態を示す図である。

[図3C]図３Ｃは、第１の実施形態にかかる半導体装置の製造工程において、ゲート電極膜を形成した状態を示す図である。

[図3D]図３Ｄは、第１の実施形態にかかる半導体装置の製造工程において、コンタクトホールを形成するためのレジストパターンを形成した状態を示す図である。

[図3E]図３Ｅは、第１の実施形態にかかる半導体装置の製造工程において、コンタクトホールを形成した状態を示す図である。

[図3F]図３Ｆは、第１の実施形態にかかる半導体装置の製造工程において、

配線、保護膜及び透明電極を形成した状態を示す図である。

[図4]図４は、除去部内のゲート電極膜の別の形態を示す図である。

[図5]図５は、第２の実施形態にかかる半導体装置の概略構成を示す断面図である。

[図6A]図６Ａは、第２の実施形態にかかる半導体装置の製造工程において、除去部を形成するためのレジストパターンを形成した状態を示す図である。

[図6B]図６Ｂは、第２の実施形態にかかる半導体装置の製造工程において、除去部を形成した状態を示す図である。

[図6C]図６Ｃは、第２の実施形態にかかる半導体装置の製造工程において、ゲート電極膜を形成した状態を示す図である。

[図6D]図６Ｄは、第２の実施形態にかかる半導体装置の製造工程において、コンタクトホールを形成するためのレジストパターンを形成した状態を示す図である。

[図6E]図６Ｅは、第２の実施形態にかかる半導体装置の製造工程において、コンタクトホールを形成した状態を示す図である。

[図6F]図６Ｆは、第２の実施形態にかかる半導体装置の製造工程において、配線、保護膜及び透明電極を形成した状態を示す図である。

[図7]図７は、除去部内のゲート電極膜の別の形態を示す図である。

発明を実施するための形態

[0009] 本発明の一実施形態にかかる半導体装置の製造方法は、基板上に遮光性を有する導電層を形成する導電層形成工程と、前記基板上及び導電層上に、絶縁層を形成する絶縁層形成工程と、前記絶縁層の一部をエッチングによって除去して、絶縁層除去部を形成する絶縁層除去工程と、前記絶縁層除去部内の導電層上に、ゲート電極膜を形成するゲート電極膜形成工程と、前記基板の上方に層間絶縁層を形成する層間絶縁層形成工程と、前記層間絶縁層の表面から前記絶縁層除去部内のゲート電極膜まで延びる導電層コンタクトホールをエッチングによって形成するコンタクトホール形成工程と、を有する（第１の方法）。

[0010] 上記の方法によって、導電層コンタクトホールが形成される部分が複数回、エッチングされる場合でも、導電層の過剰なエッチングを抑制できる。すなわち、導電層コンタクトホールを形成する部分の絶縁層を予め除去した後、導電層上にゲート電極膜を形成することで、半導体層コンタクトホールと導電層コンタクトホールとをエッチングによって同時に形成する際に導電層が再びエッチングされるのを防止できる。これにより、導電層が複数回エッチングされるのを防止できる。したがって、エッチングによって導電層に膜減りや突き抜けが生じるのを防止できる。

[0011] しかも、絶縁層除去部内のゲート電極膜は、絶縁層上に形成されるゲート電極膜と同じ工程で形成されるため、半導体装置の製造工程において工程数を増加させることなく、導電層の保護が可能になる。

[0012] 前記第１の方法において、前記絶縁層内または該絶縁層の上方のいずれか一方に、島状の半導体層を形成する半導体層形成工程をさらに備え、ゲート電極膜形成工程では、前記絶縁膜除去部内の導電層上以外にも、前記絶縁層上にゲート電極膜を形成し、前記コンタクトホール形成工程では、前記導電層コンタクトホールとともに、前記層間絶縁層の表面から前記半導体層まで延びる半導体層コンタクトホールを、エッチングによって同時に形成するのが好ましい（第２の方法）。

[0013] このように導電層コンタクトホールと半導体層まで延びる半導体層コンタクトホールとを、エッチングによって同時に形成する構成では、複数の層をエッチングする必要がある導電層コンタクトホールの方がエッチングの時間が長くなる。そのため、上記の方法のように導電層コンタクトホールを形成する部分の絶縁膜を予め除去しておくことで、導電層コンタクトホールと半導体層コンタクトホールとをエッチングによって同時に形成する際に、半導体層が過剰にエッチングされるのを防止できる。

[0014] しかも、導電層コンタクトホールが形成される絶縁膜除去部内の導電層上に、ゲート電極膜が形成されているため、導電層コンタクトホールを形成する部分を複数回、エッチングした場合でも、導電層が複数回、エッチングさ

れるのを防止できる。これにより、導電層が過剰にエッチングされて該導電層に膜減りや突き抜けが生じるのを防止できる。

[0015] したがって、上述の方法により、導電層コンタクトホールと半導体層コンタクトホールとをエッチングによって同時に形成する際に、導電層及び半導体層が過剰にエッチングされるのを防止できる。

[0016] 前記第２の方法において、前記絶縁層は、バッファ層と該バッファ層上に形成されるゲート絶縁層とからなり、前記絶縁層除去工程では、前記導電層上に位置する前記バッファ層及びゲート絶縁層のそれぞれ一部を除去して、前記絶縁層除去部を形成し、前記半導体層形成工程では、前記バッファ層とゲート絶縁層との間に前記半導体層が位置するように、該バッファ層上に半導体層を形成し、前記ゲート電極膜形成工程では、前記ゲート絶縁層上及び前記絶縁層除去部内の導電層上に、ゲート電極膜をそれぞれ形成するのが好ましい（第３の方法）。

[0017] この方法により得られるスタガ型（トップゲート型）の半導体装置では、半導体層コンタクトホールを半導体層まで到達させるためには、層間絶縁膜及びゲート絶縁膜をエッチングしなければならない。一方、導電層コンタクトホールが形成される部分では、バッファ層及びゲート絶縁膜がそれぞれ除去されているため、層間絶縁膜のみをエッチングすればよい。したがって、半導体層コンタクトホールと導電層コンタクトホールとをエッチングによって同時に形成すると、導電層コンタクトホール内が過剰にエッチングされることになる。

[0018] これに対し、上記の方法のように、絶縁除去部内にゲート電極膜を形成しておくことで、半導体層コンタクトホールと導電層コンタクトホールとをエッチングによって同時に形成する際に、導電層が再度、エッチングされるのを防止できる。

[0019] したがって、上記の方法により、上述のようなスタガ型の半導体装置において、導電層が過剰にエッチングされて膜減りや突き抜けが生じるのを防止できる。

[0020] 前記第２の方法において、前記絶縁層は、バッファ層からなり、前記絶縁層除去工程では、前記導電層上に位置する前記バッファ層の一部を除去して、前記絶縁層除去部を形成し、前記半導体層形成工程では、前記バッファ層上に形成されるゲート絶縁層上に、半導体層を形成し、前記ゲート電極膜形成工程では、前記バッファ層上及び前記絶縁層除去部内の導電層上に、ゲート電極膜をそれぞれ形成するのが好ましい（第４の方法）。

[0021] この方法により得られる逆スタガ型（ボトムゲート型）の半導体装置においても、絶縁層除去部にゲート電極膜を形成することで、半導体層コンタクトホールと導電層コンタクトホールとをエッチングによって同時に形成する際に、導電層が再度、エッチングされるのを防止できる。したがって、上記の方法により、逆スタガ型の半導体装置においても、導電層が過剰にエッチングされて該導電層に膜減りや突き抜けが生じるのを防止できる。

[0022] 本発明の一実施形態にかかる半導体装置は、基板と、前記基板上に形成された遮光性を有する導電層と、前記基板上及び導電層上に形成された絶縁層と、前記絶縁層内または該絶縁層の上方のいずれか一方に形成された半導体層と、前記絶縁層及び半導体層を覆うように前記基板の上方に形成された層間絶縁層と、前記層間絶縁層内を前記導電層及び半導体層に向かってそれぞれ延びる配線部材と、を備え、前記絶縁層には、前記半導体層の形成領域以外で且つ前記導電層上の少なくとも一部が除去された絶縁層除去部が形成されていて、前記絶縁層除去部内には、ゲート電極膜及び前記層間絶縁層が設けられていて、前記配線部材は、前記層間絶縁層を貫通して前記ゲート電極膜まで延びるように設けられている（第５の構成）。

[0023] 前記第５の構成において、前記絶縁層は、バッファ層と該バッファ層上に形成されたゲート絶縁層とからなり、前記半導体層は、前記バッファ層とゲート絶縁層との間に位置するように、該バッファ層上に設けられているのが好ましい（第６の構成）。

[0024] 前記第５の構成において、前記絶縁層は、バッファ層からなり、前記半導体層は、前記バッファ層上に形成されたゲート絶縁層上に設けられているの

が好ましい（第７の構成）。

[0025] 以下、本発明の半導体装置の好ましい実施形態について、図面を参照しながら説明する。なお、各図中の構成部材の寸法は、実際の構成部材の寸法及び各構成部材の寸法比率等を忠実に表したものではない。

[0026] ［第１の実施形態］

図１に、第１の実施形態にかかる半導体装置１を備えた液晶表示装置の表示パネル２の概略構成を示す。すなわち、本実施形態にかかる半導体装置１は、例えば、液晶表示装置の表示パネル２を構成するアクティブマトリクス基板３などに用いられる。

[0027] 表示パネル２は、アクティブマトリクス基板３と、対向基板４と、それらの間に挟みこまれる液晶層（図示省略）とを備えている。なお、表示パネル２には、液晶表示装置の図示しないバックライト装置から光が照射される。

[0028] アクティブマトリクス基板３は、多くの画素がマトリクス状に形成された基板３０を備えている。また、アクティブマトリクス基板３には、各画素に対応して画素電極や薄膜トランジスタ（ＴＥＴ：Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ、以下、“ＴＦＴ”と呼ぶ）が設けられている。一方、対向基板４は、画素電極に対向する対向電極と、着色層を有するカラーフィルタと、を備えている。

[0029] 前記液晶表示装置は、アクティブマトリクス基板３のＴＦＴを、該アクティブマトリクス基板３に設けられたドライバ５からの信号に応じて駆動させることにより、液晶層内の液晶を制御し、表示パネル２に画像を表示するように構成されている。

[0030] 図２に、本実施形態にかかる半導体装置１の概略構成を示す。この半導体装置１では、基板３０上にＴＦＴ１０が形成されていて、該基板３０とＴＦＴ１０との間に遮光膜２０（遮光性を有する導電層）が形成されている。この遮光膜２０は、バックライト装置の照明光が、ＴＦＴ１０に入力されるのを防止するためのものである。また、基板３０は、例えばアクティブマトリクス基板３を構成する透光性のガラス基板である。なお、全図において、図

中の導体及び半導体のみにハッチングが施されている。

[0031] ＴＦＴ１０は、基板３０上に設けられた遮光膜２０の上方に形成されている。すなわち、基板３０上には、遮光膜２０が島状に形成されていて、該基板３０及び遮光膜２０を覆うようにバッファ膜２１が形成されている。遮光膜２０は、タンタル（Ｔａ）またはチタン（Ｔｉ）、タングステン（W）、モリブデン（Ｍｏ）、アルミニウム（ＡｌＩ）等を主成分とする金属膜（例えば、ＭｏまたはW／ＴａＮ、ＭｏW、Ｔｉ／ＡｌＩなど）からなる。また、バッファ膜２１（絶縁層、バッファ層）は、SiO_2／ＳｉＮＯまたはSiO_2、ＳｉＮ等のシリコン酸化物やシリコン窒化物などからなる。

[0032] ＴＦＴ１０は、バッファ膜２１上に形成された島状のシリコン膜１１（半導体層）を有している。このシリコン膜１１には、特に図示しないが、チャネル領域と該チャンネル領域を挟むように２つの半導体領域とが面方向に並んで形成されている。シリコン膜１１は、連続粒界シリコン（ＣＧＳ：Ｃｏｎｔｉｎｕｏｕｓ Ｇｒａｉｎ Ｓｉｌｉｃｏｎ）や低温ポリシリコン（ＬＰＳ：Ｌｏｗ－ｔｅｍｐｅｒａｔｕｒｅ Ｐｏｌｙ－ｓｉｌｉｃｏｎ）等の多結晶シリコン、α－Ｓｉなどからなる。

[0033] シリコン膜１１には、配線１２，１３（配線部材）が接続されている。配線１２は、ソース電極３１に接続されている。一方、配線１３は、透明電極２５に接続されている。ソース電極３１は、Ｔｉ／ＡｌＩ／ＴｉまたはＴｉ／ＡｌＩ、ＴｉＮ／ＡｌＩ／ＴｉＮ、Ｍｏ／ＡｌＩ－Ｎｄ／Ｍｏ、Ｍｏ／ＡｌＩ／Ｍｏ等の金属材料からなる。透明電極２５は、ＩＴＯやＺｎＯなどの材料からなる。

[0034] バッファ膜２１上には、該バッファ膜２１及びシリコン膜１１を覆うようにゲート絶縁膜２２（絶縁層、ゲート絶縁層）が形成されている。ゲート絶縁膜２２は、SiO_2またはＳｉＮ、ＳｉＮ／SiO_2等のシリコン酸化物やシリコン窒化物などからなる。なお、バッファ膜２１及びゲート絶縁膜２２によって、特許請求の範囲に記載の絶縁層が構成されている。

[0035] ゲート絶縁膜２２上には、ＴＦＴ１０のゲート電極膜１４が設けられてい

る。ゲート電極膜１４は、Ｗ／ＴａＮまたはＭｏ、ＭｏＷ、Ｔｉ／ＡｌなどＭｏ、ＭｏＷ、Ｔｉ／Ａｌなどの金属材料からなる。ゲート電極膜１４には、配線１５（配線部材）が接続されている。なお、図２に示す断面では、右側のゲート電極膜１４に配線１５が接続されている状態は示されていないが、この図２の左側に一例を示すように、図２とは異なる断面において、ゲート電極膜１４に配線１５が接続されている。

[0036] また、ゲート絶縁膜２２上には、該ゲート絶縁膜２２及びゲート電極膜１４を覆うように層間絶縁膜２３（層間絶縁層）が形成されている。この層間絶縁膜２３上には、樹脂製の保護膜２４が形成されている。

[0037] 上述のような構成のＴＦＴ１０が形成されている領域以外で、配線３２（配線部材）がゲート電極膜３３を介して遮光膜２０に電気的に接続されている。このゲート電極膜３３は、ゲート電極膜１４と同じプロセスで遮光膜２０上に形成された膜である。また、配線３２は、ソース電極３１に接続されている。よって、遮光膜２０は、配線３２及びゲート電極膜３３を介して、ソース電極３１によって電位が調整される。これにより、遮光膜２０の電位を調整して、ＴＦＴ１０と遮光膜２０との間に存在する寄生容量による影響を低減することが可能となる。

[0038] なお、配線３２は、本実施形態ではソース電極３１に接続されているが、他の配線に接続されていてもよい。

[0039] 図２に示すように、遮光膜２０上に形成されたバッファ膜２１及びゲート絶縁膜２２のうち、ゲート電極膜３３を囲む部分には、バッファ膜２１及びゲート絶縁膜２２が除去された除去部４０（絶縁層除去部）が形成されている。この除去部４０内には、バッファ膜２１やゲート絶縁膜２２が形成されておらず、層間絶縁膜２３のみが形成されている。そして、この除去部４０内に、上述のゲート電極膜３３が形成されている。

[0040] （半導体装置の製造方法）

次に、上述の構成を有する半導体装置１の製造方法を、図３Ａ～図３Ｅを用いて説明する。これらの図は、この実施形態における半導体装置１の製造

工程を示す断面図である。

[0041] 最初に、図３Ａに示すように、基板３０上に、バックライト装置の照明光が該基板３０の一面側（図の下側）からＴＦＴ１０に入射するのを防止するための遮光膜２０を形成する。

[0042] 具体的には、まず、基板３０の一方の面（図の上面）に、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法やスパッタ法等によって、厚さが約３０ｎｍ～３００ｎｍの遮光薄膜を形成する。その後、フォトリソグラフィ法によって、遮光膜２０を形成する予定の領域（以下、形成予定領域という）を覆うレジストパターンを形成し、これをマスクとして、前記遮光薄膜をエッチングする。これにより、遮光膜２０が得られる。なお、本実施形態では、遮光膜２０は、例えばＭｏからなる。

[0043] 続いて、基板３０及び遮光膜２０を覆うようにバッファ膜２１を形成する。このバッファ膜２１は、例えばＳｉＮＯ／SiO_2の積層膜からなる。バッファ膜２１は、ＣＶＤ法によって厚みが約１００ｎｍ～４００ｎｍに形成される。

[0044] 次に、バッファ膜２１上に、例えばＣＧＳからなるシリコン薄膜をＣＶＤ法によって形成する。このシリコン薄膜は、厚みが３０ｎｍ～１００ｎｍになるように形成される。その後、フォトリソグラフィ法によって、シリコン膜１１の形成予定領域を覆うレジストパターンを形成し、これをマスクとしてシリコン薄膜をエッチングする。これにより、シリコン膜１１が得られる。このシリコン膜１１は、イオン注入等によりドープされ、該シリコン膜１１にソース領域及びドレイン領域（図示省略）が形成される。

[0045] バッファ膜２１上及びシリコン膜１１上に、例えばSiO_2からなるゲート絶縁膜２２をＣＶＤ法によって形成する。このゲート絶縁膜２２は、厚みが５０ｎｍ～２００ｎｍになるように形成される。

[0046] そして、遮光膜２０の上方で且つシリコン膜１１が形成されている領域以外の部分で開口するように、ゲート絶縁膜２２上にレジストパターン４１を形成する。すなわち、レジストパターン４１は、ゲート絶縁膜２２における

除去部４０の形成予定領域を露出させるような開口を有している。

[0047] 次に、図３Ｂに示すように、レジストパターン４１をマスクとしてゲート絶縁膜２２及びバッファ膜２１をエッチングする。このとき、該ゲート絶縁膜２２及びバッファ膜２１を、遮光膜２０が露出するまでエッチングを行う。これにより、遮光膜２０の一部の上方に位置するゲート絶縁膜２２及びバッファ膜２１が除去されて、除去部４０が形成される。

[0048] ここで、図３Ｂにおけるエッチングは、エッチングガス（C_4F_8、SF_6、CF_4、O_2、Ａｒ、H_2等）を用いたドライエッチングで行う。なお、エッチングは、バッファードフッ酸（ＢＨＦ：Ｂｕｆｆｅｒｅｄ Ｈｙｄｒｏｇｅｎ Ｆｌｕｏｒｉｄｅ）等を用いたウェットエッチングでもよい。また、これらのウェットエッチングとドライエッチングとを組み合わせた手法であってもよい。さらに、図３Ｂにおけるエッチングは、遮光膜２０を削らないようなエッチングであってもよい。

[0049] その後、レジストパターン４１を除去して、ゲート絶縁膜２２上に、例えばW／ＴａＮからなる金属膜をスパッタ法によって形成する。この金属膜は、厚みが２００ｎｍ～５００ｎｍになるように形成される。そして、フォトリソグラフィ法によって、ゲート電極膜１４，３３の形成予定領域を覆うレジストパターンを形成し、これをマスクとして金属膜をエッチングする。これにより、図３Ｃに示すように、ゲート電極膜１４，３３が得られる。ゲート電極膜１４は、ゲート絶縁膜２２上に形成される。ゲート電極膜３３は、除去部４０内の遮光膜２０上に形成される。

[0050] なお、図４に示すように、除去部４０内だけでなく、除去部４０内からゲート絶縁膜２２上まで延びるようなゲート電極膜３４を形成してもよい。

[0051] 次に、図３Ｄに示すように、ゲート絶縁膜２２上、ゲート電極膜１４上及び除去部４０上に、例えばSiO_2／ＳｉＮの積層膜からなる層間絶縁膜２３をＣＶＤ法によって形成する。その後、層間絶縁膜２３上に、配線１５，３２，１３，１２が形成されるコンタクトホール４３～４６の形成予定領域を露出させるような開口を有するレジストパターン４２を形成する。

[0052] なお、図３Ｅに示すように、配線１３，１２が形成されるコンタクトホール４５，４６（半導体層コンタクトホール）の形成予定領域は、平面視（図の上方から見て）でシリコン膜１１上に位置している。配線１５が形成されるコンタクトホール４３（ゲート電極コンタクトホール）の形成予定領域は、平面視（図の上方から見て）でゲート電極膜１４上に位置している。配線３２が形成されるコンタクトホール４４（導電層コンタクトホール）の形成予定領域は、平面視（図の上方から見て）で除去部４０内のゲート電極膜３３上に位置している。

[0053] 続いて、図３Ｅに示すように、レジストパターン４２をマスクとして層間絶縁膜２３及びゲート絶縁膜２２をエッチングする。これにより、層間絶縁膜２３の表面から、それぞれ、ゲート電極膜１４、ゲート電極膜３３及びシリコン膜１１まで延びるコンタクトホール４３～４６が形成される。このときのエッチングは、エッチングガスを用いたドライエッチングが好ましい。なお、全てのエッチングをドライエッチングで行うのではなく、大部分をドライエッチングで行った後、ウェットエッチングを行うようにしてもよい。

[0054] 配線３２が形成されるコンタクトホール４４の形成予定領域では、バッファ膜２１及びゲート絶縁膜２２が除去されていて、層間絶縁膜２３のみが形成されている。そのため、エッチングが必要な膜厚は、シリコン膜１１に接続される配線１３，１２のコンタクトホール４５，４６の形成予定領域が最も厚くなっている。すなわち、配線１５，３２のコンタクトホール４３，４４の形成予定領域では、層間絶縁膜２３のみをエッチングすればよいのに対し、配線１３，１２のコンタクトホール４５，４６の形成予定領域では、層間絶縁膜２３及びゲート絶縁膜２２をエッチングする必要がある。したがって、コンタクトホール４５，４６の形成予定領域のエッチング時間を基準にして、コンタクトホール４３～４６の形成予定領域を一度にエッチングすることができる。よって、図３Ｅに示すエッチングの際に、シリコン膜１１が過剰にエッチングされるのを防止できる。さらに、配線１５，３２のコンタクトホール４３，４４の形成予定領域は、層間絶縁膜２３の厚みがほぼ同じ

であるため、コンタクトホール４３，４４の形成予定領域を同時にエッチングする際に、ゲート電極膜１４が過剰にエッチングされるのを防止できる。

[0055] しかも、本実施形態のように、配線３２のコンタクトホール４４の形成予定領域に、ゲート電極膜３３を設けることにより、当該形成予定領域で遮光膜２０が過剰にエッチングされるのを防止できる。すなわち、上述のように、遮光膜２０は、除去部４０を形成する際にエッチングされた後、コンタクトホール４４が形成される際にもエッチングされるため、膜減りが生じやすい。上述のように遮光膜２０がエッチングされる部分に、ゲート電極膜３３を設けることで、遮光膜２０をコンタクトホール４４の形成時のエッチングから保護することができる。したがって、エッチングによって遮光膜２０の膜減りや突き抜けが生じるのを防止できる。

[0056] レジストパターン４２を除去した後、図３Ｆに示すように、コンタクトホール４３～４６内に配線１５，３２，１３，１２を形成するとともに、ソース電極３１を形成する。そして、層間絶縁膜２３上に保護膜２４及び透明電極２５を形成する。これにより、半導体装置１が形成される。

[0057] ここで、基板３０上に遮光膜２０を形成する工程が導電層形成工程に、該基板３０上及び遮光膜２０上にバッファ膜２１及びゲート絶縁膜２２を形成する工程が絶縁層形成工程に、それぞれ対応する。また、バッファ膜２１上にシリコン膜１１を形成する工程が半導体層形成工程に、ゲート絶縁膜２２上及び除去部４０内にゲート電極膜１４，３３を形成する工程がゲート電極膜形成工程に、それぞれ対応する。

[0058] さらに、遮光膜２０の一部の上方に位置するバッファ膜２１及びゲート絶縁膜２２を除去して除去部４０を形成する工程が絶縁層除去工程に、層間絶縁層２３を形成する工程が層間絶縁層形成工程に、それぞれ対応する。また、コンタクトホール４３～４６を形成する工程がコンタクトホール形成工程に対応する。

[0059] （第１の実施形態の効果）

本実施形態では、配線３２と接続される遮光膜２０上のバッファ膜２１及

びゲート絶縁膜２２の一部をエッチングして除去部４０を形成した後、該除去部４０内に、ゲート電極膜１４を形成する工程と同じ工程でゲート電極膜３３を形成した。そして、複数のコンタクトホール４３～４６の形成予定領域を同時にエッチングするようにした。これにより、複数のコンタクトホール４３～４６の形成予定領域を同時にエッチングする際に、遮光膜２０の膜減りや突き抜けが生じるのを防止できる。すなわち、本実施形態の構成により、複数のコンタクトホール４３～４６の形成予定領域を同時にエッチングする際に、コンタクトホール４４では、遮光膜２０ではなく、該遮光膜２０上に設けられたゲート電極膜３３がエッチングされる。よって、遮光膜２０が２度エッチングされて該遮光膜２０の膜減りや突き抜けが生じるのを防止できる。

[0060] さらに、上述のように、除去部４０内のゲート電極膜３３は、ＴＦＴ１０のゲート電極膜１４を形成する工程で形成される。よって、半導体装置１の製造工程における工程数を増加させることなく、遮光膜２０を過剰なエッチングから保護することができる。

[0061] また、配線３２のコンタクトホール４４の形成予定領域において、バッファ膜２１及びゲート絶縁膜２２が予め除去されているため、コンタクトホール４４の形成時にバッファ膜２１及びゲート絶縁膜２２をエッチングする必要がなくなる。よって、その分、エッチングする時間が短くなるため、複数のコンタクトホール４３～４６の形成予定領域を同時にエッチングする際に、配線１３，１２のコンタクトホール４５，４６の形成予定領域でシリコン膜１１が過剰にエッチングされるのを防止できる。

[0062] 特に、本実施形態におけるＴＦＴ１０は、シリコン膜１１がバッファ膜２１とゲート絶縁膜２２との間に位置し、且つ、該ゲート絶縁膜２２上にゲート電極膜１４が形成された、いわゆるトップゲート型のＴＦＴである。そのため、エッチングが必要な膜厚は、シリコン膜１１に接続される配線１３，１２のコンタクトホール４５，４６の形成予定領域で最も厚くなる。よって、コンタクトホール４５，４６の形成予定領域をエッチングする時間に合わ

せて、他のコンタクトホール４３，４４の形成予定領域をエッチングすることができるため、エッチングによってシリコン膜１１に膜減りや突き抜けが生じるのをより確実に防止できる。

[0063] さらに、ゲート電極膜１４に接続される配線１５のコンタクトホール４３の形成予定領域と、遮光膜２０に接続される配線３２のコンタクトホール４４の形成予定領域とは、エッチングされる層間絶縁膜２３の厚みがほぼ同じである。そのため、複数のコンタクトホール４３～４６の形成予定領域を同時にエッチングする際に、ゲート電極膜１４が過剰にエッチングされるのを防止できる。

[0064] ［第２の実施形態］

図５に、第２の実施形態にかかる半導体装置１００の概略構成を示す。この実施形態は、ＴＦＴ１１０の構成が第１の実施形態とは異なる。以下の説明において、実施形態１と同一の構成には同一の符号を付し、異なる部分についてのみ説明する。

[0065] 具体的には、この実施形態におけるＴＦＴ１１０は、ゲート絶縁膜１２２（絶縁層、ゲート絶縁層）上にシリコン膜１１１（半導体層）が形成され、且つ、バッファ膜１２１（絶縁層、バッファ層）とゲート絶縁膜１２２との間にゲート電極膜１１４が形成された、いわゆるボトムゲート型のＴＦＴである。

[0066] 配線１３２（配線部材）を遮光膜２０に電気的に接続するゲート電極膜１３３は、バッファ膜１２１が除去された除去部１４０（絶縁層除去部）内に設けられている。すなわち、ゲート電極膜１３３を囲むように、バッファ膜１２１が除去された除去部１４０が形成されている。この除去部１４０内には、ゲート絶縁膜１２２及び層間絶縁膜１２３が設けられている。

[0067] これにより、第１の実施形態と同様、配線１１５，１３２，１１３，１１２のコンタクトホール１４３～１４６の形成予定領域を同時にエッチングする際に、配線１３２のコンタクトホール１４４の形成予定領域のエッチング時間を短縮することができる。

[0068] しかも、上述の構成により、第１の実施形態と同様、配線１３２のコンタクトホール１４４の形成予定領域で行われる２度目のエッチングでは、遮光膜２０がエッチングされることなく、ゲート電極膜１３３がエッチングされる。よって、遮光膜２０が過剰にエッチングされて該遮光膜２０に膜減りや突き抜けが生じるのを防止できる。

[0069] （半導体装置の製造方法）

次に、この第２の実施形態における半導体装置１００の製造方法を、主に第１の実施形態と異なる部分について、図６Ａ～図６Ｅを用いて説明する。これらの図は、この実施形態における半導体装置１００の製造工程を示す断面図である。なお、半導体装置１００を構成する各膜の材料等は、第１の実施形態と同様である。

[0070] 最初に、第１の実施形態と同様、図６Ａに示すように、基板３０上に、バックライト装置の照明光が該基板３０の一面側（図の下側）からＴＦＴ１１０に入射するのを防止するための遮光膜２０を形成する。その後、基板３０及び遮光膜２０を覆うようにバッファ膜１２１を形成する。

[0071] 次に、フォトリソグラフィ法によって、遮光膜２０の上方で且つシリコン膜１１１の形成予定領域以外の部分で開口するように、バッファ膜１２１上にレジストパターン１４１を形成する。すなわち、レジストパターン１４１は、バッファ膜１２１における除去部１４０の形成予定領域を露出させるような開口を有している。

[0072] 図６Ｂに示すように、レジストパターン１４１をマスクとしてバッファ膜１２１をエッチングする。このとき、該バッファ膜１２１を、遮光膜２０が露出するまでエッチングする。これにより、遮光膜２０の一部の上方に位置するバッファ膜１２１が除去されて、除去部１４０が形成される。

[0073] なお、図６Ｂにおけるエッチングは、第１の実施形態と同様、ウェットエッチングやドライエッチングでもよい。また、これらのウェットエッチングとドライエッチングとを組み合わせた手法であってもよい。

[0074] 次に、レジストパターン１４１を除去した後、バッファ膜１２１上及び除

去部１４０上に、金属膜をスパッタ法によって形成する。その後、フォトリソグラフィ法によって、ゲート電極膜１１４，１３３の形成予定領域を覆うレジストパターンを形成し、これをマスクとして金属膜をエッチングする。これにより、図６Ｃに示すようなゲート電極膜１１４，１３３が得られる。ゲート電極膜１１４は、バッファ膜１２１上に形成される。ゲート電極膜１３３は、除去部１４０内の遮光膜２０上に形成される。

[0075] なお、図７に示すように、第１の実施形態と同様、除去部１４０内だけでなく、除去部１４０内からバッファ膜１２１上まで延びるようなゲート電極膜１３４を形成してもよい。

[0076] 図６Ｄに示すように、バッファ膜１２１上及びゲート電極膜１１４上に、第１の実施形態と同様のゲート絶縁膜１２２をＣＶＤ法によって形成する。このゲート絶縁膜１２２上に、シリコン薄膜をＣＶＤ法によって形成する。その後、フォトリソグラフィ法によって、シリコン膜１１１の形成予定領域を覆うレジストパターンを形成し、これをマスクとしてシリコン薄膜をエッチングする。これにより、シリコン膜１１１が得られる。

[0077] そして、ゲート絶縁膜１２２上及びシリコン膜１１１上に、層間絶縁膜１２３をＣＶＤ法によって形成する。その後、層間絶縁膜１２３上に、配線１１５，１３２，１１３，１１２が形成されるコンタクトホール１４３～１４６の形成予定領域が開口するようなレジストパターン１４２を形成する。

[0078] なお、図６Ｅに示すように、配線１１３，１１２が形成されるコンタクトホール１４５，１４６（半導体層コンタクトホール）の形成予定領域は、平面視（図の上方から見て）でシリコン膜１１１上に位置している。配線１１５が形成されるコンタクトホール１４３（ゲート電極コンタクトホール）の形成予定領域は、平面視（図の上方から見て）でゲート電極膜１１４上に位置している。配線１３２が形成されるコンタクトホール１４４（導電層コンタクトホール）の形成予定領域は、平面視（図の上方から見て）で除去部１４０内のゲート電極膜１３３上に位置している。

[0079] 続いて、図６Ｅに示すように、レジストパターン１４２をマスクとして層

間絶縁膜１２３及びゲート絶縁膜１２２をエッチングする。これにより、層間絶縁膜１２３の表面から、それぞれ、ゲート電極膜１１４、ゲート電極膜１３３及びシリコン膜１１１まで延びるコンタクトホール１４３～１４６が形成される。このときのエッチングは、エッチングガスを用いたドライエッチングが好ましい。なお、全てのエッチングをドライエッチングで行う必要はなく、大部分をドライエッチングで行った後、ウェットエッチングを行うようにしてもよい。

[0080] 配線１３２のコンタクトホール１４４の形成予定領域では、バッファ膜１２１が除去されているため、ゲート絶縁膜１２２及び層間絶縁膜１２３が形成されている。そのため、エッチングする膜厚は、配線１３２のコンタクトホール１４４の形成予定領域と、シリコン膜１１１に接続される配線１１３，１１２のコンタクトホール１４５，１４６の形成予定領域とでほぼ同じである。したがって、図６Ｅに示すエッチングの際に、シリコン膜１１１が過剰にエッチングされるのを防止できる。

[0081] しかも、配線１３２のコンタクトホール１４４の形成予定領域には、遮光膜２０上にゲート電極膜１３３が形成されている。そのため、複数のコンタクトホール１４３～１４６をエッチングよって同時に形成する場合に、遮光膜２０ではなく、ゲート電極膜１３３がエッチングされる。よって、遮光膜２０が過剰にエッチングされて該遮光膜２０に膜減りや突き抜けが生じるのを防止できる。

[0082] レジストパターン１４２を除去した後、図６Ｆに示すように、コンタクトホール１４３～１４６内に配線１１５，１３２，１１３，１１２を形成するとともに、ソース電極１３１を形成する。そして、層間絶縁膜１２３上に保護膜２４及び透明電極２５を形成する。これにより、ＴＦＴ１１０が形成される。

[0083] ここで、基板３０上に遮光膜２０を形成する工程が導電層形成工程に、該基板３０上及び遮光膜２０上にバッファ膜１２１を形成する工程が絶縁層形成工程に、それぞれ対応する。また、ゲート絶縁膜１２２上にシリコン膜１

１１を形成する工程が半導体層形成工程に、バッファ膜１２１上及び除去部１４０内にゲート電極膜１１４，１３３を形成する工程がゲート電極膜形成工程に、それぞれ対応する。

[0084] さらに、遮光膜２０の一部の上方に位置するバッファ膜１２１を除去して除去部１４０を形成する工程が絶縁層除去工程に、層間絶縁層１２３を形成する工程が層間絶縁層形成工程に、それぞれ対応する。また、コンタクトホール１４３～１４６を形成する工程がコンタクトホール形成工程に対応する。

[0085] （第２の実施形態の効果）

本実施形態では、配線１３２と接続される遮光膜２０上のバッファ膜１２１をエッチングして除去部１４０を形成した後、ゲート電極膜１１４を形成する工程と同じ工程で、該除去部１４０内にゲート電極膜１３３を形成した。そして、層間絶縁膜１２３を形成した後、複数のコンタクトホール１４３～１４６の形成予定領域を同時にエッチングするようにした。これにより、配線１３２のコンタクトホール１４４の形成予定領域において、遮光膜２０の代わりにゲート電極膜１３３がエッチングされるため、該遮光膜２０が過剰にエッチングされるのを防止できる。したがって、エッチングによって遮光膜２０に膜減りや突き抜けが生じるのを防止できる。

[0086] さらに、上述のように、除去部１４０内のゲート電極膜１３３は、ＴＦＴ１１０のゲート電極膜１１４を形成する工程で形成される。よって、半導体装置１００の製造工程における工程数を増加させることなく、遮光膜２０を過剰なエッチングから保護することができる。

[0087] また、本実施形態の構成により、コンタクトホール１４４の形成予定領域でエッチングされる膜厚と、シリコン膜１１１に接続される配線１１３，１１２のコンタクトホール１４５，１４６の形成予定領域でエッチングされる膜厚とを同等にすることが可能になる。したがって、複数のコンタクトホール１４３～１４６の形成予定領域を同時にエッチングする際に、コンタクトホール１４５，１４６の形成予定領域でシリコン膜１１１が過剰にエッチン

グされるのを防止できる。

[0088] ［その他の実施形態］

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

[0089] 前記各実施形態では、エッチングによって、遮光層２０まで延びるコンタクトホール４４，１４４を他のコンタクトホール４３，４５，４６，１４３，１４５，１４６と同時に形成している。しかしながら、コンタクトホール４４，１４４を複数回、エッチングする構成であれば、他のコンタクトホールと同時に形成する構成でなくてもよい。また、半導体装置１，１００の構成は、前記各実施形態の構成に限らず、他の構成であってもよい。

[0090] 前記各実施形態では、三端子半導体素子（ＴＦＴ）を有する半導体装置を例示した。しかし、前記第１の実施形態の構成を、二端子半導体素子（例えばフォトダイオード）を有する半導体装置に適用してもよい。二端子半導体素子を有する半導体装置の例としては、例えば、第１の実施形態において、ゲート電極膜１４を省略し、シリコン膜１１をＰＮ接合またはＰＩＮ接合のダイオードとして形成した構成等が挙げられる。このダイオードは、例えば光センサとしての利用が可能である。

産業上の利用可能性

[0091] 本発明による半導体装置は、遮光膜の電位を調整可能なように該遮光膜に配線が接続された半導体装置に利用可能である。

請求の範囲

[請求項1] 基板上に遮光性を有する導電層を形成する導電層形成工程と、

前記基板上及び導電層上に、絶縁層を形成する絶縁層形成工程と、

前記絶縁層の一部をエッチングによって除去して、絶縁層除去部を形成する絶縁層除去工程と、

前記絶縁層除去部内の導電層上に、ゲート電極膜を形成するゲート電極膜形成工程と、

前記基板の上方に層間絶縁層を形成する層間絶縁層形成工程と、

前記層間絶縁層の表面から前記絶縁層除去部内のゲート電極膜まで延びる導電層コンタクトホールをエッチングによって形成するコンタクトホール形成工程と、

を有する、半導体装置の製造方法。

[請求項2] 前記絶縁層内または該絶縁層の上方のいずれか一方に、島状の半導体層を形成する半導体層形成工程をさらに備え、

ゲート電極膜形成工程では、前記絶縁膜除去部内の導電層上以外にも、前記絶縁層上にゲート電極膜を形成し、

前記コンタクトホール形成工程では、前記導電層コンタクトホールとともに、前記層間絶縁層の表面から前記半導体層まで延びる半導体層コンタクトホールを、エッチングによって同時に形成する、請求項１に記載の半導体装置の製造方法。

[請求項3] 前記絶縁層は、バッファ層と該バッファ層上に形成されるゲート絶縁層とからなり、

前記絶縁層除去工程では、前記導電層上に位置する前記バッファ層及びゲート絶縁層のそれぞれ一部を除去して、前記絶縁層除去部を形成し、

前記半導体層形成工程では、前記バッファ層とゲート絶縁層との間に前記半導体層が位置するように、該バッファ層上に半導体層を形成し、

前記ゲート電極膜形成工程では、前記ゲート絶縁層上及び前記絶縁層除去部内の導電層上に、ゲート電極膜をそれぞれ形成する、請求項２に記載の半導体装置の製造方法。

[請求項4] 前記絶縁層は、バッファ層からなり、

前記絶縁層除去工程では、前記導電層上に位置する前記バッファ層の一部を除去して、前記絶縁層除去部を形成し、

前記半導体層形成工程では、前記バッファ層上に形成されるゲート絶縁層上に、半導体層を形成し、

前記ゲート電極膜形成工程では、前記バッファ層上及び前記絶縁層除去部内の導電層上に、ゲート電極膜をそれぞれ形成する、請求項２に記載の半導体装置の製造方法。

[請求項5] 基板と、

前記基板上に形成された遮光性を有する導電層と、

前記基板上及び導電層上に形成された絶縁層と、

前記絶縁層内または該絶縁層の上方のいずれか一方に形成された半導体層と、

前記絶縁層及び半導体層を覆うように前記基板の上方に形成された層間絶縁層と、

前記層間絶縁層内を前記導電層及び半導体層に向かってそれぞれ延びる配線部材と、を備え、

前記絶縁層には、前記半導体層の形成領域以外で且つ前記導電層上の少なくとも一部が除去された絶縁層除去部が形成されていて、

前記絶縁層除去部内には、ゲート電極膜及び前記層間絶縁層が設けられていて、

前記配線部材は、前記層間絶縁層を貫通して前記ゲート電極膜まで延びるように設けられている、半導体装置。

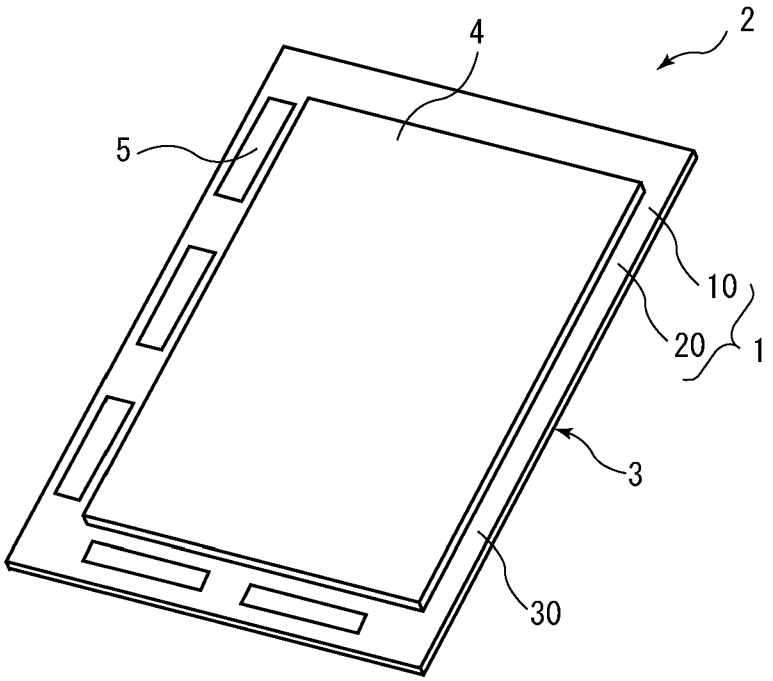
[請求項6] 前記絶縁層は、バッファ層と該バッファ層上に形成されたゲート絶縁層とからなり、

前記半導体層は、前記バッファ層とゲート絶縁層との間に位置するように、該バッファ層上に設けられている、請求項５に記載の半導体装置。

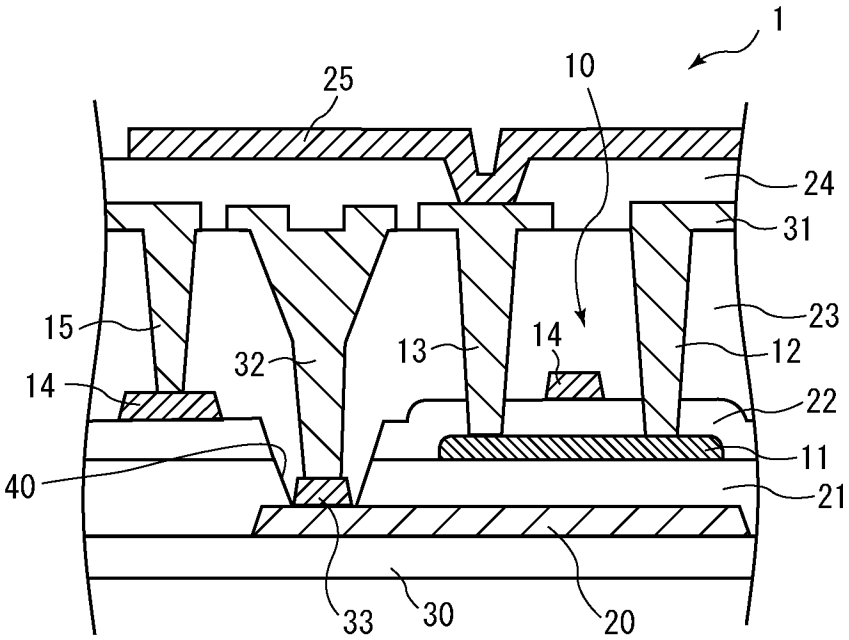
[請求項7] 前記絶縁層は、バッファ層からなり、

前記半導体層は、前記バッファ層上に形成されたゲート絶縁層上に設けられている、請求項５に記載の半導体装置。

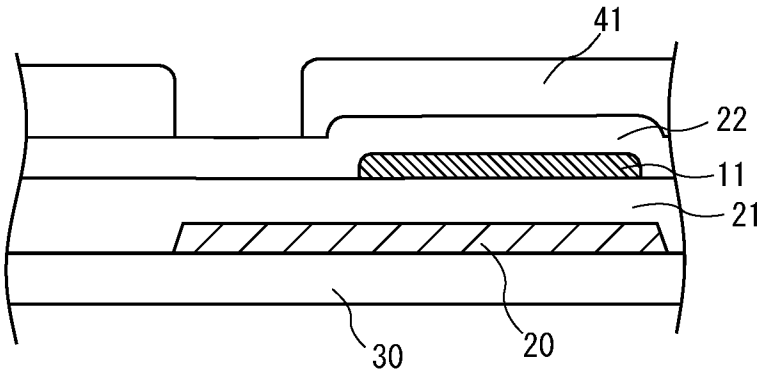
[図1]


2
4
5
10
20
1
3
30

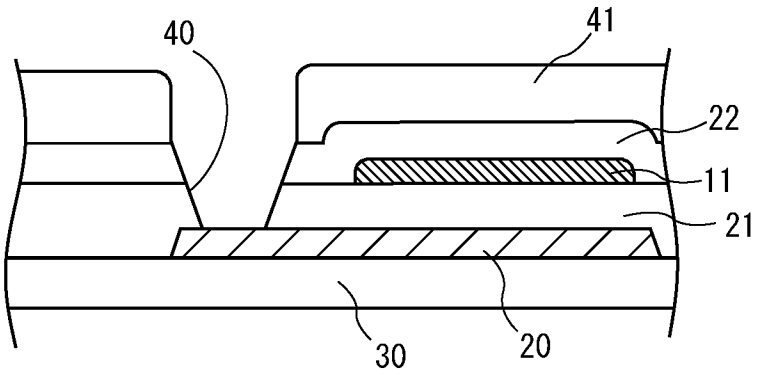
[図2]


1
25
10
24
31
23
15
14
32
13
14
12
14
22
11
40
21
33
30
20

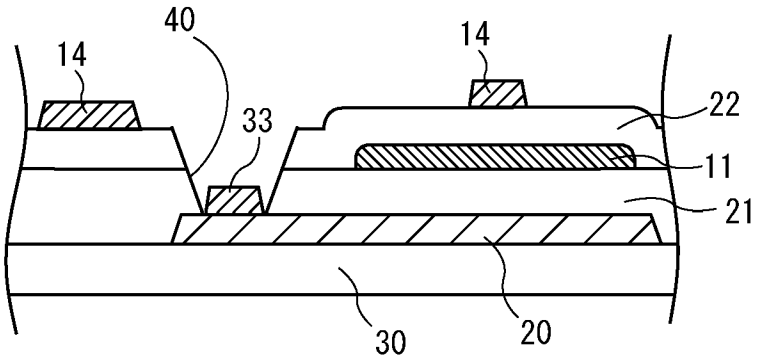
[図3A]



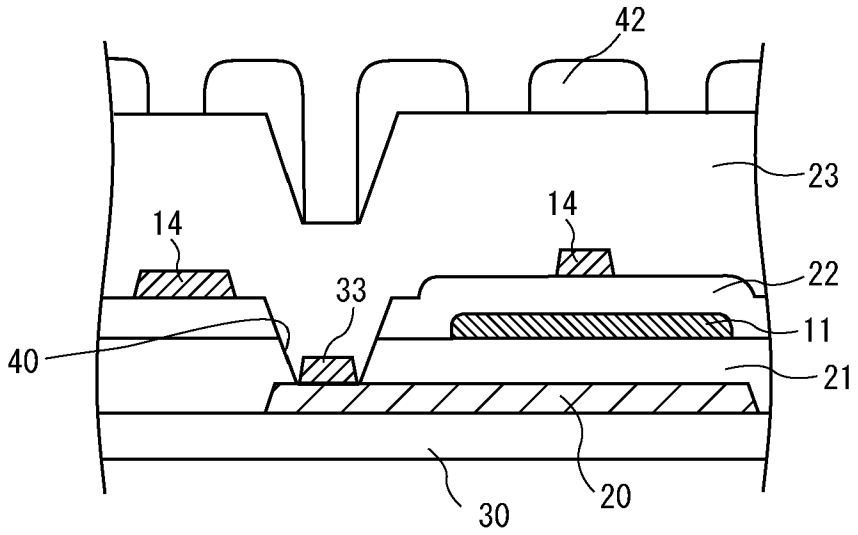
[図3B]



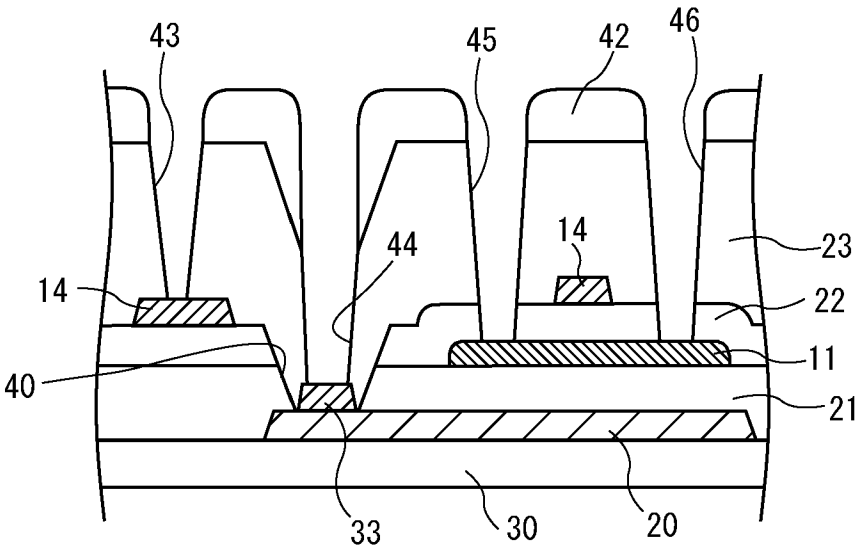
[図3C]



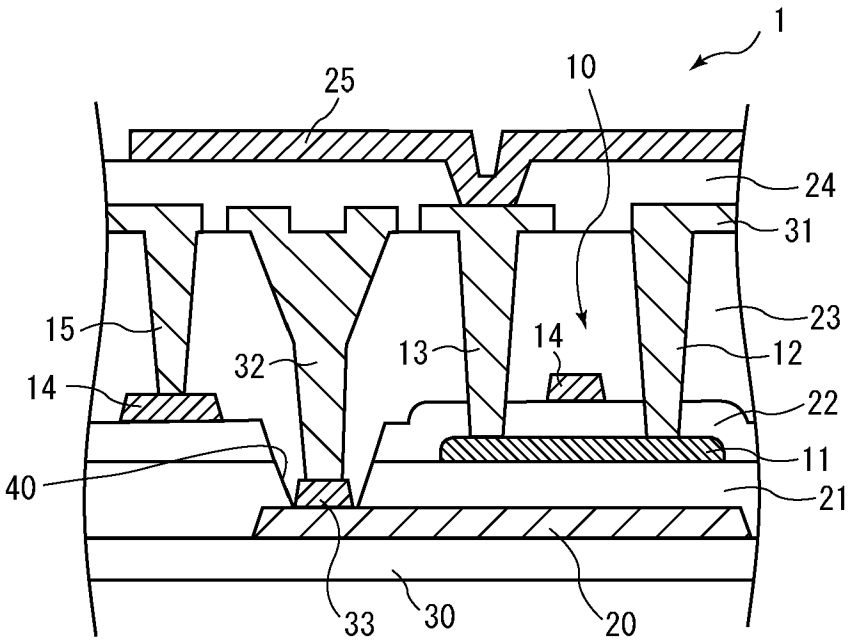
[図3D]


42
23
14
14
22
33
11
40
21
20
30

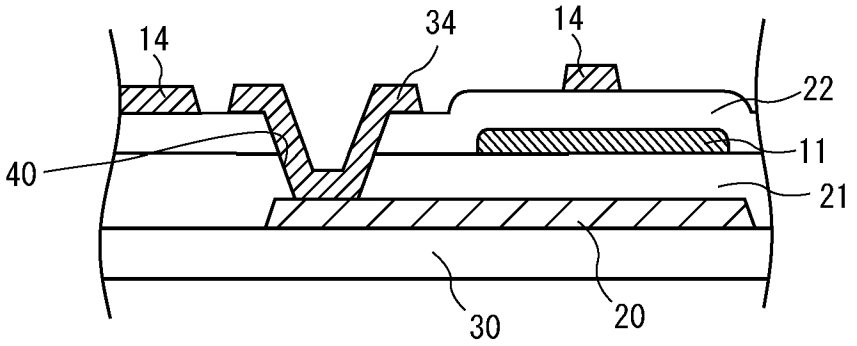
[図3E]


43
45
42
46
14
44
23
14
22
11
40
21
33
30
20

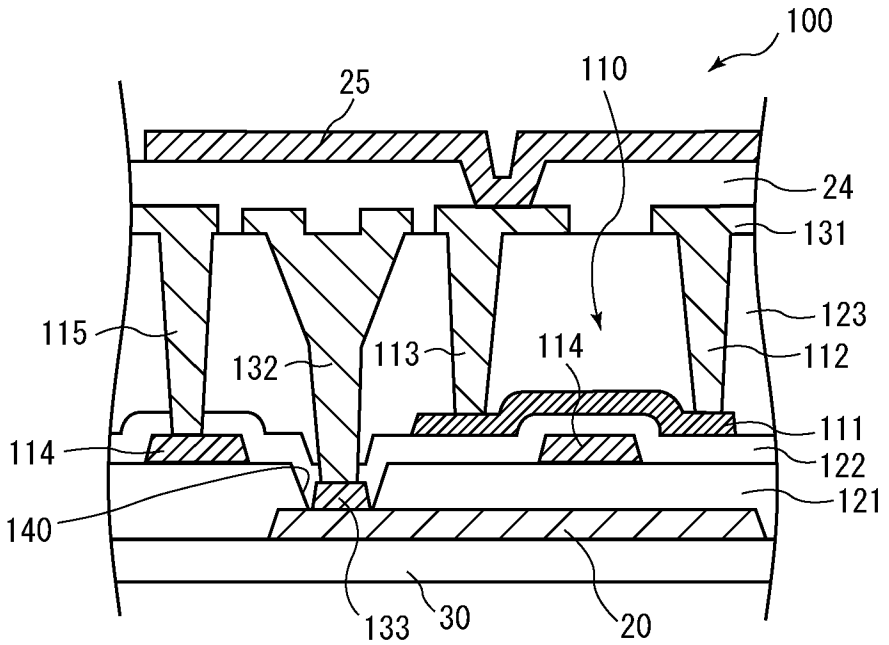
[図3F]


1
25
10
24
31
23
15
32
13
14
12
14
22
11
40
21
33
30
20

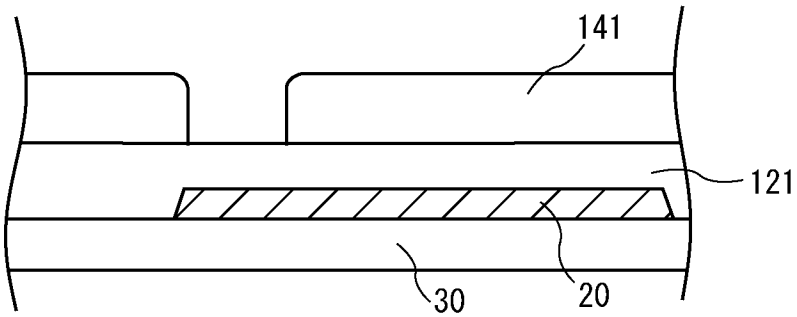
[図4]


14
34
14
22
11
40
21
30
20

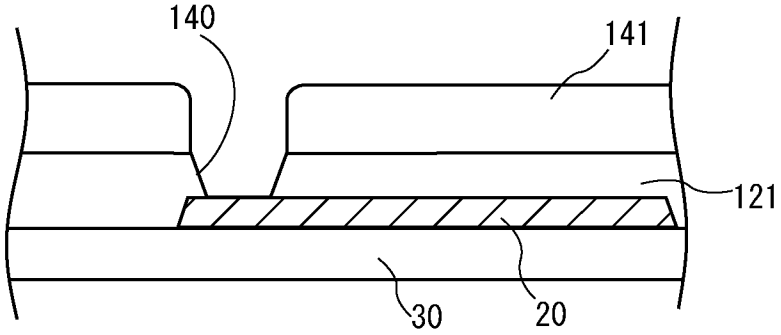
[図5]


100
110
25
24
131
123
115
132
113
114
112
111
114
122
121
140
133
30
20

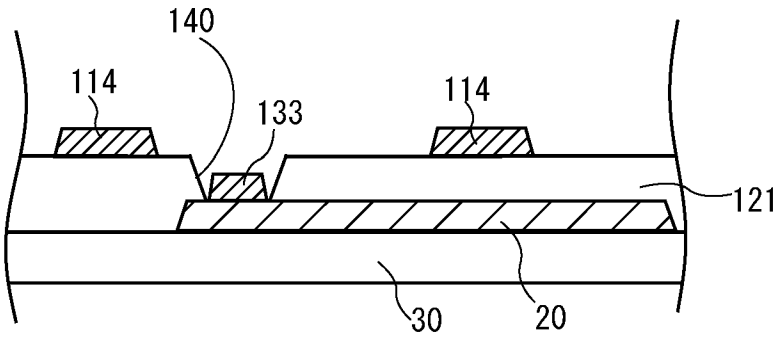
[図6A]


141
121
30
20

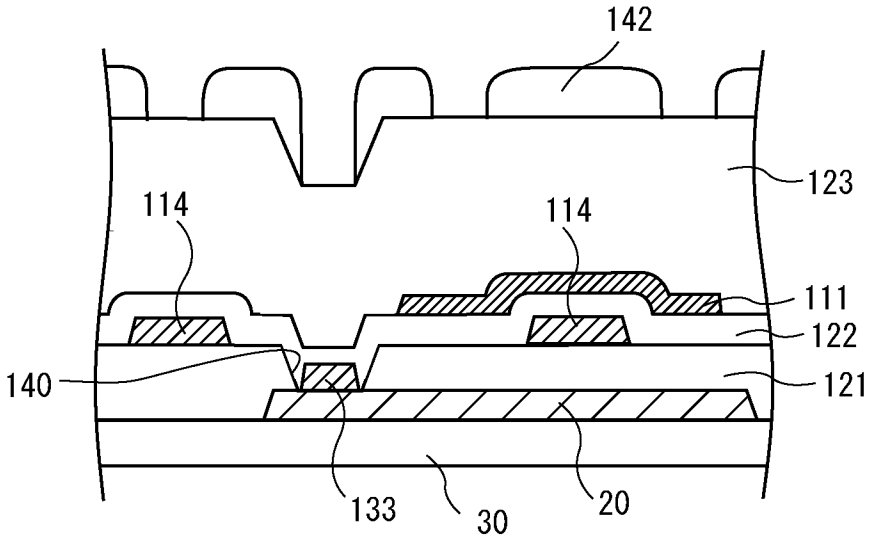
[図6B]


140
141
121
30
20

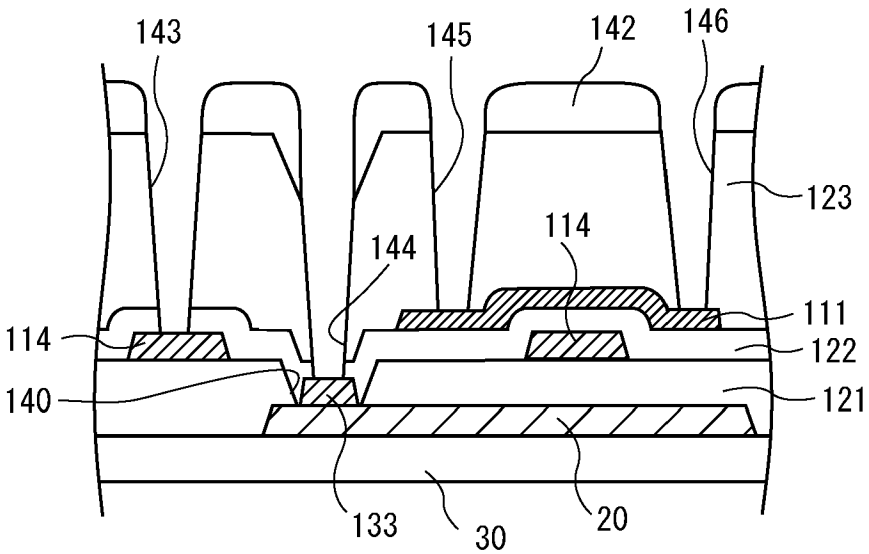
[図6C]


140
114
133
114
121
30
20

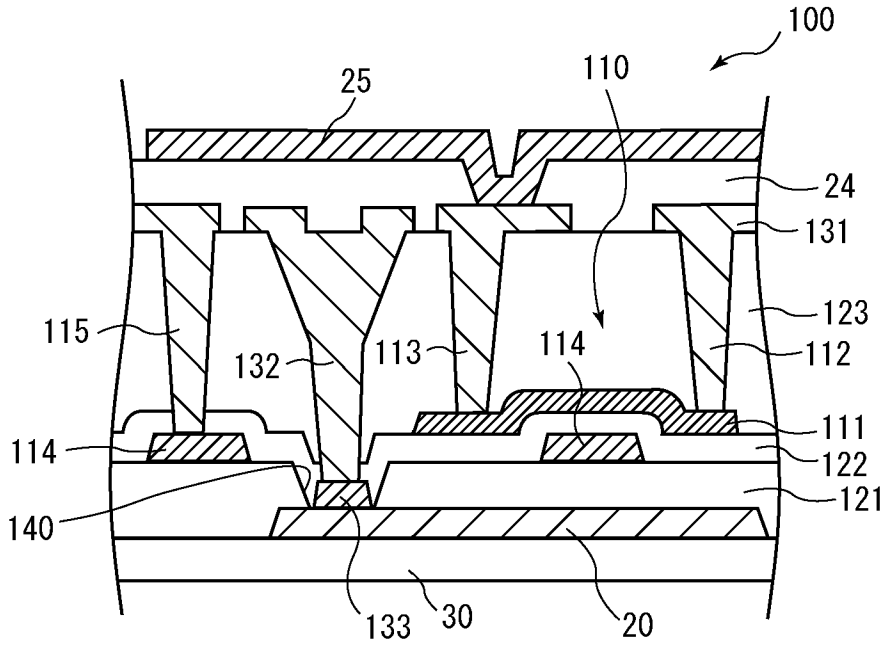
[図6D]


142
123
114
114
111
122
140
121
133
30
20

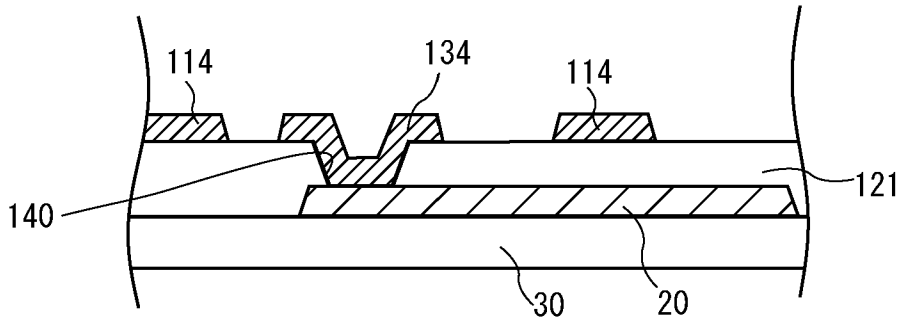
[図6E]


143
145
142
146
123
144
114
111
114
122
140
121
133
30
20

[図6F]


100
110
25
24
131
123
115
132
113
114
112
111
114
122
121
140
133
30
20

[図7]


114
134
114
121
140
30
20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/059538

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/786(2006.01)i, *G02F1/1368*(2006.01)i, *G09F9/30*(2006.01)i, *H01L21/28*(2006.01)i, *H01L21/336*(2006.01)i, *H01L21/768*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L29/786, G02F1/1368, G09F9/30, H01L21/28, H01L21/336, H01L21/768

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2005-109237 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), paragraphs [0006] to [0091]; fig. 1 to 8 (Family: none)	1,5,6 1-7
Y	JP 2005-223015 A (NEC Corp.), 18 August 2005 (18.08.2005), paragraphs [0027] to [0076]; fig. 1A to 4C (Family: none)	1-7
Y	JP 2006-267795 A (Seiko Epson Corp.), 05 October 2006 (05.10.2006), paragraphs [0044] to [0087]; fig. 1 to 13 & US 2006/0215069 A1 & KR 10-2006-0103202 A & CN 1837935 A	4,7

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 July, 2011 (12.07.11)	26 July, 2011 (26.07.11)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/059538

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 does not have a special technical feature, since the invention is disclosed in JP 2005-109237 A (Seiko Epson Corp.), 21 April 2005 (21.04.2005), paragraphs 0006-0091, fig. 1-8, (Family: none) that was found in course of this search.

As a result, there is no special technical feature common to all claims.

Consequently, this international patent application does not comply with the requirement of unity of invention.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５９５３８

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L21/768(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L29/786, G02F1/1368, G09F9/30, H01L21/28, H01L21/336, H01L21/768

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１１年
日本国実用新案登録公報	１９９６－２０１１年
日本国登録実用新案公報	１９９４－２０１１年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2005-109237 A (セイコーエプソン株式会社) 2005.04.21, 段落 0006-0091, 図 1-8 (ファミリーなし)	1, 5, 6 1-7
Y	JP 2005-223015 A (日本電気株式会社) 2005.08.18, 段落 0027-0076, 図 1A-4C (ファミリーなし)	1-7

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １２．０７．２０１１	国際調査報告の発送日 ２６．０７．２０１１
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　４Ｍ　４６６５ 柴山　将隆 電話番号　０３－３５８１－１１０１　内線　３４６２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2006-267795 A（セイコーエプソン株式会社）2006.10.05, 段落 0044-0087,図 1-13 & US 2006/0215069 A1 & KR 10-2006-0103202 A & CN 1837935 A	4，7

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０５９５３８

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項１に係る発明は、調査の際に発見したJP 2005-109237 A (セイコーエプソン株式会社) 2005.04.21, 段落0006-0091,図1-8 (ファミリーなし)に開示されているため、特別な技術的特徴を有しない。

結果として、すべての請求項に共通する特別な技術的特徴は存在しない。

よって、この国際特許出願は、発明の単一性の要件を満たしていない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。