

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7256246号
(P7256246)

(45)発行日 令和5年4月11日(2023.4.11)

(24)登録日 令和5年4月3日(2023.4.3)

(51)国際特許分類		F I	
H 1 0 B	12/00 (2023.01)	H 1 0 B	12/00 8 0 1
G 1 1 C	11/405 (2006.01)	G 1 1 C	11/405
G 1 1 C	11/408 (2006.01)	G 1 1 C	11/408 1 2 0
G 1 1 C	11/4091 (2006.01)	G 1 1 C	11/4091
H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78 6 1 3 B
請求項の数 2 (全61頁) 最終頁に続く			
(21)出願番号	特願2021-184061(P2021-184061)	(73)特許権者	000153878
(22)出願日	令和3年11月11日(2021.11.11)		株式会社半導体エネルギー研究所
(62)分割の表示	特願2019-161582(P2019-161582)		神奈川県厚木市長谷398番地
	)の分割	(72)発明者	山崎 舜平
原出願日	平成22年11月17日(2010.11.17)		神奈川県厚木市長谷398番地 株式会
(65)公開番号	特開2022-16512(P2022-16512A)		社半導体エネルギー研究所内
(43)公開日	令和4年1月21日(2022.1.21)	(72)発明者	小山 潤
審査請求日	令和3年12月10日(2021.12.10)		神奈川県厚木市長谷398番地 株式会
(31)優先権主張番号	特願2009-264623(P2009-264623)		社半導体エネルギー研究所内
(32)優先日	平成21年11月20日(2009.11.20)	(72)発明者	加藤 清
(33)優先権主張国・地域又は機関	日本国(JP)		神奈川県厚木市長谷398番地 株式会
		審査官	加藤 俊哉
最終頁に続く			

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

シリコンを含む第1のチャネル形成領域を有する第1のトランジスタと、
酸化物半導体を含む第2のチャネル形成領域を有する第2のトランジスタと、
前記第1のトランジスタのゲートと、前記第2のトランジスタのソース及びドレインの
一方と電気的に接続された容量素子と、を有する半導体装置であって、
前記第1のチャネル形成領域上の第1の絶縁層と、
前記第1の絶縁層上の第1の導電層と、
前記第1の導電層上の第2の絶縁層と、
前記第2の絶縁層上に位置し、前記第2のチャネル形成領域を有する酸化物半導体層と、
前記酸化物半導体層上の第3の絶縁層と、
前記第3の絶縁層上に位置し、前記第2のチャネル形成領域と重なる領域を有する第2
の導電層と、
前記第3の絶縁層上に位置し、前記第1の導電層と、前記酸化物半導体層とを電気的に接
続させるための、第1の開口部及び第2の開口部を有する第4の絶縁層と、
前記第4の絶縁層の上面とそれぞれ接する領域を有する、第3の導電層、第4の導電層
、及び第5の導電層と、を有し、
前記第1の導電層は、前記第1のトランジスタのゲート電極としての機能を有し、
前記第2の導電層は、前記第2のトランジスタのゲート電極としての機能を有し、
前記第3の導電層は、前記第1の開口部及び前記第2の開口部のそれぞれと重なりを有し

、且つ、前記第 1 の導電層と、前記酸化物半導体層とを電氣的に接続させる機能を有し、
前記第 4 の導電層は、前記第 1 のトランジスタの不純物領域の一方と電氣的に接続され、
前記第 5 の導電層は、前記第 1 のトランジスタの不純物領域の他方と電氣的に接続され、
前記第 1 のトランジスタのチャネル長方向と、前記第 2 のトランジスタのチャネル長方向とは、交差し、

平面視において、前記第 3 の導電層は、前記第 2 のトランジスタのチャネル長方向に延在する領域を有し、

平面視において、前記第 1 の導電層の前記第 2 のトランジスタのチャネル長方向の端部の一方は、前記第 3 の導電層との重なりを有する、半導体装置。

【請求項 2】

マトリクス状に配置された複数の回路を有する半導体装置であって、

前記回路の一は、

シリコンを含む第 1 のチャネル形成領域を有する第 1 のトランジスタと、

酸化物半導体を含む第 2 のチャネル形成領域を有する第 2 のトランジスタと、

シリコンを含む第 3 のチャネル形成領域を有する第 3 のトランジスタと、

容量素子と、を有し、

前記第 1 のトランジスタのゲートと、前記第 2 のトランジスタのソース及びドレインの一方と、前記容量素子の一方の電極と、は電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方と、前記第 3 のトランジスタのソース及びドレインの一方と、は電氣的に接続され、

前記第 1 のチャネル形成領域上の第 1 の絶縁層と、

前記第 1 の絶縁層上の第 1 の導電層と、

前記第 1 の導電層上の第 2 の絶縁層と、

前記第 2 の絶縁層上に位置し、前記第 2 のチャネル形成領域を有する酸化物半導体層と、

前記酸化物半導体層上の第 3 の絶縁層と、

前記第 3 の絶縁層上に位置し、前記第 2 のチャネル形成領域と重なる領域を有する第 2 の導電層と、

前記第 3 の絶縁層上に位置し、前記第 1 の導電層と、前記酸化物半導体層とを電氣的に接続させるための、第 1 の開口部及び第 2 の開口部を有する第 4 の絶縁層と、

前記第 4 の絶縁層の上面とそれぞれ接する領域を有する、第 3 の導電層、第 4 の導電層、及び第 5 の導電層と、を有し、

前記第 1 の導電層は、前記第 1 のトランジスタのゲート電極としての機能を有し、

前記第 2 の導電層は、前記第 2 のトランジスタのゲート電極としての機能を有し、

前記第 3 の導電層は、前記第 1 の開口部及び前記第 2 の開口部のそれぞれと重なりを有し、

、且つ、前記第 1 の導電層と、前記酸化物半導体層とを電氣的に接続させる機能を有し、

前記第 4 の導電層は、前記第 1 のトランジスタの不純物領域の一方と電氣的に接続され、

前記第 5 の導電層は、前記第 1 のトランジスタの不純物領域の他方と電氣的に接続され、

前記第 1 のトランジスタのチャネル長方向と、前記第 2 のトランジスタのチャネル長方向とは、交差し、

平面視において、前記第 3 の導電層は、前記第 2 のトランジスタのチャネル長方向に延在する領域を有し、

平面視において、前記第 1 の導電層の前記第 2 のトランジスタのチャネル長方向の端部の一方は、前記第 3 の導電層との重なりを有する、半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体素子を利用した半導体装置およびその作製方法に関するものである。

【背景技術】

【0002】

10

20

30

40

50

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性記憶装置と、電力の供給がなくなっても記憶内容は保持される不揮発性記憶装置とに大別される。

【0003】

揮発性記憶装置の代表的な例としては、DRAM (Dynamic Random Access Memory) がある。DRAMは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【0004】

上述の原理から、DRAMでは、情報を読み出すとキャパシタの電荷は失われることとなるため、データの読み出しの後、再度情報を記憶するには、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにはリーク電流が存在し、選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【0005】

揮発性記憶装置の別の例としてはSRAM (Static Random Access Memory) がある。SRAMは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはDRAMより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、DRAMと変わるところはない。

【0006】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献1参照）。

【0007】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【0008】

また、フローティングゲートに電荷を保持させるため、または、その電荷を除去するためには、高い電圧が必要である。さらに、電荷の保持、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【0009】

【文献】特開昭57-105889号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置を提供することを目的の一とする。または、多値化が容易な構成の半導体装置を提供することを目的の一とする。

10

20

30

40

50

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体を用いて形成されるトランジスタと、それ以外の材料を用いて形成されるトランジスタとの積層構造に係る半導体装置である。例えば、次のような構成を採用することができる。

【0012】

本発明の一態様は、ソース線と、ビット線と、第1信号線と、複数の第2信号線と、複数のワード線と、ソース線と、ビット線との間に、並列に接続された複数のメモリセルと、アドレス信号が入力され、複数のメモリセルのうちアドレス信号によって指定されたメモリセルを選択するように、複数の第2信号線および複数のワード線を駆動する、第2信号線およびワード線の駆動回路と、複数の書き込み電位のいずれかを選択して第1信号線に出力する、第1信号線の駆動回路と、ビット線の電位と複数の参照電位とが入力され、ビット線の電位と、複数の参照電位とを比較してデータを読み出す読み出し回路と、複数の書き込み電位および複数の参照電位を生成して第1信号線の駆動回路および読み出し回路に供給する、電位生成回路と、電位生成回路に電位を供給する昇圧回路と、を有し、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方とは、電気的に接続され、ソース線と、第1のソース電極とは、電気的に接続され、第1のドレイン電極と、第3のソース電極とは、電気的に接続され、ビット線と、第3のドレイン電極とは、電気的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電気的に接続され、複数の第2信号線の一と、第2のゲート電極とは、電気的に接続され、複数のワード線の一と、第3のゲート電極とは電気的に接続された半導体装置である。

【0013】

また、上記構成において、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、に電気的に接続された容量素子を有する半導体装置である。

【0014】

また、本発明の一態様は、ソース線と、ビット線と、第1信号線と、複数の第2信号線と、複数のワード線と、ソース線と、ビット線との間に、並列に接続された複数のメモリセルと、アドレス信号が入力され、複数のメモリセルのうちアドレス信号によって指定されたメモリセルを選択するように、複数の第2信号線および複数のワード線を駆動する、第2信号線およびワード線の駆動回路と、複数の書き込み電位のいずれかを選択して第1信号線に出力する、第1信号線の駆動回路と、ビット線の電位と複数の参照電位が入力され、参照メモリセルを有し、指定されたメモリセルのコンダクタンスと、参照メモリセルのコンダクタンスとを比較してデータを読み出す読み出し回路と、複数の書き込み電位および複数の参照電位を生成して第1信号線の駆動回路および読み出し回路に供給する、電位生成回路と、電位生成回路に電位を供給する昇圧回路と、を有し、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、第3のゲート電極、第3のソース電極、および第3のドレイン電極を有する第3のトランジスタと、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方とは、電気的に接続され、ソース線と、第1のソース電極とは、電気的に接続され、第1のドレイン電極と、第3のソース電極とは、電気的に接続され、ビット線と、第3のドレイン電極とは、電気的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電気的に

接続され、複数の第2信号線の一と、第2のゲート電極とは、電氣的に接続され、複数のワード線の一と、第3のゲート電極とは電氣的に接続された半導体装置である。

【0015】

また、本発明の一態様は、ソース線と、ビット線と、第1信号線と、複数の第2信号線と、複数のワード線と、ソース線と、ビット線との間に、並列に接続された複数のメモリセルと、アドレス信号と複数の参照電位とが入力され、複数のメモリセルのうちアドレス信号によって指定されたメモリセルを選択するように、複数の第2信号線および複数のワード線を駆動し、選択された一のワード線に複数の参照電位のいずれかを選択して出力する、第2信号線およびワード線の駆動回路と、複数の書き込み電位のいずれかを選択して第1信号線に出力する、第1信号線の駆動回路と、ビット線と接続された、指定されたメモリセルのコンダクタンスを読み出すことによりデータを読み出す読み出し回路と、複数の書き込み電位および複数の参照電位を生成して第1信号線の駆動回路および読み出し回路に供給する、電位生成回路と、電位生成回路に電位を供給する昇圧回路と、を有し、複数のメモリセルの一は、第1のゲート電極、第1のソース電極、および第1のドレイン電極を有する第1のトランジスタと、第2のゲート電極、第2のソース電極、および第2のドレイン電極を有する第2のトランジスタと、容量素子と、を有し、第1のトランジスタは、半導体材料を含む基板に設けられ、第2のトランジスタは酸化物半導体層を含んで構成され、第1のゲート電極と、第2のソース電極または第2のドレイン電極の一方と、容量素子の一方の電極は、電氣的に接続され、ソース線と、第1のソース電極とは、電氣的に接続され、ビット線と、第1のドレイン電極とは、電氣的に接続され、第1信号線と、第2のソース電極または第2のドレイン電極の他方とは、電氣的に接続され、複数の第2信号線の一と、第2のゲート電極とは、電氣的に接続され、複数のワード線の一と、容量素子の他方の電極とは電氣的に接続された半導体装置である。

【0016】

上記において、第1のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第1のゲート絶縁層と、第1のゲート絶縁層上の第1のゲート電極と、不純物領域と電氣的に接続する第1のソース電極および第1のドレイン電極と、を有する。

【0017】

また、上記において、第2のトランジスタは、半導体材料を含む基板上の第2のゲート電極と、第2のゲート電極上の第2のゲート絶縁層と、第2のゲート絶縁層上の酸化物半導体層と、酸化物半導体層と電氣的に接続する第2のソース電極および第2のドレイン電極と、を有する。

【0018】

また、上記において、第3のトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域と、チャネル形成領域を挟むように設けられた不純物領域と、チャネル形成領域上の第3のゲート絶縁層と、第3のゲート絶縁層上の第3のゲート電極と、不純物領域と電氣的に接続する第3のソース電極及び第3のドレイン電極と、を有する。

【0019】

また、上記において、半導体材料を含む基板としては、単結晶半導体基板を採用するのが好適である。特に、半導体材料はシリコンとするのが好適である。また、半導体材料を含む基板としてSOI基板を用いても良い。

【0020】

また、上記において、酸化物半導体層は、 In-Ga-Zn-O 系の酸化物半導体材料を含むことが好適である。特に、酸化物半導体層は、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶を含むことが好適である。さらに、酸化物半導体層の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下とすることが好適である。また、第2のトランジスタのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下とすることが好適である。

【0021】

また、上記において、第2のトランジスタは、第1のトランジスタと重畳する領域に設け

られた構成とすることができる。

【0022】

なお、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上の第1のゲート電極」の表現であれば、ゲート絶縁層と第1のゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」という用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0023】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0024】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合には入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0025】

なお、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0026】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【0027】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、導体基板や絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

【0028】

また、本明細書等において、酸化物半導体以外の半導体材料とは、酸化物半導体以外の半導体材料であればどのような半導体材料であっても良い。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、等がある。他に、有機半導体材料などを用いることもできる。なお、半導体装置などを構成する材料について特に言及しない場合は、酸化物半導体材料または酸化物半導体以外の半導体材料のどちらを用いてもよい。

【発明の効果】

【0029】

本発明の一態様では、下部にはチャネル形成領域に酸化物半導体以外の材料を用いたトランジスタを有し、上部にはチャネル形成領域に酸化物半導体を用いたトランジスタを有する半導体装置が提供される。

【0030】

酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることに

10

20

30

40

50

より極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。

【0031】

また、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば従来の不揮発性メモリのように浮遊ゲートへの電子の注入と引き抜きを行う必要がないため、ゲート絶縁層の劣化といった劣化が全く生じることがない。すなわち、本実施形態に係る半導体装置は、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を書き換える際、前の情報を消去するための動作が不要であるというメリットもある。

10

【0032】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0033】

さらに、昇圧回路を有することで多値化が容易となるため、記憶容量を向上させることが可能である。

【0034】

このように、酸化物半導体以外の材料を用いたトランジスタと、酸化物半導体を用いたトランジスタとを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

20

【図面の簡単な説明】

【0035】

【図1】半導体装置を説明するための回路図。

【図2】半導体装置を説明するための断面図および平面図。

【図3】半導体装置の作製工程を説明するための断面図。

【図4】半導体装置の作製工程を説明するための断面図。

【図5】半導体装置の作製工程を説明するための断面図。

【図6】酸化物半導体を用いたトランジスタの断面図。

30

【図7】図6のA-A'断面におけるエネルギーバンド図（模式図）。

【図8】(A)ゲート(GE1)に正の電位($+V_G$)が与えられた状態を示し、(B)ゲート(GE1)に負の電位($V_G < 0$)が与えられた状態を示す図。

【図9】真空準位と金属の仕事関数(ϕ_M)、酸化物半導体の電子親和力(χ)の関係を示す図。

【図10】C-V特性を示す図。

【図11】 V_g と $(1/C)^2$ との関係を示す図。

【図12】半導体装置を説明するための断面図。

【図13】半導体装置を説明するための断面図。

【図14】半導体装置を説明するための断面図。

40

【図15】半導体装置を説明するための断面図。

【図16】記憶素子を説明するための回路図。

【図17】半導体装置を説明するための回路図。

【図18】駆動回路を説明するための回路図。

【図19】駆動回路を説明するための回路図。

【図20】読み出し回路を説明するための回路図。

【図21】電位生成回路を説明するための回路図。

【図22】昇圧回路を説明するための回路図。

【図23】差動型センスアンプを説明するための回路図。

【図24】ラッチ型センスアンプを説明するための回路図。

50

【図 2 5】動作を説明するためのタイミングチャートを示す図。

【図 2 6】半導体装置を説明するための回路図。

【図 2 7】読み出し回路を説明するための回路図。

【図 2 8】動作を説明するためのタイミングチャートを示す図。

【図 2 9】読み出し回路を説明するための図。

【図 3 0】動作を説明するためのタイミングチャートを示す図。

【図 3 1】記憶素子を説明するための回路図。

【図 3 2】半導体装置を説明するための回路図。

【図 3 3】読み出し回路を説明するための回路図。

【図 3 4】駆動回路を説明するための回路図。

【図 3 5】動作を説明するためのタイミングチャートを示す図。

【図 3 6】ノード A とワード線電位の関係を示す図。

【図 3 7】電子機器を説明するための図。

【発明を実施するための形態】

【0036】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0037】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。よって、必ずしも、図面等に表示された位置、大きさ、範囲などに限定されない。

【0038】

なお、本明細書等における「第 1」、「第 2」、「第 3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0039】

(実施の形態 1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成および作製方法について、図 1 乃至図 1 5 を参照して説明する。

【0040】

<半導体装置の回路構成>

図 1 には、半導体装置の回路構成の一例を示す。当該半導体装置は、酸化物半導体以外の材料を用いたトランジスタ 160 と酸化物半導体を用いたトランジスタ 162 によって構成される。なお、図 1 において、トランジスタ 162 は、酸化物半導体を用いたことを明示するために、OS の符号を合わせて付している。

【0041】

ここで、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、第 1 の配線 (1st Line : ソース線とも呼ぶ) とトランジスタ 160 のソース電極とは、電気的に接続され、第 2 の配線 (2nd Line : ビット線とも呼ぶ) とトランジスタ 160 のドレイン電極とは、電気的に接続されている。そして、第 3 の配線 (3rd Line : 第 1 信号線とも呼ぶ) とトランジスタ 162 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 4 の配線 (4th Line : 第 2 信号線とも呼ぶ) と、トランジスタ 162 のゲート電極とは、電気的に接続されている。

【0042】

酸化物半導体以外の材料を用いたトランジスタ 160 は十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しなどを高速に行うことが可能である。また、酸化物半導体を用いたトランジスタ 162 は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 162 をオフ状態とすることで、トランジスタ 160 の

10

20

30

40

50

ゲート電極の電位を極めて長時間にわたって保持することが可能である。

【0043】

ゲート電極の電位を長時間にわたって保持することが可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0044】

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、第3の配線の電位が、トランジスタ160のゲート電極に与えられる（書き込み）。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、トランジスタ160のゲート電極の電位が保持される（保持）。

10

【0045】

トランジスタ162のオフ電流は極めて小さいから、トランジスタ160のゲート電極の電位は長時間にわたって保持される。例えば、トランジスタ160のゲート電極の電位がトランジスタ160をオン状態とする電位であれば、トランジスタ160のオン状態が長時間にわたって保持されることになる。また、トランジスタ160のゲート電極の電位がトランジスタ160をオフ状態とする電位であれば、トランジスタ160のオフ状態が長時間にわたって保持される。

【0046】

次に、情報の読み出しについて説明する。上述のように、トランジスタ160のオン状態またはオフ状態が保持された状態において、第1の配線に所定の電位（低電位）が与えられると、トランジスタ160のオン状態またはオフ状態に応じて、第2の配線の電位は異なる値をとる。例えば、トランジスタ160がオン状態の場合には、第1の配線の電位の影響を受けて、第2の配線の電位が低下することになる。逆に、トランジスタ160がオフ状態の場合には、第2の配線の電位は変化しない。

20

【0047】

このように、情報が保持された状態において、第1の配線の電位と第2の配線の電位とを比較することで、情報を読み出すことができる。

【0048】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ162がオン状態となる電位として、トランジスタ162をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ160のゲート電極に与えられる。その後、第4の配線の電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、新たな情報が保持された状態となる。

30

【0049】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

40

【0050】

なお、上記説明は、電子をキャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合についてのものであるが、n型トランジスタに代えて、正孔をキャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0051】

また、トランジスタ160のゲート電極の電位の保持を容易にするために、トランジスタ160のゲート電極に、容量素子などを付加しても良いことはいうまでもない。

【0052】

<半導体装置の平面構成および断面構成>

図2は、上記半導体装置の構成の一例である。図2（A）には、半導体装置の断面を、図

50

２（Ｂ）には、半導体装置の平面を、それぞれ示す。ここで、図２（Ａ）は、図２（Ｂ）の線Ａ１－Ａ２および線Ｂ１－Ｂ２における断面に相当する。図２（Ａ）および図２（Ｂ）に示される半導体装置は、下部に酸化物半導体以外の材料を用いたトランジスタ１６０を有し、上部に酸化物半導体を用いたトランジスタ１６２を有するものである。なお、トランジスタ１６０およびトランジスタ１６２は、いずれもｎ型トランジスタとして説明するが、ｐ型トランジスタを採用しても良い。特に、トランジスタ１６０は、ｐ型とすることが可能である。

【００５３】

トランジスタ１６０は、半導体材料を含む基板１００に設けられたチャネル形成領域１１６と、チャネル形成領域１１６を挟むように設けられた不純物領域１１４および高濃度不純物領域１２０（これらをあわせて単に不純物領域とも呼ぶ）と、チャネル形成領域１１６上に設けられたゲート絶縁層１０８ａと、ゲート絶縁層１０８ａ上に設けられたゲート電極１１０ａと、チャネル形成領域１１６の一方の側に設けられた不純物領域１１４と電氣的に接続するソース電極またはドレイン電極１３０ａと、チャネル形成領域１１６の他方の側に設けられた不純物領域１１４と電氣的に接続するソース電極またはドレイン電極１３０ｂを有する。。

【００５４】

ここで、ゲート電極１１０ａの側面にはサイドウォール絶縁層１１８が設けられている。また、基板１００に、平面的に見てサイドウォール絶縁層１１８を挟むように設けられた、高濃度不純物領域１２０を有し、高濃度不純物領域１２０上には金属化合物領域１２４が存在する。また、基板１００上にはｐ型トランジスタ１６０を囲むように素子分離絶縁層１０６が設けられており、ｐ型トランジスタ１６０を覆うように、層間絶縁層１２６および層間絶縁層１２８が設けられている。層間絶縁層１２６および層間絶縁層１２８に形成された開口を通じて、ソース電極またはドレイン電極１３０ａは、チャネル形成領域１１６の一方の側に設けられた金属化合物領域１２４と電氣的に接続され、ソース電極またはドレイン電極１３０ｂは、チャネル形成領域１１６の他方の側に設けられた金属化合物領域１２４と電氣的に接続されている。つまり、ソース電極またはドレイン電極１３０ａは、チャネル形成領域１１６の一方の側に設けられた金属化合物領域１２４を介してチャネル形成領域１１６の一方の側に設けられた高濃度不純物領域１２０およびチャネル形成領域１１６の一方の側に設けられた不純物領域１１４と電氣的に接続され、ソース電極またはドレイン電極１３０ｂは、チャネル形成領域１１６の他方の側に設けられた金属化合物領域１２４を介してチャネル形成領域１１６の他方の側に設けられた高濃度不純物領域１２０およびチャネル形成領域１１６の他方の側に設けられた不純物領域１１４と電氣的に接続されている。また、ゲート電極１１０ａには、ソース電極またはドレイン電極１３０ａやソース電極またはドレイン電極１３０ｂと同様に設けられた電極１３０ｃが電氣的に接続されている。

【００５５】

トランジスタ１６２は、層間絶縁層１２８上に設けられたゲート電極１３６ｄと、ゲート電極１３６ｄ上に設けられたゲート絶縁層１３８と、ゲート絶縁層１３８上に設けられた酸化物半導体層１４０と、酸化物半導体層１４０上に設けられ、酸化物半導体層１４０と電氣的に接続されているソース電極またはドレイン電極１４２ａ、ソース電極またはドレイン電極１４２ｂと、を有する。

【００５６】

ここで、ゲート電極１３６ｄは、層間絶縁層１２８上に形成された絶縁層１３２に、埋め込まれるように設けられている。また、ゲート電極１３６ｄと同様に、ソース電極またはドレイン電極１３０ａに接して電極１３６ａが、ソース電極またはドレイン電極１３０ｂに接して電極１３６ｂが、電極１３０ｃに接して電極１３６ｃが、それぞれ形成されている。

【００５７】

また、トランジスタ１６２の上には、酸化物半導体層１４０の一部と接するように、保護

10

20

30

40

50

絶縁層 144 が設けられており、保護絶縁層 144 上には層間絶縁層 146 が設けられている。ここで、保護絶縁層 144 および層間絶縁層 146 には、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b にまで達する開口が設けられており、当該開口を通じて、電極 150 d、電極 150 e が、ソース電極またはドレイン電極 142 a、ソース電極またはドレイン電極 142 b に接して形成されている。また、電極 150 d、電極 150 e と同様に、ゲート絶縁層 138、保護絶縁層 144、層間絶縁層 146 に設けられた開口を通じて、電極 136 a、電極 136 b、電極 136 c に接する電極 150 a、電極 150 b、電極 150 c が形成されている。

【0058】

ここで、酸化物半導体層 140 は水素などの不純物が十分に除去され、高純度化されているものであることが望ましい。具体的には、酸化物半導体層 140 の水素濃度は $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、望ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より望ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。また、十分な酸素を含有することにより、酸素欠乏に起因する欠陥が低減されたものであることが望ましい。水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 では、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 以下、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 以下となる。このように、i 型化（真性化）または実質的に i 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 162 を得ることができる。例えば、ドレイン電圧 V_d が +1 V または +10 V の場合であって、ゲート電圧 V_g が -5 V から -20 V の範囲では、オフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。このように、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層 140 を適用し、トランジスタ 162 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。なお、上述の酸化物半導体層 140 中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectroscopy）で測定したものである。

【0059】

また、層間絶縁層 146 上には絶縁層 152 が設けられており、当該絶縁層 152 に埋め込まれるように、電極 154 a、電極 154 b、電極 154 c、電極 154 d が設けられている。ここで、電極 154 a は電極 150 a と接しており、電極 154 b は電極 150 b と接しており、電極 154 c は電極 150 c および電極 150 d と接しており、電極 154 d は電極 150 e と接している。

【0060】

つまり、図 2 に示される半導体装置では、トランジスタ 160 のゲート電極 110 a と、トランジスタ 162 のソース電極またはドレイン電極 142 a とが、電極 130 c、電極 136 c、電極 150 c、電極 154 c および電極 150 d を介して電氣的に接続されている。

【0061】

<半導体装置の作製方法>

次に、上記半導体装置の作製方法の一例について説明する。以下では、はじめに下部のトランジスタ 160 の作製方法について図 3 を参照して説明し、その後、上部のトランジスタ 162 の作製方法について図 4 および図 5 を参照して説明する。

【0062】

<下部のトランジスタの作製方法>

まず、半導体材料を含む基板 100 を用意する（図 3（A）参照）。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり

10

20

30

40

50

、「S O I 基板」が有する半導体層は、シリコン半導体層に限定されない。また、S O I 基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0063】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図3(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

10

【0064】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより分離された半導体領域104が形成される(図3(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0065】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図3(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMPなどの研磨処理やエッチングなどがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

20

【0066】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0067】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガスと、酸素、酸化窒素、アンモニア、窒素、水素などを組み合わせた混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

30

【0068】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電材料を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

40

【0069】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極110aを形成する(図3(C)参照)。

【0070】

次に、ゲート電極110aを覆う絶縁層112を形成する(図3(C)参照)。そして、半導体領域104にリン(P)やヒ素(As)などを添加して、浅い接合深さの不純物領

50

域 1 1 4 を形成する（図 3（C）参照）。なお、ここでは n 型トランジスタを形成するためにリンやヒ素を添加しているが、p 型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。なお、不純物領域 1 1 4 の形成により、半導体領域 1 0 4 のゲート絶縁層 1 0 8 a 下部には、チャネル形成領域 1 1 6 が形成される（図 3（C）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層 1 1 2 を形成した後に不純物領域 1 1 4 を形成する工程を採用しているが、不純物領域 1 1 4 を形成した後に絶縁層 1 1 2 を形成する工程としても良い。

【0071】

次に、サイドウォール絶縁層 1 1 8 を形成する（図 3（D）参照）。サイドウォール絶縁層 1 1 8 は、絶縁層 1 1 2 を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチングを適用することで、自己整合的に形成することができる。また、この際に、絶縁層 1 1 2 を部分的にエッチングして、ゲート電極 1 1 0 a の上面と、不純物領域 1 1 4 の上面を露出させると良い。

【0072】

次に、ゲート電極 1 1 0 a、不純物領域 1 1 4、サイドウォール絶縁層 1 1 8 等を覆うように、絶縁層を形成する。そして、不純物領域 1 1 4 と接する領域に、リン（P）やヒ素（As）などを添加して、高濃度不純物領域 1 2 0 を形成する（図 3（E）参照）。その後、上記絶縁層を除去し、ゲート電極 1 1 0 a、サイドウォール絶縁層 1 1 8、高濃度不純物領域 1 2 0 等を覆うように金属層 1 2 2 を形成する（図 3（E）参照）。当該金属層 1 2 2 は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層 1 2 2 は、半導体領域 1 0 4 を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【0073】

次に、熱処理を施して、上記金属層 1 2 2 と半導体材料とを反応させる。これにより、高濃度不純物領域 1 2 0 に接する金属化合物領域 1 2 4 が形成される（図 3（F）参照）。なお、ゲート電極 1 1 0 a として多結晶シリコンなどを用いる場合には、ゲート電極 1 1 0 a の金属層 1 2 2 と接触する部分にも、金属化合物領域が形成されることになる。

【0074】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域 1 2 4 は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域 1 2 4 を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 1 2 4 を形成した後は、金属層 1 2 2 は除去する。

【0075】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層 1 2 6、層間絶縁層 1 2 8 を形成する（図 3（G）参照）。層間絶縁層 1 2 6 や層間絶縁層 1 2 8 は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層 1 2 6 と層間絶縁層 1 2 8 の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層 1 2 8 の形成後には、その表面を、CMP やエッチングなどによって平坦化しておくことが望ましい。

【0076】

その後、上記層間絶縁層に、金属化合物領域 1 2 4 にまで達する開口を形成し、当該開口

10

20

30

40

50

に、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b を形成する（図 3（H）参照）。ソース電極またはドレイン電極 130 a やソース電極またはドレイン電極 130 b は、例えば、開口を含む領域に PVD 法や CVD 法などを用いて導電層を形成した後、エッチングや CMP といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【0077】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 130 a やソース電極またはドレイン電極 130 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の CMP によって、不要なタングステン膜、チタン膜、窒化チタン膜などを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【0078】

なお、ここでは、金属化合物領域 124 と接触するソース電極またはドレイン電極 130 a やソース電極またはドレイン電極 130 b のみを示しているが、この工程において、ゲート電極 110 a と接触する電極（例えば、図 2（A）における電極 130 c）などをあわせて形成することができる。ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。

【0079】

以上により、半導体材料を含む基板 100 を用いたトランジスタ 160 が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

【0080】

<上部のトランジスタの作製方法>

次に、図 4 および図 5 を用いて、層間絶縁層 128 上にトランジスタ 162 を作製する工程について説明する。なお、図 4 および図 5 は、層間絶縁層 128 上の各種電極や、トランジスタ 162 などの作製工程を示すものであるから、トランジスタ 162 の下部に存在するトランジスタ 160 等については省略している。

【0081】

まず、層間絶縁層 128、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b、電極 130 c 上に絶縁層 132 を形成する（図 4（A）参照）。絶縁層 132 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0082】

次に、絶縁層 132 に対し、ソース電極またはドレイン電極 130 a、ソース電極またはドレイン電極 130 b、および、電極 130 c にまで達する開口を形成する。この際、後にゲート電極 136 d が形成される領域にも併せて開口を形成する。そして、上記開口に埋め込むように、導電層 134 を形成する（図 4（B）参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 134 の形成に用いることができる材料としては

、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

【0083】

より具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここではソース電極またはドレイン電極130a、ソース電極またはドレイン電極130b、電極130cなど）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

10

【0084】

導電層134を形成した後は、エッチングやCMPといった方法を用いて導電層134の一部を除去し、絶縁層132を露出させて、電極136a、電極136b、電極136c、ゲート電極136dを形成する（図4（C）参照）。なお、上記導電層134の一部を除去して電極136a、電極136b、電極136c、ゲート電極136dを形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

20

【0085】

次に、絶縁層132、電極136a、電極136b、電極136c、ゲート電極136dを覆うように、ゲート絶縁層138を形成する（図4（D）参照）。ゲート絶縁層138は、CVD法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層138は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層138は、単層構造としても良いし、積層構造としても良い。例えば、原料ガスとして、シラン（ SiH_4 ）、酸素、窒素を用いたプラズマCVD法により、酸化窒化珪素でなるゲート絶縁層138を形成することができる。ゲート絶縁層138の厚さは特に限定されないが、例えば、10nm以上500nm以下とすることができる。積層構造の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上の膜厚5nm以上300nm以下の第2のゲート絶縁層の積層とすると好適である。

30

【0086】

なお、不純物を除去することによりi型化または実質的にi型化された酸化物半導体（高純度化された酸化物半導体）は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面は重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層138には、高品質化が要求されることになる。

【0087】

例えば、 μ 波（2.45GHz）を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層138を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

40

【0088】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマCVD法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層138としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるもの

50

を形成すれば良い。

【0089】

さらに、温度85℃、電界強度 $2 \times 10^6 \text{ V/cm}$ 、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。

【0090】

これに対して、酸化物半導体の不純物、特に水素や水などを極力排除し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることが可能である。

10

【0091】

次いで、ゲート絶縁層138上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する（図4（E）参照）。

【0092】

酸化物半導体層としては、四元系金属酸化物である In-Sn-Ga-Zn-O や、三元系金属酸化物である In-Ga-Zn-O 、 In-Sn-Zn-O 、 In-Al-Zn-O 、 Sn-Ga-Zn-O 、 Al-Ga-Zn-O 、 Sn-Al-Zn-O や、二元系金属酸化物である In-Zn-O 、 Sn-Zn-O 、 Al-Zn-O 、 Zn-Mg-O 、 Sn-Mg-O 、 In-Mg-O や、単元系金属酸化物である In-O 、 Sn-O 、 Zn-O などを用いた酸化物半導体層を適用することができる。また、上記酸化物半導体材料に SiO_2 を含ませても良い。

20

【0093】

また、酸化物半導体層は、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体膜のうち、MとしてGaを含む構造の酸化物半導体を、 In-Ga-Zn-O 系酸化物半導体と呼び、その薄膜を In-Ga-Zn-O 系酸化物半導体膜（ In-Ga-Zn-O 系非晶質膜）などと呼ぶこととする。

30

【0094】

本実施の形態では、酸化物半導体層として In-Ga-Zn-O 系の酸化物半導体成膜用ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0095】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、 In 、 Ga 、および Zn を含む酸化物半導体成膜用ターゲット（組成比として、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [mol数比]）などを用いることもできる。また、 In 、 Ga 、および Zn を含む酸化物半導体成膜用ターゲットとして、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol数比]、または $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [mol数比]の組成比を有するターゲットなどを用いても良い。酸化物半導体成膜用ターゲットの充填率は90%以上100%以下、好ましくは95%以上（例えば99.9%）である。充填率の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

40

【0096】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、ま

50

たは、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度数 ppm 程度（望ましくは濃度数 ppb 程度）にまで除去された高純度ガスを用いるのが好適である。

【0097】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を 100℃以上 600℃以下好ましくは 200℃以上 400℃以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いるのが好適である。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

10

【0098】

形成条件としては、例えば、基板とターゲットの間との距離が 100 mm、圧力が 0.6 Pa、直流（DC）電力が 0.5 kW、雰囲気が酸素（酸素流量比率 100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるため、好適である。酸化物半導体層の厚さは、2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。

20

【0099】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 138 の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、または酸素雰囲気などを用いても良い。

30

【0100】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

【0101】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）、塩化珪素（ $SiCl_4$ ）、四塩化炭素（ CCl_4 ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いても良い。

40

【0102】

ドライエッチング法としては、平行平板型 RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される

50

電力量、基板側の電極温度等)は適宜設定する。

【0103】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)などのエッチング液を用いてもよい。

【0104】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450℃において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れないようにし、水や水素の再混入が行われないようにする。

【0105】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、LRTA(Lamp Rapid Thermal Anneal)装置、GRTA(Gas Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0106】

例えば、第1の熱処理として、650℃~700℃の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。

【0107】

なお、第1の熱処理は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気で行うことが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.999%)以上、好ましくは7N(99.9999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0108】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

【0109】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に結晶(粒径1nm以上20nm以下代表的には2nm以上4nm以下)が混在する酸化物半導体層となる場合もある。

【0110】

また、非晶質の表面に結晶層を設けることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の酸化物半導体成膜用ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した結晶部を形成することで、酸化物半導体層の電気的特性を変化させる

10

20

30

40

50

ことができる。

【0111】

より具体的には、例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

【0112】

なお、上述の結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

10

【0113】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

【0114】

なお、上記熱処理は、酸化物半導体層140に対する脱水化または脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

20

【0115】

次に、酸化物半導体層140に接するように、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図4（F）参照）。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

【0116】

導電層は、スパッタ法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、トリウムから選択されたいずれか一または複数の元素を成分とする材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。

30

【0117】

また、導電層は、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する場合がある）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

40

【0118】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

【0119】

ここで、エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

50

【0120】

図4（F）に示すように、トランジスタのチャネル長（L）は、酸化物半導体層140上のソース電極またはドレイン電極142aの下端部と、酸化物半導体層140上のソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャネル長（L）が25nm未満のパターンの露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（L）を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、消費電力が大きくなりずに済む。

10

【0121】

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0122】

また、酸化物半導体層140とソース電極またはドレイン電極142aの間や、酸化物半導体層140とソース電極またはドレイン電極142bの間には、酸化物導電層を形成してもよい。酸化物導電層と、ソース電極またはドレイン電極142aやソース電極またはドレイン電極142bを形成するための導電層は、連続して形成すること（連続成膜）が可能である。酸化物導電層はソース領域またはドレイン領域として機能しうる。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

20

【0123】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状（階段状）となり、アッシングによりさらに形状を変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

30

【0124】

なお、上述の工程の後には、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスなど、酸素を含有するガスを用いたプラズマ処理を行ってもよい。これによって酸化物半導体層に酸素を供給し、酸素欠乏に起因する欠陥を低減することが可能である。

【0125】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する（図4（G）参照）。

40

【0126】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300℃以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

【0127】

50

保護絶縁層 144 に水素が含まれると、その水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜き、などが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層 144 はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【0128】

また、処理室内の残留水分を除去しつつ保護絶縁層 144 を形成するのが好適である。酸化物半導体層 140 および保護絶縁層 144 に水素、水酸基または水分が含まれないようにするためである。

【0129】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いるのが好適である。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いるのが好適である。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 (H_2O) など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層 144 に含まれる不純物の濃度を低減できる。

【0130】

保護絶縁層 144 を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、濃度数 ppm 程度（望ましくは、濃度数 ppb 程度）にまで除去された高純度ガスを用いるのが好適である。

【0131】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理（好ましくは 200℃ 以上 400℃ 以下、例えば 250℃ 以上 350℃ 以下）を行うのが望ましい。例えば、窒素雰囲気下で 250℃、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、ランジスタの電気的特性のばらつきを低減することができる。また、第 2 の熱処理によって、酸化物半導体層に酸素を供給することが可能である。

【0132】

また、大気中、100℃ 以上 200℃ 以下、1 時間以上 30 時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃ 以上 200℃ 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第 2 の熱処理に代えて行っても良いし、第 2 の熱処理の前後などに行っても良い。

【0133】

次に、保護絶縁層 144 上に、層間絶縁層 146 を形成する（図 5（A）参照）。層間絶縁層 146 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層 146 の形成後には、その表面を、CMP やエッチングなどの方法によって平坦化しておくことが望ましい。

【0134】

次に、層間絶縁層 146、保護絶縁層 144、およびゲート絶縁層 138 に対し、電極 136a、電極 136b、電極 136c、ソース電極またはドレイン電極 142a、ソース電極またはドレイン電極 142b にまで達する開口を形成し、当該開口に埋め込むように導電層 148 を形成する（図 5（B）参照）。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 148 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層 148 の形成に用いることができる材料としては、モリブデン、チ

10

20

30

40

50

タン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

【0135】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bなど）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

10

【0136】

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する（図5（C）参照）。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

20

【0137】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する（図5（D）参照）。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

【0138】

上述のような方法でトランジスタ162を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下となり、また、トランジスタ162のオフ電流は $1 \times 10^{-13} \text{ A}$ 以下となる。このような、水素濃度が十分に低減されて高純度化され、酸素欠乏に起因する欠陥が低減された酸化物半導体層140を適用することで、優れた特性のトランジスタ162を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ160を有し、上部に酸化物半導体を用いたトランジスタ162を有する優れた特性の半導体装置を作製することができる。

30

【0139】

なお、酸化物半導体において、DOS（density of state）等の物性研究は多くなされているが、これらの研究は、エネルギーギャップ中の局在準位そのものを十分に減らすという思想を含まない。開示する発明の一態様では、局在準位の原因である水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、局在準位そのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

40

【0140】

なお、水素や水などを除去する際には、同時に酸素が除去されてしまうことがある。このため、酸素欠乏により発生する金属の未結合手に対して酸素を供給し、酸素欠陥による局在準位を減少させることにより、酸化物半導体をさらに高純度化（i型化）するのは好適である。たとえば、チャネル形成領域に密接して酸素過剰の酸化膜を形成し、 $200^\circ\text{C} \sim 400^\circ\text{C}$ 、代表的には 250°C 程度の温度条件での熱処理を行うことで、当該酸化膜から酸化物半導体中へ酸素を供給して、酸素欠陥による局在準位を減少させることが可能である。また、第2の熱処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。第2

50

の熱処理に続けて、酸素雰囲気、または水素や水を十分に除去した雰囲気における降温過程を経ることで、酸化物半導体中に酸素を供給することも可能である。

【0141】

酸化物半導体の特性の悪化は、過剰な水素による伝導帯下 $0.1 \sim 0.2 \text{ eV}$ の浅い準位や、酸素欠損による深い準位、などに起因するものと考えられる。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給するという技術思想は正しいものであろう。

【0142】

開示する発明では酸化物半導体を高純度化しているため、酸化物半導体中のキャリア密度は十分小さい。

【0143】

さらに、常温でのフェルミ・ディラック分布則を用いると、エネルギーギャップが $3.05 \sim 3.15 \text{ eV}$ である酸化物半導体の真性キャリア密度は $1 \times 10^{-7} / \text{cm}^3$ となり、真性キャリア密度が $1.45 \times 10^{10} / \text{cm}^3$ であるシリコンと比べてはるかに小さい。

【0144】

そのため、少数キャリアであるホールも極めて少なく、IGFET (Insulated Gate Field Effect Transistor) におけるオフ状態でのリーク電流は常温において $100 \text{ aA} / \mu\text{m}$ 以下、好ましくは $10 \text{ aA} / \mu\text{m}$ 以下、さらに好ましくは $1 \text{ aA} / \mu\text{m}$ 以下を実現することができる。なお、ここで $1 \text{ aA} / \mu\text{m}$ という表記は、トランジスタのチャネル幅 $1 \mu\text{m}$ 当たり 1 aA ($1 \times 10^{-18} \text{ A}$) の電流が流れることを示す。

【0145】

もっとも、エネルギーギャップが 3 eV 以上のワイドギャップ半導体としてSiC (3.26 eV)、GaN (3.42 eV) などが知られており、同様なトランジスタ特性が得られることが期待される。しかし、これらの半導体材料は 1500°C 以上のプロセス温度を経由するため、薄膜化は実質的に不可能である。また、シリコン集積回路の上に三次元の積層化をしようとしても、プロセス温度が高すぎるため不可能である。他方、酸化物半導体は、室温 $\sim 400^\circ\text{C}$ の加熱スパッタによる薄膜形成が可能であり、脱水化・脱水素化（酸化物半導体層から水素や水を除去すること）及び加酸化（酸化物半導体層に酸素を供給すること）を $450 \sim 700^\circ\text{C}$ で実現することができるため、シリコン集積回路の上に三次元的な積層構造を形成することができる。

【0146】

なお、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、水や水素などの不純物を除去すると共に、酸化物半導体の構成元素である酸素を供給することでi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

【0147】

なお、本実施の形態では、酸化物半導体を用いたトランジスタ162がボトムゲート型である構成について説明したが、本発明はこれに限定されるものではない。トランジスタ162の構成は、トップゲート型、あるいはデュアルゲート型としてもよい。デュアルゲート型トランジスタとは、チャネル領域の上下にゲート絶縁層を介して配置された2つのゲート電極層を有するトランジスタのことを言う。

【0148】

<酸化物半導体を用いたトランジスタの電導機構>

ここで、酸化物半導体を用いたトランジスタの電導機構につき、図6乃至図9を用いて説明する。なお、以下の説明は一考察に過ぎず、これに基づいて発明の有効性が否定されるものではないことを付記する。

【0149】

図6は、酸化物半導体を用いたデュアルゲート型のトランジスタ（薄膜トランジスタ）の

10

20

30

40

50

断面図である。ゲート電極（GE）上にゲート絶縁層（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）およびドレイン電極（D）が設けられ、ソース電極（S）およびドレイン電極（D）を覆うように絶縁層が設けられている。

【0150】

図7には、図6のA-A'断面におけるエネルギーバンド図（模式図）を示す。また、図7中の黒丸（●）は電子を示し、白丸（○）は正孔を示し、それぞれは電荷（ $-q$ ， $+q$ ）を有している。

【0151】

ドレイン電極に正の電圧（ $V_D > 0$ ）を印加した上で、破線はゲート電極に電圧を印加しない場合（ $V_G = 0$ ）、実線はゲート電極に正の電圧（ $V_G > 0$ ）を印加する場合を示す。ゲート電極に電圧を印加しない場合は高いポテンシャル障壁のために電極から酸化物半導体側へキャリア（電子）が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。

10

【0152】

図8には、図6におけるB-B'の断面におけるエネルギーバンド図（模式図）を示す。図8（A）は、ゲート電極（GE1）に正の電圧（ $V_G > 0$ ）が与えられた状態であり、ソース電極とドレイン電極との間にキャリア（電子）が流れるオン状態を示している。また、図8（B）は、ゲート電極（GE1）に負の電圧（ $V_G < 0$ ）が印加された状態であり、オフ状態（少数キャリアは流れない状態）である場合を示す。

【0153】

20

図9は、真空準位と金属の仕事関数（ ϕ_M ）、酸化物半導体の電子親和力（ χ ）の関係を示す。

【0154】

常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位（ E_F ）は、バンドギャップ中央に位置する真性フェルミ準位（ E_i ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなりn型化する要因の一つであることが知られている。

【0155】

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより真性（i型）とし、または限りなく真性に近づけたものである。すなわち、不純物元素を添加してi型化するのではなく、水素や水等の不純物を極力除去することにより、高純度化されたi型（真性半導体）またはそれに近づけることを特徴としている。これにより、フェルミ準位（ E_F ）は真性フェルミ準位（ E_i ）と同程度とすることができる。

30

【0156】

酸化物半導体のバンドギャップ（ E_g ）が3.15 eVである場合、電子親和力（ χ ）は4.3 eVと言われている。ソース電極やドレイン電極を構成するチタン（Ti）の仕事関数は、酸化物半導体の電子親和力（ χ ）とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

40

【0157】

このとき電子は、図8（A）で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近（酸化物半導体のエネルギー的に安定な最低部）を移動する。

【0158】

また、図8（B）に示すように、ゲート電極（GE1）に負の電位が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0159】

このように酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより、真性（i型）とし、または実質的に真性となるため、ゲート絶縁層

50

との界面特性が顕在化する。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF帯～マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁層や、スパッタリング法で作製される絶縁層などを用いることが好ましい。

【0160】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとするることにより、例えば、トランジスタのチャネル幅(W)が $1 \times 10^4 \mu\text{m}$ 、チャネル長(L)が $3 \mu\text{m}$ の場合には、 10^{-13}A 以下のオフ電流、 $0.1 \text{V}/\text{dec.}$ のサブスレッショルドスイング値(S値)(ゲート絶縁層の厚さ: 100nm)が実現され得る。

【0161】

このように、酸化物半導体の主成分以外の元素(不純物元素)が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとするることができる。

【0162】

<キャリア濃度>

開示する発明に係る技術思想は、酸化物半導体層におけるキャリア濃度を十分に小さくし、できるだけ真性(i型)に近づけようとするものである。以下、キャリア濃度の求め方、および、実際に測定したキャリア濃度に関し、図10および図11を参照して説明する。

【0163】

まず、キャリア濃度の求め方について簡単に説明する。キャリア濃度は、MOSキャパシタを作製し、MOSキャパシタのCV測定の結果(CV特性)を評価することで求めることが可能である。

【0164】

より具体的には、MOSキャパシタのゲート電圧 V_g と容量Cとの関係をプロットしたC-V特性を取得し、当該C-V特性からゲート電圧 V_g と $(1/C)^2$ との関係を表すグラフを取得し、当該グラフにおいて弱反転領域での $(1/C)^2$ の微分値を求め、当該微分値を式(1)に代入することによりキャリア濃度 N_d の大きさが求められる。なお、式(1)において、eは電気素量、 ϵ_0 は真空の誘電率、 ϵ は酸化物半導体の比誘電率である。

【0165】

【数1】

$$N_d = - \left(\frac{2}{e\epsilon_0\epsilon} \right) \bigg/ \frac{d(1/C)^2}{dV} \quad (1)$$

【0166】

次に、上記の方法を用いて実際に測定したキャリア濃度について説明する。測定には、ガラス基板上にチタン膜を 300nm の厚さで形成し、チタン膜上に窒化チタン膜を 100nm の厚さで形成し、窒化チタン膜上に、In-Ga-Zn-O系の酸化物半導体を用いた酸化物半導体層を $2 \mu\text{m}$ の厚さで形成し、酸化物半導体層上に銀膜を 300nm の厚さで形成した試料(MOSキャパシタ)を用いた。なお、酸化物半導体層は、In、Ga、およびZnを含む酸化物半導体成膜用ターゲット(In₂O₃:Ga₂O₃:ZnO=1:1:1[mol数比])を用いたスパッタリング法により形成した。また、酸化物半導体層の形成雰囲気は、アルゴンと酸素の混合雰囲気(流量比は、Ar:O₂=30(sccm):15(sccm))とした。

【0167】

図10にはC-V特性を、図11には V_g と $(1/C)^2$ との関係を、それぞれ示す。図11の弱反転領域における $(1/C)^2$ の微分値から式(1)を用いて得られたキャリア濃度は、 $6.0 \times 10^{10} / \text{cm}^3$ であった。

【0168】

このように、i型化または実質的にi型化された酸化物半導体（例えば、キャリア濃度が $1 \times 10^{12} / \text{cm}^3$ 以下、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 以下）を用いることで、極めて優れたオフ電流特性のトランジスタを得ることが可能である。

【0169】

<変形例>

図12乃至図15には、半導体装置の構成の変形例を示す。なお、以下では、変形例として、トランジスタ162の構成が上記とは異なるものについて説明する。つまり、トランジスタ160の構成は上記と同様である。

【0170】

図12には、酸化物半導体層140の下にゲート電極136dを有し、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成のトランジスタ162を有する半導体装置の例を示す。なお、平面の構造は、断面に対応して適宜変更すればよいから、ここでは、断面についてのみ示すこととする。

【0171】

図12に示す構成と図2に示す構成の大きな相違点として、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと、酸化物半導体層140との接続の位置がある。つまり、図2に示す構成では、酸化物半導体層140の上側表面が、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接するのに対して、図12に示す構成では、酸化物半導体層140の下側表面が、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bと接する。そして、この接触の相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2と同様である。

【0172】

具体的には、半導体装置は、層間絶縁層128上に設けられたゲート電極136dと、ゲート電極136d上に設けられたゲート絶縁層138と、ゲート絶縁層138上に設けられた、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上側表面に接する酸化物半導体層140と、を有する。

【0173】

ここで、ゲート電極136dは、層間絶縁層128上に形成された絶縁層132に、埋め込まれるように設けられている。また、ゲート電極136dと同様に、ソース電極またはドレイン電極130aに接して電極136aが、ソース電極またはドレイン電極130bに接して電極136bが、電極130cに接して電極136cが、それぞれ形成されている。

【0174】

また、トランジスタ162の上には、酸化物半導体層140の一部と接するように、保護絶縁層144が設けられており、保護絶縁層144上には層間絶縁層146が設けられている。ここで、保護絶縁層144および層間絶縁層146には、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bにまで達する開口が設けられており、当該開口を通じて、電極150d、電極150eが、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bに接して形成されている。また、電極150d、電極150eと同様に、ゲート絶縁層138、保護絶縁層144、層間絶縁層146に設けられた開口を通じて、電極136a、電極136b、電極136cに接する電極150a、電極150b、電極150cが形成されている。

【0175】

また、層間絶縁層146上には絶縁層152が設けられており、当該絶縁層152に埋め込まれるように、電極154a、電極154b、電極154c、電極154dが設けられている。ここで、電極154aは電極150aと接しており、電極154bは電極150

10

20

30

40

50

bと接しており、電極154cは電極150cおよび電極150dと接しており、電極154dは電極150eと接している。

【0176】

図13は、酸化物半導体層140の上にゲート電極136dを有する構成の例である。ここで、図13(A)は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面において酸化物半導体層140と接する構成の例であり、図13(B)は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の上側表面において酸化物半導体層140と接する構成の例である。

【0177】

図2や図12に示す構成と図13に示す構成の大きな相違点は、酸化物半導体層140の上にゲート電極136dを有する点である。また、図13(A)に示す構成と図13(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2などと同様である。

【0178】

具体的には、半導体装置は、図13(A)では、層間絶縁層128上に設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bの上側表面に接する酸化物半導体層140と、酸化物半導体層140上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

【0179】

また、図13(B)では、層間絶縁層128上に設けられた酸化物半導体層140と、酸化物半導体層140の上側表面に接するように設けられたソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと、酸化物半導体層140、ソース電極またはドレイン電極142a、および、ソース電極またはドレイン電極142b上に設けられたゲート絶縁層138と、ゲート絶縁層138上の酸化物半導体層140と重畳する領域のゲート電極136dと、を有する。

【0180】

なお、図13に示す構成では、図2に示す構成などと比較して、構成要素が省略できる場合がある（例えば、電極150aや、電極154aなど）。この場合、作製工程の簡略化という副次的な効果も得られる。もちろん、図2などに示す構成においても、必須ではない構成要素を省略できることはいうまでもない。

【0181】

図14は、素子のサイズが比較的大きい場合であって、酸化物半導体層140の下にゲート電極136dを有する構成の例である。この場合、表面の平坦性やカバレッジに対する要求は比較的厳しくないため、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極136dなどを形成することが可能である。なお、ここでは図示しないが、トランジスタ160についても、同様に作製することが可能である。

【0182】

図14(A)に示す構成と図14(B)に示す構成の大きな相違点は、ソース電極またはドレイン電極142aや、ソース電極またはドレイン電極142bが、酸化物半導体層140の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図2などと同様である。

【0183】

10

20

30

40

50

具体的には、半導体装置は、図 1 4 (A) では、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、を有する。

【0184】

また、図 1 4 (B) では、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上のゲート電極 1 3 6 d と重畳する領域に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、を有する。

10

【0185】

なお、図 1 4 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略される場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0186】

図 1 5 は、素子のサイズが比較的大きい場合であって、酸化物半導体層 1 4 0 の上にゲート電極 1 3 6 d を有する構成の例である。この場合にも、表面の平坦性やカバレッジに対する要求は比較的厳しくないため、配線や電極などを絶縁層中に埋め込むように形成する必要はない。例えば、導電層の形成後にパターニングを行うことで、ゲート電極 1 3 6 d などを形成することが可能である。なお、ここでは図示しないが、トランジスタ 1 6 0 についても、同様に作製することが可能である。

20

【0187】

図 1 5 (A) に示す構成と図 1 5 (B) に示す構成の大きな相違点は、ソース電極またはドレイン電極 1 4 2 a や、ソース電極またはドレイン電極 1 4 2 b が、酸化物半導体層 1 4 0 の下側表面または上側表面のいずれにおいて接触するか、という点である。そして、これらの相違に起因して、その他の電極、絶縁層などの配置が異なるものとなっている。各構成要素の詳細は、図 2 などと同様である。

【0188】

具体的には、半導体装置は、図 1 5 (A) では、層間絶縁層 1 2 8 上に設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b の上側表面に接する酸化物半導体層 1 4 0 と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域に設けられたゲート電極 1 3 6 d と、を有する。

30

【0189】

また、半導体装置は、図 1 5 (B) では、層間絶縁層 1 2 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 の上側表面に接するように設けられたソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b、酸化物半導体層 1 4 0 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上の酸化物半導体層 1 4 0 と重畳する領域に設けられたゲート電極 1 3 6 d と、を有する。

40

【0190】

なお、図 1 5 に示す構成においても、図 2 に示す構成などと比較して、構成要素が省略できる場合がある。この場合も、作製工程の簡略化という効果が得られる。

【0191】

以上に示したように、開示する発明の一態様によって、新たな構成の半導体装置が実現される。本実施の形態では、トランジスタ 1 6 0 とトランジスタ 1 6 2 を積層して形成する例について説明したが、半導体装置の構成はこれに限られるものではない。また、本実施の形態では、トランジスタ 1 6 0 とトランジスタ 1 6 2 のチャンネル長方向が互いに垂直と

50

なる例を説明したが、トランジスタ160とトランジスタ162の位置関係などはこれに限られるものではない。さらに、トランジスタ160とトランジスタ162とを重畳して設けても良い。

【0192】

また、本実施の形態では理解の簡単のため、最小記憶単位（1ビット）の半導体装置について説明したが、半導体装置の構成はこれに限られるものではない。複数の半導体装置を適当に接続して、より高度な半導体装置を構成することもできる。例えば、上記半導体装置を複数用いて、NAND型やNOR型の半導体装置を構成することが可能である。配線の構成も図1に限定されず、適宜変更することができる。

【0193】

本実施の形態に係る半導体装置は、トランジスタ162の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性の半導体装置として用いることが可能である。

【0194】

また、トランジスタ162のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオンまたはオフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、フラッシュメモリなどにおいて必要とされる情報を消去するための動作が不要であるというメリットもある。

【0195】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0196】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0197】

（実施の形態2）

本実施の形態では、本発明の一態様に係る半導体装置の回路構成および動作について説明する。

【0198】

図16に半導体装置が有する記憶素子（以下、メモリセルとも記す）の回路図の一例を示す。図16に示すメモリセル200は、多値型であり、ソース線SLと、ビット線BLと、第1信号線S1と、第2信号線S2と、ワード線WLと、トランジスタ201と、トランジスタ202と、トランジスタ203と、容量素子205と、から構成されている。トランジスタ201及びトランジスタ203は、酸化物半導体以外の材料を用いて形成されており、トランジスタ202は酸化物半導体を用いて形成されている。

【0199】

ここで、トランジスタ201のゲート電極と、トランジスタ202のソース電極またはドレイン電極の一方とは、電気的に接続されている。また、ソース線SLと、トランジスタ201のソース電極とは、電気的に接続され、トランジスタ201のドレイン電極と、トランジスタ203のソース電極とは、電気的に接続されている。そして、ビット線BLと、トランジスタ203のドレイン電極とは、電気的に接続され、第1信号線S1と、トランジスタ202のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ202のゲート電極とは、電気的に接続され、ワード線WLと、トランジスタ203のゲート電極とは電気的に接続されている。また、容量素子205の一方の電極と、トランジスタ201のゲート電極及びトランジスタ202のソース電極またはドレイン電極の一方とは、電気的に接続され、容量素子205の他方の電極には、所定の電位が与えられている。所定の電位とは、例えばGNDなどである。

【0200】

次に、図16に示すメモリセル200の動作について説明する。4値型の場合を説明する。メモリセル200の4状態を、データ"00b"、"01b"、"10b"、"11b"とし、その時のノードAの電位を、それぞれV00、V01、V10、V11 ($V00 < V01 < V10 < V11$) とする。

【0201】

メモリセル200へ書き込みを行う場合、ソース線SLを0[V]、ワード線WLを0[V]、ビット線BLを0[V]、第2信号線S2を2[V]とする。データ"00b"を書き込む場合には、第1信号線S1をV00[V]とする。データ"01b"を書き込む場合には、第1信号線S1をV01[V]とする。データ"10b"を書き込む場合には、第1信号線S1をV10[V]とする。データ"11b"を書き込む場合には、第1信号線S1をV11[V]とする。このとき、トランジスタ203はオフ状態、トランジスタ202はオン状態となる。なお、書き込み終了にあたっては、第1信号線S1の電位が変化する前に、第2信号線S2を0[V]として、トランジスタ202をオフ状態にする。

【0202】

その結果、データ"00b"、"01b"、"10b"、"11b"の書き込み後にはトランジスタ201のゲート電極に接続されるノード（以下、ノードA）の電位がそれぞれ、約V00[V]、約V01[V]、約V10[V]、約V11[V]となる。ノードAには、第1信号線S1の電位に応じた電荷が蓄積されるが、トランジスタ202のオフ電流が極めて小さい、あるいは実質0であることから、トランジスタ201のゲート電極の電位は長時間にわたって保持される。

【0203】

メモリセル200の読み出しを行う場合は、まず、ビット線BLをプリチャージし、Vpc[V]としておく。そして、ソース線SLをVs_read[V]とし、ワード線WLを2[V]、第2信号線S2を0[V]、第1信号線S1を0[V]とする。このとき、トランジスタ203はオン状態、トランジスタ202はオフ状態となる。なお、電位VpcはV00-Vthより低くする。Vs_readはV11-Vthより高くする。

【0204】

その結果、ソース線SLからビット線BLに電流が流れ、ビット線BLは（ノードAの電位）-（トランジスタ201のしきい値電圧Vth）で表される電位まで充電される。その結果、ビット線BL電位は、データ"00b"、"01b"、"10b"、"11b"に対し、それぞれV00-Vth、V01-Vth、V10-Vth、V11-Vthとなる。ビット線BLに接続された読み出し回路は、これらの電位の違いから、データ"00b"、"01b"、"10b"、"11b"を読み出すことができる。

【0205】

図17に、m×nビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図を示す。

【0206】

本発明の一態様に係る半導体装置は、m本のワード線WL及び第2信号線S2と、n本のビット線BL、第1信号線S1及びソース線SLと、複数のメモリセル200（1、1）～200（m、n）が縦m個（行）×横n個（列）（m、nは自然数）のマトリクス状に配置されたメモリセルアレイ210と、読み出し回路211や、第1信号線駆動回路212や、第2信号線及びワード線の駆動回路213や、電位生成回路214といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

【0207】

各メモリセル、例えばメモリセル200（i、j）を考える。ここで、iは1以上m以下の整数、jは1以上n以下の整数）。メモリセル200（i、j）は、ビット線BL（j）、第1信号線S1（j）、ソース線SL（j）、ワード線WL（i）及び第2信号線S2（i）にそれぞれ接続されている。また、ビット線BL（1）～BL（n）及びソース

10

20

30

40

50

線 $S L (1) \sim S L (n)$ は、読み出し回路 211 に、第 1 信号線 $S 1 (1) \sim S 1 (n)$ は第 1 信号線駆動回路 212 に、ワード線 $W L (1) \sim W L (m)$ 及び第 2 信号線 $S 2 (1) \sim S 2 (m)$ は第 2 信号線及びワード線の駆動回路 213 にそれぞれ接続されている。

【0208】

図 18 に、第 2 信号線及びワード線の駆動回路 213 の一例を示す。第 2 信号線及びワード線の駆動回路 213 は、デコーダ 215 を有し、当該デコーダ 215 は、第 2 信号線 $S 2$ およびワード線 $W L$ と、スイッチを介して接続されている。また、第 2 信号線 $S 2$ およびワード線 $W L$ は、スイッチを介して $G N D$ (接地電位) と接続されている。上記スイッチは、リードイネーブル信号 ($R E$ 信号) またはライトイネーブル信号 ($W E$ 信号) によって制御される。デコーダ 215 には、外部からアドレス信号 $A D R$ が入力される。

10

【0209】

第 2 信号線及びワード線の駆動回路 213 にアドレス信号 $A D R$ が入力されると、アドレスが指定した行 (以下、選択行とも記す) がアサート (有効化) され、それ以外の行 (以下、非選択行とも記す) はデアサート (非有効化) される。また、ワード線 $W L$ は、 $R E$ 信号がアサートされるとデコーダ 215 の出力に接続され、 $R E$ 信号がデアサートされると $G N D$ に接続される。第 2 信号線 $S 2$ は、 $W E$ 信号がアサートされるとデコーダ 215 の出力に接続され、 $W E$ 信号がデアサートされると $G N D$ に接続される。

【0210】

図 19 には第 1 信号線駆動回路 212 の一例を示す。第 1 信号線駆動回路 212 は、マルチプレクサ ($M U X 1$) を有する。マルチプレクサ ($M U X 1$) には入力データ $D I$ 、及び書き込み電位 $V 00$ 、 $V 01$ 、 $V 10$ 、 $V 11$ が入力される。マルチプレクサ ($M U X 1$) の出力端子は、スイッチを介して第 1 信号線 $S 1$ と接続されている。また、第 1 信号線 $S 1$ は、スイッチを介して $G N D$ と接続されている。上記スイッチは、ライトイネーブル信号 ($W E$ 信号) によって制御される。

20

【0211】

第 1 信号線駆動回路 212 に $D I$ が入力されると、マルチプレクサ ($M U X 1$) は、 $D I$ の値に応じて、書き込み電位 $V w$ を、 $V 00$ 、 $V 01$ 、 $V 10$ 、 $V 11$ から一つ選択する。マルチプレクサ ($M U X 1$) の振る舞いを表 1 に示す。 $W E$ 信号がアサートされると、第 1 信号線 $S 1$ には選択された書き込み電位 $V w$ が印加され、 $W E$ 信号がデアサートされると、第 1 信号線 $S 1$ には 0 [V] が印加される (第 1 信号線 $S 1$ は $G N D$ に接続される)。

30

【0212】

【表 1】

$D I[1]$	$D I[0]$	$M U X 1$ 出力
0	0	$V 00$ と一致
0	1	$V 01$ と一致
1	0	$V 10$ と一致
1	1	$V 11$ と一致

40

【0213】

図 20 には読み出し回路 211 の一例を示す。読み出し回路 211 は、複数のセンスアンプ回路と、論理回路 229 などを有する。各センスアンプ回路の一方の入力端子は、スイッチを介してビット線 $B L$ を接続し、または $V p c$ が印加される。各センスアンプ回路の他方の入力端子には、参照電位 $V r e f 0$ 、 $V r e f 1$ 、 $V r e f 2$ のいずれかが入力される。また、各センスアンプ回路の出力端子は、論理回路 229 の入力端子と接続されている。なお、上記スイッチは、リードイネーブル信号 ($R E$ 信号) によって制御される。

【0214】

50

参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} の値を、 $V_{00} - V_{th} < V_{ref0} < V_{01} - V_{th} < V_{ref1} < V_{10} - V_{th} < V_{ref2} < V_{11} - V_{th}$ を満たすように設定することで、メモリセルの状態を 3 ビットのデジタル信号として読み出すことができる。例えば、データ "00b" の場合には、ビット線 BL の電位は $V_{00} - V_{th}$ である。これは、参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} のいずれと比較しても小さい値であるため、センスアンプ回路の出力 SA_OUT0 、 SA_OUT1 、 SA_OUT2 は、いずれも、"0"、"0"、"0" となる。同様に、データ "01b" の場合には、ビット線 BL の電位は $V_{01} - V_{th}$ であり、センスアンプ回路の出力 SA_OUT0 、 SA_OUT1 、 SA_OUT2 は、それぞれ "1"、"0"、"0" となり、データ "10b" の場合には、ビット線 BL の電位は $V_{10} - V_{th}$ であり、センスアンプ回路の出力 SA_OUT0 、 SA_OUT1 、 SA_OUT2 は、それぞれ "1"、"1"、"0" に、データ "11b" の場合には、ビット線 BL の電位は $V_{11} - V_{th}$ であり、センスアンプ回路の出力 SA_OUT0 、 SA_OUT1 、 SA_OUT2 は、それぞれ "1"、"1"、"1" になる。その後、表 2 に示す論理値表で表される論理回路 229 を用いて、2 ビットのデータ DO が生成され、読み出し回路 211 から出力される。

【0215】

【表 2】

SA_OUT0	SA_OUT1	SA_OUT2	DO1	DO0
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

【0216】

なお、図示した読み出し回路 211 では、 RE 信号がデアサートされると、ソース線 SL が GND に接続されて、ソース線 SL に 0 [V] が印加されると共に、ビット線 BL 及びビット線 BL に接続されるセンスアンプ回路の端子に電位 V_{pc} [V] が印加される。 RE 信号がアサートされると、ソース線 SL には V_{s_read} [V] が印加され、その結果、ビット線 BL にはデータを反映した電位が充電される。そして、上述した読み出しが行われる。なお、電位 V_{pc} は $V_{00} - V_{th}$ より低くする。 V_{s_read} は $V_{11} - V_{th}$ より高くする。

【0217】

なお、読み出しにおいて比較する「ビット線 BL の電位」には、スイッチを介してビット線 BL と接続されたセンスアンプの入力端子のノードの電位が含まれるものとする。つまり、読み出し回路 211 において比較される電位は、厳密にビット線 BL の電位と同一である必要はない。

【0218】

図 21 には電位生成回路 214 の一例を示す。電位生成回路 214 では、所望の電位を、 $V_{dd} - GND$ 間の抵抗分割によって生成することができる。そして、生成した電位を、アナログバッファ 220 を介して出力する。このようにして、書き込み電位 V_{00} 、 V_{01} 、 V_{10} 、 V_{11} 、及び参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} が生成される。なお、図では、 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ となる構成を示したが、電位の大小関係はこれに限らない。抵抗素子や参照するノードを調整することで、必要となる電位を適宜生成することができる。また、 V_{00} 、 V_{01} 、 V_{10} 、 V_{11} と V_{ref0} 、 V_{ref1} 、 V_{ref2} を別の電位生成回路を用いて生成しても構わない。

【0219】

電位生成回路 214 へは、電源電位 V_{dd} に代えて、昇圧回路で昇圧した電位を供給して

も良い。昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができるようになり、より高い電位を供給することができるようになるためである。

【0220】

なお、電源電位 V_{dd} を直接、電位生成回路に供給する場合であっても、多数の電位に分割することは可能である。しかし、この場合には、隣接する電位との区別が困難になり、書き込みミスや読み出しミスが増大することになってしまう。この点、昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができるようになるため、分割数を増大させても隣接する電位との差を十分に確保することができる。

【0221】

これにより、書き込みミスや読み出しミスを増大させることなく、一のメモリセルの記憶容量を増大させることが可能である。

【0222】

図22(A)に4段の昇圧を行う昇圧回路の一例として、昇圧回路219を示す。図22(A)において、第1のダイオード402の入力端子には電源電位 V_{dd} が供給される。第1のダイオード402の出力端子には第2のダイオード404の入力端子及び第1の容量素子412の一方の端子が接続されている。同様に、第2のダイオード404の出力端子には第3のダイオード406の入力端子及び第2の容量素子414の一方の端子が接続されている。以下、同様であるため詳細な説明は省略するが、第 n のダイオードの出力端子には第 n の容量素子の一方の端子が接続されているということもできる (n : 自然数)。なお、第5のダイオード410の出力が、昇圧回路219の出力 V_{out} となる。

【0223】

さらに、第1の容量素子412の他方の端子及び第3の容量素子416の他方の端子には、クロック信号 CLK が入力される。また、第2の容量素子414の他方の端子及び第4の容量素子418の他方の端子には、反転クロック信号 $CLKB$ が入力される。すなわち、第 $2k-1$ の容量素子の他方の端子にはクロック信号 CLK が入力され、第 $2k$ の容量素子の他方の端子には反転クロック信号 $CLKB$ が入力されるといえる (k : 自然数)。ただし、最終段の容量素子の他方の端子には、接地電位 GND が入力される。

【0224】

クロック信号 CLK が $High$ である場合、つまり反転クロック信号 $CLKB$ が Low である場合には、第1の容量素子412および第3の容量素子416が充電され、クロック信号 CLK と容量結合するノード $N1$ およびノード $N3$ の電位は、所定の電圧分だけ引き上げられる。一方で、反転クロック信号 $CLKB$ と容量結合するノード $N2$ およびノード $N4$ の電位は、所定の電圧分だけ引き下げられる。

【0225】

これにより、第1のダイオード402、第3のダイオード406、第5のダイオード410、を通じて電荷が移動し、ノード $N2$ およびノード $N4$ の電位が所定の値まで引き上げられる。

【0226】

次にクロック信号 CLK が Low になり、反転クロック信号 $CLKB$ が $High$ になると、ノード $N2$ 及びノード $N4$ の電位がさらに引き上げられる。一方で、ノード $N1$ 、ノード $N3$ 、ノード $N5$ の電位は、所定の電圧分だけ引き下げられる。

【0227】

これにより、第2のダイオード404、第4のダイオード408を通じて電荷が移動し、その結果、ノード $N3$ 及びノード $N5$ の電位が所定の電位まで引き上げられることになる。このように、それぞれのノードにおける電位が $V_{N5} > V_{N4} (CLKB = High) > V_{N3} (CLK = High) > V_{N2} (CLKB = High) > V_{N1} (CLK = High) > V_{dd}$ となることにより、昇圧が行われる。なお、昇圧回路219の構成は、4段の昇圧を行うものに限定されない。昇圧の段数は適宜変更することができる。

【0228】

なお、昇圧回路219の出力 V_{out} は、ダイオードの特性のばらつきに大きく影響され

10

20

30

40

50

る。例えば、ダイオードは、トランジスタのソース電極とゲート電極とを接続することで実現されるが、この場合、トランジスタのしきい値のばらつきの影響を受けることになる。

【0229】

出力 V_{out} を精度良く制御するためには、出力 V_{out} をフィードバックする構成を採用すればよい。図22(B)には、出力 V_{out} をフィードバックする場合の回路構成の一例を示す。図22(B)中の昇圧回路219は、図22(A)に示す昇圧回路219に相当するものである。

【0230】

昇圧回路219の出力端子は、抵抗 R_1 を介して、センスアンプ回路の一方の入力端子と接続されている。また、センスアンプ回路の一方の入力端子は、抵抗 R_2 を介して、接地されている。つまり、センスアンプ回路の一方の入力端子には、出力 V_{out} に対応する電位 V_1 が入力されることになる。ここで、 $V_1 = V_{out} \cdot R_2 / (R_1 + R_2)$ である。

【0231】

また、センスアンプ回路の他方の入力端子には、参照電位 V_{ref} が入力される。つまり、センスアンプ回路では V_1 と V_{ref} とが比較されることになる。センスアンプ回路の出力端子は、制御回路に接続される。また、制御回路にはクロック信号 CLK_0 が入力される。制御回路は、センスアンプ回路からの出力に応じて、昇圧回路219にクロック信号 CLK 及び反転クロック信号 $CLKB$ を出力する。

【0232】

$V_1 > V_{ref}$ の場合、センスアンプ回路の出力 sig_1 がアサートされ、制御回路は、昇圧回路219へのクロック信号 CLK 及び反転クロック信号 $CLKB$ の供給を停止する。これにより、昇圧動作が停止することになるため、電位 V_{out} の上昇は停止する。そして、昇圧回路219の出力に接続される回路が電力を消費することで、電位 V_{out} は徐々に低下する。

【0233】

$V_1 < V_{ref}$ の場合、センスアンプ回路の出力 sig_1 がデアサートされ、制御回路は、昇圧回路219へのクロック信号 CLK 及び反転クロック信号 $CLKB$ の供給を開始する。これにより、昇圧動作が行われるため、電位 V_{out} は徐々に上昇する。

【0234】

このように、昇圧回路219の出力電位 V_{out} をフィードバックすることで、昇圧回路219の出力電位 V_{out} を一定の値に保つことが可能である。当該構成は、ダイオードにばらつきがある場合には特に有効である。また、参照電位 V_{ref} をもとに、所定の電位を生成したい場合などにおいても有効である。なお、昇圧回路219では、異なる複数の参照電位を用いることで、複数の電位を生成することも可能である。

【0235】

昇圧回路の出力を電位生成回路へ供給することで、電位差の絶対値を大きくとることができる。このため、電位差の最小単位を変更することなく、より高い電位を生成することが可能である。つまり、一のメモリセルの記憶容量を増大させることが可能である。

【0236】

図23には、センスアンプ回路の一例として、差動型センスアンプを示す。差動型センスアンプは、入力端子 $V_{in}(+)$ と $V_{in}(-)$ と出力端子 V_{out} を有し、 $V_{in}(+)$ と $V_{in}(-)$ の差を増幅する。 $V_{in}(+) > V_{in}(-)$ であれば V_{out} は概ね High 出力、 $V_{in}(+) < V_{in}(-)$ であれば V_{out} は概ね Low 出力となる。

【0237】

図24には、センスアンプ回路の一例として、ラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子 V_1 および V_2 と、制御用信号 S_p 、 S_n の入力端子を有する。まず、信号 S_p を High、信号 S_n を Low として、電源を遮断する。そして、比較を行う電位を V_1 と V_2 に与える。その後、信号 S_p を Low、信号 S_n を High とし

10

20

30

40

50

て、電源を供給すると、電源供給前の電位が $V_1 > V_2$ であれば、 V_1 は High 出力、 V_2 は Low 出力となり、 $V_1 < V_2$ であれば、 V_1 は Low 出力、 V_2 は High 出力となる。このようにして、 V_1 と V_2 の差を増幅する。

【0238】

書き込み動作のタイミングチャートの一例を図25(A)に示す。図に示すのは、メモリセルにデータ "10b" を書き込む場合のタイミングチャートである。選択される第2信号線 S_2 は第1信号線 S_1 より早く 0 [V] になる。書き込み期間の第1信号線 S_1 の電位は V_{10} となる。なお、ワード線 WL 、ビット線 BL 、ソース線 SL は 0 [V] である。また、読み出し動作のタイミングチャートの一例を図25(B)に示す。図に示すのは、メモリセルからデータ "10b" を読み出す場合のタイミングチャートである。選択されたワード線 WL がアサートされ、ソース線 SL が V_{s_read} [V] となると、ビット線 BL はメモリセルのデータ "10b" に対応して、 $V_{10} - V_{th}$ [V] に充電される。その結果、 SA_OUT0 、 SA_OUT1 、 SA_OUT2 、がそれぞれ "1"、"1"、"0" となる。なお、第1信号線 S_1 、第2信号線 S_2 は 0 [V] である。

【0239】

ここで、具体的な動作電位（電圧）の一例を示す。例えば、トランジスタ201のしきい値電圧を約 0.3 V、電源電位を $V_{DD} = 2$ V とし、 $V_{11} = 1.6$ V、 $V_{10} = 1.2$ V、 $V_{01} = 0.8$ V、 $V_{00} = 0$ V、及び $V_{ref0} = 0.6$ V、 $V_{ref1} = 1.0$ V、 $V_{ref2} = 1.4$ V、とすることができる。電位 V_{pc} は例えば、0 V とするとよい。

【0240】

また、本実施の形態では、第1信号線 S_1 をビット線 BL 方向（列方向）に配置し、第2信号線 S_2 をワード線 WL 方向（行方向）に配置する構成としたが、必ずしもこれに限られるものではない。例えば、第1信号線 S_1 をワード線 WL 方向（行方向）に配置し、第2信号線 S_2 をビット線 BL 方向（列方向）に配置する構成としてもよい。その場合、第1の信号線 S_1 が接続される駆動回路及び第2の信号線 S_2 が接続される駆動回路は適宜配置すればよい。

【0241】

本実施の形態では、4 値のメモリセルの動作、つまり、1つのメモリセルに4つの異なる状態のいずれかを書き込み、また、読み出す場合について説明したが、回路構成を適宜変更することで、 n 値のメモリセルの動作、つまり、任意の n の異なる状態のいずれか（ n は2以上の整数）の書き込み及び読み出しが可能である。

【0242】

例えば、8 値のメモリセルでは、2 値の場合と比較して、メモリ容量は3倍となる。書き込みでは、ノードAの電位を決める書き込み電位を8種類準備して、8つの状態を生成する。読み出しでは、8つの状態を区別することが可能な7種類の参照電位を準備する。読み出しでは、センスアンプを1つ設け、7回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を3回に減らすことも可能である。ソース線 SL を駆動する読み出し方式では、センスアンプを7つ設けることにより、1回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて複数回の比較を行う構成も可能である。

【0243】

一般に、 2^k （ k は1以上の整数）値のメモリセルでは、2 値の場合と比較して、メモリ容量は k 倍となる。書き込みでは、ノードAの電位を決める書き込み電位を 2^k 種類準備して、 2^k 個の状態を生成する。読み出しでは、 2^k 個の状態を区別することが可能な $2^k - 1$ 種類の参照電位を準備するとよい。センスアンプを1つ設けて $2^k - 1$ 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を k 回に減らすことも可能である。ソース線 SL を駆動する読み出し方式では、センスアンプを $2^k - 1$ 個設けて、1回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて、複数回の比較を行う構成も可能である。

10

20

30

40

50

【0244】

本実施の形態に係る半導体装置は、トランジスタ202の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAMなどで必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性の記憶装置として用いることが可能である。

【0245】

また、トランジスタ202のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。これにより、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

【0246】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能なため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0247】

また、本実施の形態に係る半導体装置は多値型なので、面積あたりの記憶容量を大きくすることができる。よって、半導体装置の小型化、高集積化を図ることができる。また、書き込み動作において、フローティングとなるノードの電位を直接制御することができるので、多値型のメモリに要求される高精度の半導体装置のしきい値電圧制御を容易に行うことができる。また、これにより、多値型のメモリに要求される書き込み後の状態確認を省くこともできるので、その場合は書き込みに掛かる時間を短縮することができる。

【0248】

(実施の形態3)

本実施の形態では、本発明の一態様に係る半導体装置の回路構成および動作について説明する。

【0249】

本実施の形態では、図16に示した記憶素子の回路構成を用いて、実施の形態2とは異なる読み出し動作を行う場合を示す。なお、図16において、容量素子205は有さない場合もある。記憶素子は多値型であり、4値型の場合を説明する。メモリセル200の4状態をデータ"00b"、"01b"、"10b"、"11b"とし、その時のノードAの電位をV00、V01、V10、V11 ($V00 < V01 < V10 < V11$) とする。

【0250】

メモリセル200へ書き込みを行う場合、ソース線SLを0[V]、ワード線WLを0[V]、ビット線BLを0[V]、第2信号線S2を2[V]とする。データ"00b"を書き込む場合には、第1信号線S1をV00[V]とする。データ"01b"を書き込む場合には、第1信号線S1をV01[V]とする。データ"10b"を書き込む場合には、第1信号線S1をV10[V]とする。データ"11b"を書き込む場合には、第1信号線S1をV11[V]とする。このとき、トランジスタ203はオフ状態、トランジスタ202はオン状態となる。なお、書き込み終了にあたっては、第1信号線S1の電位が変化する前に、第2信号線S2を0[V]として、トランジスタ202をオフ状態にする。

【0251】

その結果、データ"00b"、"01b"、"10b"、"11b"書き込み後にはトランジスタ201のゲート電極に接続されるノード(以下、ノードA)の電位がそれぞれ、約V00[V]、約V01[V]、約V10[V]、約V11[V]となる。ノードAには、第1信号線S1の電位に応じた電荷が蓄積されるが、トランジスタ202のオフ電流が極めて小さい、あるいは実質0であることから、トランジスタ201のゲート電極の電位は長時間にわたって保持される。

【0252】

次に、メモリセル200の読み出しを行う場合は、ソース線SLを0[V]、ワード線WLをVDD、第2信号線S2を0[V]、第1信号線S1を0[V]とし、ビット線BLに接続されている読み出し回路211を動作状態とする。このとき、トランジスタ203はオン状態、トランジスタ202はオフ状態となる。

【0253】

その結果、メモリセル200の状態に応じて、メモリセル200のソース線SLと対応するビット線BL間の実効的な抵抗値が決まる。ノードAの電位が高いほど、実効的な抵抗値は低くなる。読み出し回路は、この抵抗値の違いから生じる電位の違いから、データ"00b"、"01b"、"10b"、"11b"を読み出すことができる。なお、ノードAの電位が最も低い状態"00b"以外は、トランジスタ201はオン状態となるのが好適である。

10

【0254】

図26に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図の他の一例を示す。

【0255】

図26に示す半導体装置は、 m 本のワード線WL及び第2信号線S2と、 n 本のビット線BL及び第1信号線S1と、複数のメモリセル200(1,1)~200(m , n)が縦 m 個(行) $\times$ 横 n 個(列)(m , n は自然数)のマトリクス状に配置されたメモリセルアレイ210と、読み出し回路211や、第1信号線駆動回路212や、第2信号線及びワード線の駆動回路213や、電位生成回路214といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

20

【0256】

各メモリセル例えば、メモリセル200(i , j)を考える。ここで、 i は1以上 m 以下の整数、 j は1以上 n 以下の整数とする。メモリセル200(i , j)は、ビット線BL(j)、第1信号線S1(j)、ワード線WL(i)及び第2信号線S2(i)、ソース配線にそれぞれ接続されている。ソース配線にはソース線電位 V_s (たとえば0[V])が印加される。また、ビット線BL(1)~BL(n)は読み出し回路211に、第1信号線S1(1)~S1(n)は第1信号線駆動回路212に、ワード線WL(1)~WL(m)及び第2信号線S2(1)~S2(m)は第2信号線及びワード線の駆動回路213にそれぞれ接続されている。

30

【0257】

なお、電位生成回路214、第2信号線及びワード線の駆動回路213、第1信号線駆動回路212の構成は、例えば、図21の構成、図18の構成及び図19の構成と同様の構成とすることができる。

【0258】

図27には読み出し回路221の一例を示す。読み出し回路221は、センスアンプ回路、参照セル225、論理回路229、マルチプレクサ(MUX2)、フリップフロップ回路FF0、FF1、FF2、バイアス回路223などを有する。参照セル225はトランジスタ216、トランジスタ217、トランジスタ218を有する。参照セル225が有するトランジスタ216、217、218はメモリセルが有するトランジスタ201、202、203にそれぞれ対応し、メモリセルと同じ回路構成を有する。トランジスタ216及びトランジスタ218は、酸化物半導体以外の材料を用いて形成されており、トランジスタ217は酸化物半導体を用いて形成されているのが好適である。また、メモリセルが容量素子205を有する場合には、参照セル225も容量素子を有するのが好適である。バイアス回路223の2つの出力端子は、それぞれスイッチを介してビット線BL及び参照セル225が有するトランジスタ218のドレイン電極に接続される。また、バイアス回路223の出力端子は、センスアンプ回路の入力端子に接続される。センスアンプ回路の出力端子は、フリップフロップ回路FF0、FF1、FF2に接続される。フリップフロップ回路FF0、FF1、FF2の出力端子は、論理回路229の入力端子と接続される。マルチプレクサ(MUX2)には信号RE0、RE1、RE2、及び参照電位 V_r

40

50

V_{ref0} 、 V_{ref1} 、 V_{ref2} 、 GND が入力される。マルチプレクサ（MUX2）の出力端子は、参照セル225が有するトランジスタ217のソース電極またはドレイン電極の一方に接続されている。また、ビット線BLおよび参照セル225が有するトランジスタ218のドレイン電極はスイッチを介して配線Vpcに接続される。なお、上記スイッチは、信号ΦAによって制御される。

【0259】

読み出し回路221は、メモリセルから出力された電位と参照セル225から出力された電位を比較して、メモリセルと参照セル225のコンダクタンスを比較する構成である。本構成はセンスアンプ回路を1つ有し、4つの状態を読み出すために3回の比較を行うこととする。つまり、3種類の参照電位に対して、それぞれメモリセルと参照セル225のコンダクタンスを比較する。3回の比較は、信号RE0、RE1、RE2、及びΦAによって制御される。マルチプレクサ（MUX2）は、信号RE0、RE1、RE2の値に応じて、3種類の参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} 、または、 GND のいずれかを選択する。マルチプレクサ（MUX2）の振る舞いを表3に示す。また、フリップフロップ回路FF0、FF1、FF2は、それぞれ、信号RE0、RE1、RE2によって制御され、センスアンプの出力信号SA_OUTの値を格納する。

【0260】

【表3】

RE0	RE1	RE2	VwL
0	0	0	GND と一致
1	0	0	V_{ref0} と一致
0	1	0	V_{ref1} と一致
0	0	1	V_{ref2} と一致

【0261】

参照電位は、 $V_{00} < V_{ref0} < V_{01} < V_{ref1} < V_{10} < V_{ref2} < V_{11}$ となるように値を決める。このようにすることで、3回の比較の結果、4つの状態を読み出すことができる。データ“00b”の場合には、FF0、FF1、FF2の値が“0”、“0”、“0”、データ“01b”の場合にはFF0、FF1、FF2の値が“1”、“0”、“0”、データ“10b”の場合にはFF0、FF1、FF2の値が“1”、“1”、“0”、データ“11b”の場合にはFF0、FF1、FF2の値が“1”、“1”、“1”となる。このように、メモリセルの状態を3ビットのデジタル信号として読み出すことができる。その後、表2に示す論理値表で表される論理回路229を用いて、2ビットのデータDOが生成され、読み出し回路から出力される。

【0262】

なお、図27に示した読み出し回路では、信号REがデアサートされると、ビット線BL及び参照セル225を配線Vpcに接続しプリチャージを行う。信号REがアサートされると、ビット線BLとバイアス回路223、参照セル225とバイアス回路223がそれぞれ導通する。

【0263】

なお、プリチャージは行わなくても良い。本回路では、センスアンプ回路に入力する二つの信号を生成する回路同士の構成を、極力同じにするのが好適である。例えば、参照セル225とメモリセルで対応するトランジスタを同じ構成とするのが好適である。対応するバイアス回路223やスイッチも同じ構成とするのが好適である。

【0264】

書き込み動作のタイミングチャートは図25（A）と同様である。読み出し動作のタイミングチャートの一例を図28に示す。図に示すのは、メモリセルからデータ“10b”を読み出す場合のタイミングチャートである。信号RE0、RE1、RE2がアサートされ

る期間では、それぞれマルチプレクサ（MUX 2）の出力MUX 2__OUTにVref 0、Vref 1、Vref 2が入力される。各期間の前半は信号Φ Aがアサートされ、参照セル225のトランジスタのノードBに所定の電位が印加される。各期間の後半は信号Φ Aがデアサートされ、参照セル225のトランジスタのノードBに所定の電位が保持されるとともに、参照セル225が有するトランジスタ218のドレイン電極がバイアス回路223に接続される。そして、センスアンプ回路での比較結果が、フリップフロップ回路FF 0、FF 1、FF 2にそれぞれ格納される。メモリセルのデータが”10b”の場合には、フリップフロップ回路FF 0、FF 1、FF 2の値は”1”、”1”、”0”となる。なお、第1信号線S 1、第2信号線S 2は0[V]である。

【0265】

次に、図20に示した形態とは異なる読み出し回路および読み出し方法について説明する。

【0266】

図29には読み出し回路231の一例を示す。読み出し回路231は、センスアンプ回路、複数の参照セル（参照セル225a、参照セル225b、参照セル225c）、論理回路229、フリップフロップ回路FF 0、FF 1、FF 2、バイアス回路223などを有する。

【0267】

複数の参照セルは、それぞれトランジスタ216、トランジスタ217、トランジスタ218を有する。トランジスタ216、217、218はメモリセル200が有するトランジスタ201、202、203にそれぞれ対応し、メモリセル200と同じ回路構成を有する。トランジスタ216及びトランジスタ218は、酸化物半導体以外の材料を用いて形成されており、トランジスタ217は酸化物半導体を用いて形成されていることが好ましい。また、メモリセルが容量素子205を有する場合には、参照セルも容量素子を有することが好ましい。バイアス回路223の2つの出力端子は、それぞれスイッチを介してビット線BL及び複数の参照セルが有するトランジスタ218のドレイン電極に接続される。また、バイアス回路223の出力端子は、センスアンプ回路の入力端子に接続される。センスアンプ回路の出力端子は、フリップフロップ回路FF 0、FF 1、FF 2に接続される。フリップフロップ回路FF 0、FF 1、FF 2の出力端子は、論理回路229の入力端子と接続される。また、ビット線BLおよび複数の参照セルが有するトランジスタ218のドレイン電極はスイッチを介して配線Vpcに接続される。なお、上記スイッチは、リードイネーブル信号（RE信号）によって制御される。

【0268】

読み出し回路231は、メモリセルから出力された電位と参照セル225から出力された電位を比較して、メモリセルと複数の参照セルのコンダクタンスを比較する構成である。本構成はセンスアンプ回路を1つ有し、4つの状態を読み出すために3回の比較を行うこととする。つまり、メモリセルと3つの参照セルのコンダクタンスをそれぞれ比較する。3回の比較は、信号RE 0、RE 1、RE 2によって制御される。3つの参照セルは、トランジスタ216のゲート電極がトランジスタ217を介して、Vref 0、Vref 1、Vref 2がそれぞれ入力されている。読み出しを行う前に、信号Φ Aをアサートし、すべてのトランジスタ217をオン状態とし、参照セルへの書き込みを行っておく。参照セルへの書き込みは、読み出し動作前に一度行っておけば良い。勿論、数回の読み出しに一回、あるいは毎回行っても構わない。また、フリップフロップ回路FF 0、FF 1、FF 2は、それぞれ、信号RE 0、RE 1、RE 2によって制御され、センスアンプの出力信号SA__OUTの値を格納する。

【0269】

参照電位は、 $V_{00} < V_{ref 0} < V_{01} < V_{ref 1} < V_{10} < V_{ref 2} < V_{11}$ となるように値を決める。このようにすることで、3回の比較の結果、4つの状態を読み出すことができる。データ”00b”の場合には、FF 0、FF 1、FF 2の値が”0”、”0”、”0”、データ”01b”の場合にはFF 0、FF 1、FF 2の値が”1”、”

10

20

30

40

50

0”、”0”、データ”10b”の場合にはFF0、FF1、FF2の値が”1”、”1”、”0”、データ”11b”の場合にはFF0、FF1、FF2の値が”1”、”1”、”1”となる。このように、メモリセルの状態を3ビットのデジタル信号として読み出すことができる。その後、表2に示す論理値表で表される論理回路229を用いて、2ビットのデータDOが生成され、読み出し回路から出力される。

【0270】

なお、図29に示した読み出し回路では、RE信号がデアサートされると、ビット線BL及び参照セルをVpcに接続しプリチャージを行う。RE信号がアサートされると、ビット線BLとバイアス回路223、参照セルとバイアス回路223がそれぞれ導通する。

【0271】

なお、プリチャージは行わなくても良い。本回路では、センスアンプ回路に入力する二つの信号を生成する回路同士の構成を、極力同じにするのが好適である。例えば、参照セルとメモリセルで対応するトランジスタを同じ構成とするのが好適である。対応するバイアス回路223やスイッチも同じ構成とするのが好適である。

【0272】

書き込み動作のタイミングチャートは図25(A)と同様である。読み出し動作のタイミングチャートの一例を図30に示す。図に示すのは、メモリセルからデータ”10b”を読み出す場合のタイミングチャートである。RE0、RE1、RE2がアサートされる期間では、それぞれ、参照セル225a、参照セル225b、参照セル225cが選択されバイアス回路223に接続される。そして、センスアンプ回路での比較結果が、フリップフロップ回路FF0、FF1、FF2にそれぞれ格納される。メモリセルのデータが”10b”の場合には、フリップフロップ回路FF0、FF1、FF2の値は”1”、”1”、”0”となる。なお、第1信号線S1、第2信号線S2は0[V]である。

【0273】

具体的な動作電位（電圧）の一例を示す。例えば、トランジスタ201のしきい値電圧を約0.3V、電源電位をVDD=2Vとし、V11=1.6V、V10=1.2V、V01=0.8V、V00=0V、及びVref0=0.6V、Vref1=1.0V、Vref2=1.4V、とすることができる。電位Vpcは例えば、0Vとするとよい。

【0274】

また、本実施の形態では、第1信号線S1をビット線BL方向（列方向）に配置し、第2信号線S2をワード線WL方向（行方向）に配置する構成としたが、必ずしもこれに限られるものではない。例えば、第1信号線S1をワード線WL方向（行方向）に配置し、第2信号線S2をビット線BL方向（列方向）に配置する構成としてもよい。その場合、第1の信号線S1が接続される駆動回路及び第2の信号線S2が接続される駆動回路は適宜配置すればよい。

【0275】

本実施の形態では、4値のメモリセルの動作、つまり、1つのメモリセルに4つの異なる状態のいずれかを書き込み、また、読み出す場合について説明したが、回路構成を適宜変更することで、n値のメモリセルの動作、つまり、任意のnの異なる状態のいずれか（nは2以上の整数）の書き込み及び読み出しが可能である。

【0276】

例えば、8値のメモリセルでは、2値の場合と比較して、メモリ容量は3倍となる。書き込みでは、ノードAの電位を決める書き込み電位を8種類準備して、8つの状態を生成する。読み出しでは、8つの状態を区別することが可能な7種類の参照電位を準備する。読み出しでは、センスアンプを1つ設け、7回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を3回に減らすことも可能である。ソース線SLを駆動する読み出し方式では、センスアンプを7つ設けることにより、1回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて複数回の比較を行う構成も可能である。

【0277】

一般に、 2^k (k は 1 以上の整数) 値のメモリセルでは、2 値の場合と比較して、メモリ容量は k 倍となる。書き込みでは、ノード A の電位を決める書き込み電位を 2^k 種類準備して、 2^k 個の状態を生成する。読み出しでは、 2^k 個の状態を区別することが可能な $2^k - 1$ 種類の参照電位を準備するとよい。センスアンプを 1 つ設けて $2^k - 1$ 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を k 回に減らすことも可能である。ソース線 S L を駆動する読み出し方式では、センスアンプを $2^k - 1$ 個設けて、1 回の比較で読み出すこともできる。また、複数のセンスアンプを設けて、複数の回の比較を行う構成も可能である。

【0278】

本実施の形態に係る半導体装置は、トランジスタ 202 の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAM などが必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性の記憶装置として用いることが可能である。

10

【0279】

また、トランジスタ 202 のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。これにより、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

20

【0280】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0281】

また、本実施の形態に係る半導体装置は多値型なので、面積あたりの記憶容量を大きくすることができる。よって、半導体装置の小型化、高集積化を図ることができる。また、書き込み動作において、フローティングとなるノードの電位を直接制御することができるので、多値型のメモリに要求される高精度の半導体装置のしきい値電圧制御を容易に行うことができる。また、これにより、多値型のメモリに要求される書き込み後の状態確認を省くこともできるので、その場合は書き込みに掛かる時間を短縮することができる。

30

【0282】

(実施の形態 4)

本実施の形態では、実施の形態 2 及び 3 とは異なる半導体装置の回路構成及び動作の一例について説明する。

【0283】

半導体装置が有するメモリセルの回路図の一例を図 31 に示す。図 31 に示すメモリセル 240 は、ソース線 S L と、ビット線 B L と、第 1 信号線 S 1 と、第 2 信号線 S 2 と、ワード線 W L と、トランジスタ 201 と、トランジスタ 202 と、容量素子 204 とから構成されている。トランジスタ 201 は、酸化物半導体以外の材料を用いて形成されており、トランジスタ 202 は酸化物半導体を用いて形成されている。

40

【0284】

ここで、トランジスタ 201 のゲート電極と、トランジスタ 202 のソース電極またはドレイン電極の一方と、容量素子 204 の一方の電極とは、電気的に接続されている。また、ソース線 S L と、トランジスタ 201 のソース電極とは、電気的に接続され、ビット線 B L と、トランジスタ 201 のドレイン電極とは、電気的に接続され、第 1 信号線 S 1 と、トランジスタ 202 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 2 信号線 S 2 と、トランジスタ 202 のゲート電極とは、電気的に接続され、ワード線 W L と、容量素子 204 の他方の電極とは、電気的に接続されている。

【0285】

次に、図 31 に示すメモリセル 240 の動作について説明する。ここでは、4 値型の場合

50

を説明する。メモリセル240の4状態をデータ"00b"、"01b"、"10b"、"11b"とし、その時のノードAの電位をそれぞれV00、V01、V10、V11 ($V00 < V01 < V10 < V11$) とする。

【0286】

メモリセル240へ書き込みを行う場合、ソース線SLを0[V]、ワード線WLを0[V]、ビット線BLを0[V]、第2信号線S2をVDDとする。データ"00b"を書き込む場合には、第1信号線S1をV00[V]とする。データ"01b"を書き込む場合には、第1信号線S1をV01[V]とする。データ"10b"を書き込む場合には、第1信号線S1をV10[V]とする。データ"11b"を書き込む場合には、第1信号線S1をV11[V]とする。このとき、トランジスタ201はオフ状態、トランジスタ202はオン状態となる。なお、書き込み終了にあたっては、第1信号線S1の電位が変化する前に、第2信号線S2を0[V]として、トランジスタ202をオフ状態にする。

【0287】

その結果、データ"00b"、"01b"、"10b"、"11b"書き込み後(ワード線WL電位を0[V]とする)にはトランジスタ201のゲート電極に接続されるノード(以下、ノードA)の電位がそれぞれ、約V00[V]、約V01[V]、約V10[V]、約V11[V]となる。ノードAには、第1信号線S1の電位に応じた電荷が蓄積されるが、トランジスタ202のオフ電流が極めて小さい、あるいは実質0であることから、トランジスタ201のゲート電極の電位は長時間にわたって保持される。

【0288】

メモリセル240の読み出しを行う場合は、ソース線SLを0[V]、第2信号線S2を0[V]、第1信号線S1を0[V]とし、ビット線BLに接続されている読み出し回路を動作状態とする。このとき、トランジスタ202は、オフ状態となる。

【0289】

そして、ワード線WLをV_{WL}[V]とする。メモリセル240のノードAの電位は、ワード線WLの電位に依存し、ワード線WLの電位が高いほど、メモリセル240のノードAの電位も高くなる。例えば、異なる4状態のメモリセルに対して、ワード線WLの電位を低電位から高電位へと変化させると、データ"11b"のメモリセルのトランジスタ201が最初にオン状態となり、続いて、データ"10b"、"01b"、"00b"のメモリセルが順にオン状態となる。これは、ワード線WL電位を適切に選択することで、メモリセルの状態(つまり、メモリセルのデータ)が識別可能であることを意味する。ワード線WLの電位を適切に選択すると、トランジスタ201がオン状態のメモリセルは低抵抗状態となり、トランジスタ201がオフ状態のメモリセルは高抵抗状態となるから、この抵抗状態を読み出し回路によって区別することで、データ"00b"、"01b"、"10b"、"11b"を読み出すことができる。

【0290】

図32に、 $m \times n$ ビットの記憶容量を有する本発明の一態様に係る半導体装置のブロック回路図の他の一例を示す。

【0291】

図32に示す半導体装置は、 m 本のワード線WL及び第2信号線S2と、 n 本のビット線BL及び第1信号線S1と、複数のメモリセル240(1,1)~240(m , n)が縦 m 個(行) $\times$ 横 n 個(列)(m , n は自然数)のマトリクス状に配置されたメモリセルアレイ210と、読み出し回路231や、第1信号線駆動回路212や、第2信号線及びワード線の駆動回路223や、電位生成回路214といった周辺回路によって構成されている。他の周辺回路として、リフレッシュ回路等が設けられてもよい。

【0292】

各メモリセル例えば、メモリセル240(i , j)を考える。ここで、 i は1以上 m 以下の整数、 j は1以上 n 以下の整数)。メモリセル240(i , j)は、ビット線BL(j)、第1信号線S1(j)、ワード線WL(i)及び第2信号線S2(i)、ソース配線SLにそれぞれ接続されている。ソース配線SLにはソース線電位 V_s (たとえば0[V]

10

20

30

40

50

〕）が印加される。また、ビット線 $BL(1) \sim BL(n)$ は読み出し回路 231 に、第 1 信号線 $S1(1) \sim S1(n)$ は第 1 信号線駆動回路 212 に、ワード線 $WL(1) \sim WL(m)$ 及び第 2 信号線 $S2(1) \sim S2(m)$ は第 2 信号線 $S2$ 及びワード線 WL の駆動回路 223 にそれぞれ接続されている。

【0293】

なお、第 1 信号線駆動回路 212 及び電位生成回路 214 の構成はそれぞれ、図 19 及び図 21 に示した構成を適用すればよい。

【0294】

図 33 に読み出し回路の一例を示す。読み出し回路は、センスアンプ回路、フリップフロップ回路、バイアス回路 224 などを有する。バイアス回路 224 は、スイッチを介してビット線 BL に接続される。また、バイアス回路 224 は、センスアンプ回路の入力端子に接続される。センスアンプ回路の他方の入力端子には、参照電位 V_r が入力される。また、センスアンプ回路の出力端子は、フリップフロップ回路 $FF0$ 、 $FF1$ の入力端子と接続されている。なお、上記スイッチは、リードイネーブル信号（ RE 信号）によって制御される。読み出し回路は、ビット線 BL と接続された、指定されたメモリセルがビット線 BL に出力する電位を読み出すことによりデータを読み出すことができる。ビット線 BL の電位はコンダクタンスに対応して変化する。なお、メモリセルのコンダクタンスを読み出すとは、メモリセルを構成するトランジスタ 201 のオン状態またはオフ状態を読み出すことをいう。

【0295】

図 33 に示す読み出し回路は、一のセンスアンプ回路を有し、4 つの異なる状態を識別するために 2 回の比較を行うこととする。2 回の比較は、信号 $RE0$ 、 $RE1$ によって制御される。フリップフロップ回路 $FF0$ 、 $FF1$ はそれぞれ信号 $RE0$ 、 $RE1$ によって制御され、センスアンプ回路の出力信号の値を格納する。フリップフロップ回路 $FF0$ の出力は $DO[1]$ として、フリップフロップ回路 $FF1$ の出力は $DO[0]$ として、読み出し回路から出力される。

【0296】

なお、図示した読み出し回路では、 RE 信号がデアサートされると、ビット線 BL を配線 V_{pc} に接続しプリチャージを行う。 RE 信号がアサートされると、ビット線 BL とバイアス回路 224 が導通する。なお、プリチャージは行わなくても良い。

【0297】

図 34 には第 2 信号線 $S2$ 及びワード線 WL の駆動回路 223 の他の一例を示す。

【0298】

図 34 に示す第 2 信号線及びワード線の駆動回路 223 はアドレス信号 ADR が入力されると、アドレスが指定した行（選択行）がアサートされ、それ以外の行（非選択行）はデアサートされる。第 2 信号線 $S2$ は、 WE 信号がアサートされるとデコーダ出力に接続され、 WE 信号がデアサートされると GND に接続される。選択行のワード線 WL は、マルチプレクサ（ $MUX3$ ）の出力 V_{WL} に接続され、非選択行のワード線 WL は GND に接続される。マルチプレクサ（ $MUX3$ ）は、信号 $RE0$ 、 $RE1$ 、 $DO0$ の値に応じて、3 種類の参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} 、または、 GND のいずれかを選択する。マルチプレクサ（ $MUX3$ ）の振る舞いを表 4 に示す。

【0299】

【表 4】

$RE0$	$RE1$	$DO[1]$	V_{WL}
0	0	*	GND と一致
1	0	*	V_{ref1} と一致
0	1	0	V_{ref0} と一致
0	1	1	V_{ref2} と一致

10

20

30

40

50

【0300】

3種類の参照電位 V_{ref0} 、 V_{ref1} 、 V_{ref2} ($V_{ref0} < V_{ref1} < V_{ref2}$) について説明する。 V_{ref0} としては、ワード線WLの電位として選択された場合に、データ"00b"のメモリセルのトランジスタ201をオフ状態とし、データ"01b"のメモリセルのトランジスタ201をオン状態とする電位を選択する。また、 V_{ref1} としては、ワード線WLの電位として選択された場合に、データ"01b"のメモリセルのトランジスタ201をオフ状態とし、データ"10b"のメモリセルのトランジスタ201をオン状態とする電位を選択する。また、 V_{ref2} としては、ワード線WLの電位として選択された場合に、データ"10b"のメモリセルのトランジスタ201をオフ状態とし、データ"11b"のメモリセルのトランジスタ201をオン状態とする電位を選択する。

10

【0301】

本読み出し回路は、2回の比較を行うことで読み出しを行う。1回目は V_{ref1} を用いて比較を行う。2回目は、 V_{ref1} を用いた比較結果FF0が"0"であれば V_{ref2} を用いて比較を行い、"1"であれば V_{ref0} を用いて比較を行う。このようにすることで、4つの状態を2回の比較によって読み出すことが可能となる。

【0302】

書き込み動作のタイミングチャートは、図25(A)と同様である。また、読み出し動作のタイミングチャートの一例を図35に示す。図に示すのは、メモリセルからデータ"10b"を読み出す場合のタイミングチャートである。RE0、RE1がアサートされる期間では、それぞれ選択されたワード線WLに V_{ref1} 、 V_{ref2} が入力され、センスアンプ回路での比較結果が、フリップフロップ回路FF0、FF1にそれぞれ格納される。メモリセルのデータが"10b"の場合には、フリップフロップ回路FF0、FF1の値は"1"、"0"となる。なお、第1信号線S1、第2信号線S2は0[V]である。

20

【0303】

具体的な動作電位(電圧)の一例を示す。例えば、トランジスタ201のしきい値電圧 $V_{th} = 2.2V$ とする。ノードAの電位は、ワード線WL-ノードA間容量C1と、トランジスタ202のゲート容量C2に依存するが、ここでは、一例として、トランジスタ202がオフ状態で $C1/C2 \gg 1$ 、オン状態で $C1/C2 = 1$ であるとする。図36には、ソース線SLが0[V]のときの、ノードAの電位とワード線WL電位の関係を示す。図36より、例えば、書き込み時のデータ"00b"のノードA電位を0V、データ"01b"のノードA電位を0.8V、データ"10b"のノードA電位を1.2V、データ"11b"のノードA電位を1.6Vとした場合、参照電位は $V_{ref0} = 0.6V$ 、 $V_{ref1} = 1.0V$ 、 $V_{ref2} = 1.4V$ とするとよいことがわかる。

30

【0304】

なお、書き込み後(ワード線WL電位が0[V])のトランジスタ201のノードAの電位は、トランジスタ201のしきい値電圧以下とするのが好適である。

【0305】

また、本実施の形態では、第1信号線S1をビット線BL方向(列方向)に配置し、第2信号線S2をワード線WL方向(行方向)に配置する構成としたが、必ずしもこれに限られるものではない。例えば、第1信号線S1をワード線WL方向(行方向)に配置し、第2信号線S2をビット線BL方向(列方向)に配置する構成としてもよい。その場合、第1の信号線S1が接続される駆動回路及び第2の信号線S2が接続される駆動回路は適宜配置すればよい。

40

【0306】

本実施の形態では、4値のメモリセルの動作、つまり、1つのメモリセルに4つの異なる状態のいずれかを書き込み、また、読み出す場合について説明したが、回路構成を適宜変更することで、n値のメモリセルの動作、つまり、任意のnの異なる状態のいずれか(nは2以上の整数)の書き込み及び読み出しが可能である。

【0307】

50

例えば、8 値のメモリセルでは、2 値の場合と比較して、メモリ容量は3 倍となる。書き込みでは、ノード A の電位を決める書き込み電位を 8 種類準備して、8 つの状態を生成する。読み出しでは、8 つの状態を区別することが可能な 7 種類の参照電位を準備する。読み出しでは、センスアンプを 1 つ設け、7 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を 3 回に減らすことも可能である。

【0308】

一般に、 2^k (k は 1 以上の整数) 値のメモリセルでは、2 値の場合と比較して、メモリ容量は k 倍となる。書き込みでは、ノード A の電位を決める書き込み電位を 2^k 種類準備して、 2^k 個の状態を生成する。読み出しでは、 2^k 個の状態を区別することが可能な $2^k - 1$ 種類の参照電位を準備するとよい。センスアンプを 1 つ設けて $2^k - 1$ 回の比較を行って読み出すことが可能である。また、比較結果をフィードバックすることで、比較回数を k 回に減らすことも可能である。ソース線 SL を駆動する読み出し方式では、センスアンプを $2^k - 1$ 個設けて、1 回の比較で読み出すこともできる。また、複数個のセンスアンプを設けて、複数回の比較を行う構成も可能である。

【0309】

本実施の形態に係る半導体装置は、トランジスタ 202 の低オフ電流特性により、極めて長時間にわたり情報を保持することが可能である。つまり、DRAM などが必要とされるリフレッシュ動作が不要であり、消費電力を抑制することができる。また、実質的な不揮発性の記憶装置として用いることが可能である。

【0310】

また、トランジスタ 202 のスイッチング動作によって情報の書き込みなどを行うため、高い電圧を必要とせず、素子の劣化の問題もない。さらに、トランジスタのオン、オフによって、情報の書き込みや消去が行われるため、高速な動作も容易に実現しうる。また、トランジスタに入力する電位を制御することで情報を直接書き換えることが可能である。これにより、フラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。

【0311】

また、酸化物半導体以外の材料を用いたトランジスタは十分な高速動作が可能のため、これを用いることにより、記憶内容の読み出しを高速に行うことが可能である。

【0312】

また、本実施の形態に係る半導体装置は多値型なので、面積あたりの記憶容量を大きくすることができる。よって、半導体装置の小型化、高集積化を図ることができる。また、書き込み動作において、フローティングとなるノードの電位を直接制御することができるので、多値型のメモリに要求される高精度の半導体装置のしきい値電圧制御を容易に行うことができる。また、これにより、多値型のメモリに要求される書き込み後の状態確認を省くこともできるので、その場合は書き込みに掛かる時間を短縮することができる。

【0313】

(実施の形態 5)

本実施の形態では、先の実施の形態で得られる半導体装置を搭載した電子機器の例について図 37 を用いて説明する。先の実施の形態で得られる半導体装置は、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、当該半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

【0314】

図 37 (A) は、先の実施の形態に係る半導体装置を含むノート型のパーソナルコンピュータであり、本体 301、筐体 302、表示部 303、キーボード 304 などによって構成されている。本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、

書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をノート型のパーソナルコンピュータに適用することは好適である。

【0315】

図37(B)は、先の実施の形態に係る半導体装置を含む携帯情報端末(PDA)であり、本体311には表示部313と、外部インターフェイス315と、操作ボタン314等が設けられている。また操作用の付属品としてスタイラス312がある。本発明の一態様に係る半導体装置をPDAに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をPDAに適用することは好適である。

10

【0316】

図37(C)には、先の実施の形態に係る半導体装置を含む電子ペーパーの一例として、電子書籍320を示す。電子書籍320は、筐体321および筐体323の2つの筐体で構成されている。筐体321および筐体323は、軸部337により一体とされており、該軸部337を軸として開閉動作を行うことができる。このような構成により、電子書籍320は、紙の書籍のように用いることが可能である。本発明の一態様に係る半導体装置を電子ペーパーに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を電子ペーパーに適用することは好適である。

20

【0317】

筐体321には表示部325が組み込まれ、筐体323には表示部327が組み込まれている。表示部325および表示部327は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図37(C)では表示部325)に文章を表示し、左側の表示部(図37(C)では表示部327)に画像を表示することができる。

【0318】

また、図37(C)では、筐体321に操作部などを備えた例を示している。例えば、筐体321は、電源331、操作キー333、スピーカー335などを備えている。操作キー333により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍320は、電子辞書としての機能を持たせた構成としてもよい。

30

【0319】

また、電子書籍320は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0320】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

40

【0321】

図37(D)は、先の実施の形態に係る半導体装置を含む携帯電話機である。当該携帯電話機は、筐体340および筐体341の二つの筐体で構成されている。筐体341は、表示パネル342、スピーカー343、マイクロフォン344、ポインティングデバイス346、カメラ用レンズ347、外部接続端子348などを備えている。また、筐体341は、当該携帯電話機の充電を行う太陽電池セル349、外部メモリスロット350などを備えている。また、アンテナは筐体341内部に内蔵されている。本発明の一態様に係る

50

半導体装置を携帯電話機に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置を携帯電話機に適用することは好適である。

【0322】

表示パネル342はタッチパネル機能を備えており、図37(D)には映像表示されている複数の操作キー345を点線で示している。なお、当該携帯電話は、太陽電池セル349で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

10

【0323】

表示パネル342は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル342と同一面上にカメラ用レンズ347を備えているため、テレビ電話が可能である。スピーカ343およびマイクロフォン344は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体340と筐体341はスライドし、図37(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0324】

外部接続端子348はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット350に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

20

【0325】

図37(E)は、先の実施の形態に係る半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体361、表示部(A)367、接眼部363、操作スイッチ364、表示部(B)365、バッテリー366などによって構成されている。本発明の一態様に係る半導体装置をデジタルカメラに適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をデジタルカメラに適用することは好適である。

30

【0326】

図37(F)は、先の実施の形態に係る半導体装置を含むテレビジョン装置である。テレビジョン装置370では、筐体371に表示部373が組み込まれている。表示部373により、映像を表示することが可能である。なお、ここでは、スタンド375により筐体371を支持した構成を示している。

【0327】

テレビジョン装置370の操作は、筐体371が備える操作スイッチや、別体のリモコン操作機380により行うことができる。リモコン操作機380が備える操作キー379により、チャンネルや音量の操作を行うことができ、表示部373に表示される映像を操作することができる。また、リモコン操作機380に、当該リモコン操作機380から出力する情報を表示する表示部377を設ける構成としてもよい。本発明の一態様に係る半導体装置をテレビジョン装置に適用することで、電力の供給がない場合でも、情報を保持することが可能である。また、書き込み、消去に伴う劣化が生じない。さらに、その動作も高速である。このため、本発明の一態様に係る半導体装置をテレビジョン装置に適用することは好適である。

40

【0328】

なお、テレビジョン装置370は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うこ

50

とが可能である。

【0329】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【符号の説明】

【0330】

100	基板	
102	保護層	
104	半導体領域	
106	素子分離絶縁層	10
108a	ゲート絶縁層	
110a	ゲート電極	
112	絶縁層	
114	不純物領域	
116	チャネル形成領域	
118	サイドウォール絶縁層	
120	高濃度不純物領域	
122	金属層	
124	金属化合物領域	
126	層間絶縁層	20
128	層間絶縁層	
130a	ソース電極またはドレイン電極	
130b	ソース電極またはドレイン電極	
130c	電極	
132	絶縁層	
134	導電層	
136a	電極	
136b	電極	
136c	電極	
136d	ゲート電極	30
138	ゲート絶縁層	
140	酸化物半導体層	
142a	ソース電極またはドレイン電極	
142b	ソース電極またはドレイン電極	
144	保護絶縁層	
146	層間絶縁層	
148	導電層	
150a	電極	
150b	電極	
150c	電極	40
150d	電極	
150e	電極	
152	絶縁層	
154a	電極	
154b	電極	
154c	電極	
154d	電極	
160	トランジスタ	
162	トランジスタ	
200	メモリセル	50

2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	容量素子	
2 0 5	容量素子	
2 1 0	メモリセルアレイ	
2 1 1	読み出し回路	
2 1 2	信号線駆動回路	
2 1 3	駆動回路	
2 1 4	電位生成回路	10
2 1 5	デコーダ	
2 1 6	トランジスタ	
2 1 7	トランジスタ	
2 1 8	トランジスタ	
2 1 9	昇圧回路	
2 2 0	アナログバッファ	
2 2 1	読み出し回路	
2 2 3	駆動回路	
2 2 4	バイアス回路	
2 2 5	参照セル	20
2 2 5 a	参照セル	
2 2 5 b	参照セル	
2 2 5 c	参照セル	
2 2 9	論理回路	
2 3 1	読み出し回路	
2 4 0	メモリセル	
3 0 1	本体	
3 0 2	筐体	
3 0 3	表示部	
3 0 4	キーボード	30
3 1 1	本体	
3 1 2	スタイラス	
3 1 3	表示部	
3 1 4	操作ボタン	
3 1 5	外部インターフェイス	
3 2 0	電子書籍	
3 2 1	筐体	
3 2 3	筐体	
3 2 5	表示部	
3 2 7	表示部	40
3 3 1	電源	
3 3 3	操作キー	
3 3 5	スピーカー	
3 3 7	軸部	
3 4 0	筐体	
3 4 1	筐体	
3 4 2	表示パネル	
3 4 3	スピーカー	
3 4 4	マイクロフォン	
3 4 5	操作キー	50

3 4 6 ポインティングデバイス
3 4 7 カメラ用レンズ
3 4 8 外部接続端子
3 4 9 太陽電池セル
3 5 0 外部メモリスロット
3 6 1 本体
3 6 3 接眼部
3 6 4 操作スイッチ
3 6 5 表示部 (B)
3 6 6 バッテリー
3 6 7 表示部 (A)
3 7 0 テレビジョン装置
3 7 1 筐体
3 7 3 表示部
3 7 5 スタンド
3 7 7 表示部
3 7 9 操作キー
3 8 0 リモコン操作機
4 0 2 ダイオード
4 0 4 ダイオード
4 0 6 ダイオード
4 0 8 ダイオード
4 1 0 ダイオード
4 1 2 容量素子
4 1 4 容量素子
4 1 6 容量素子
4 1 8 容量素子
4 2 0 容量素子

10

20

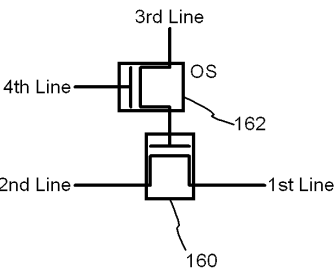
30

40

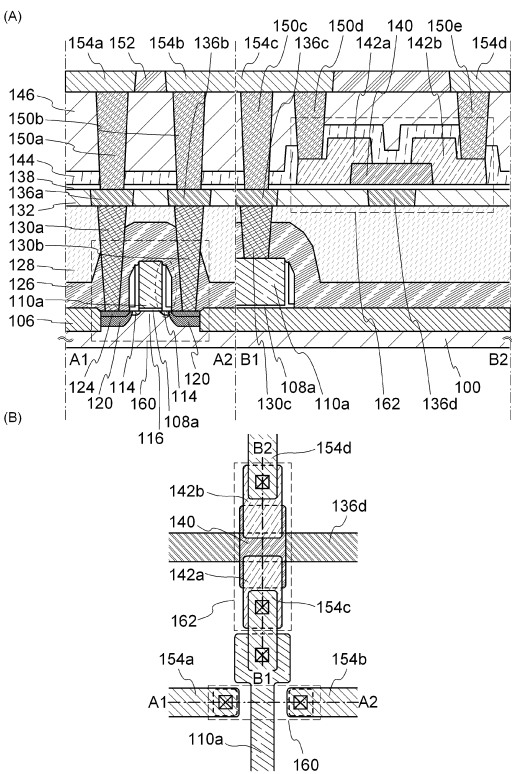
50

【図面】

【図 1】



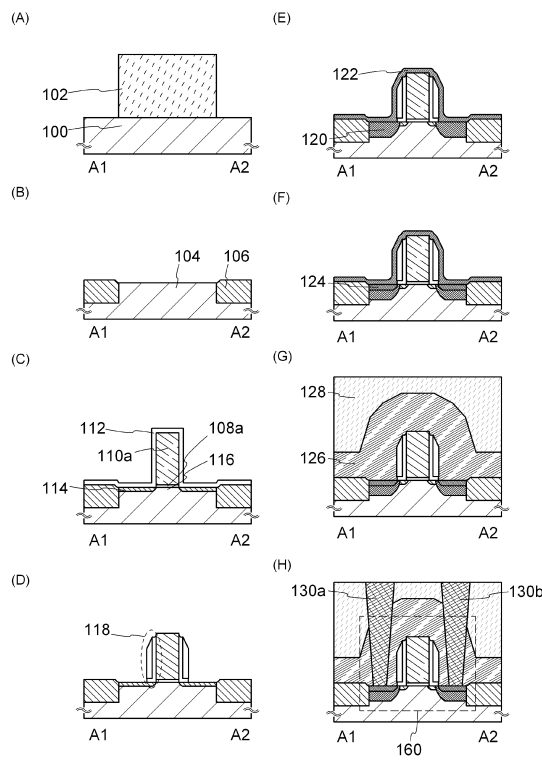
【図 2】



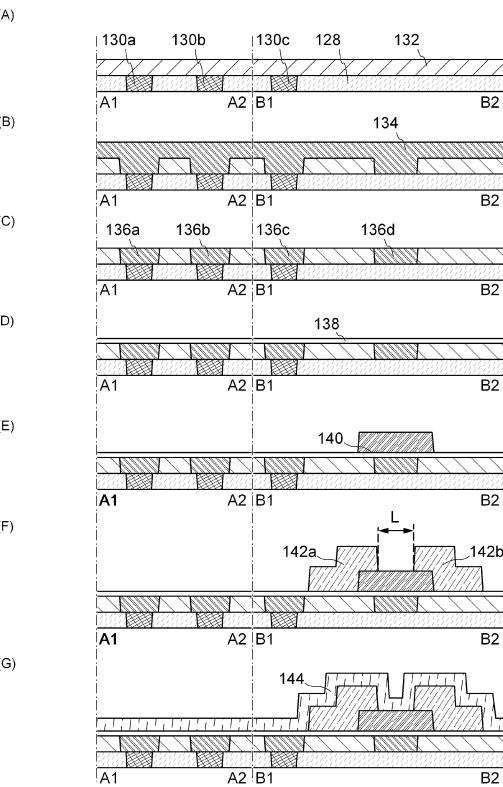
10

20

【図 3】



【図 4】

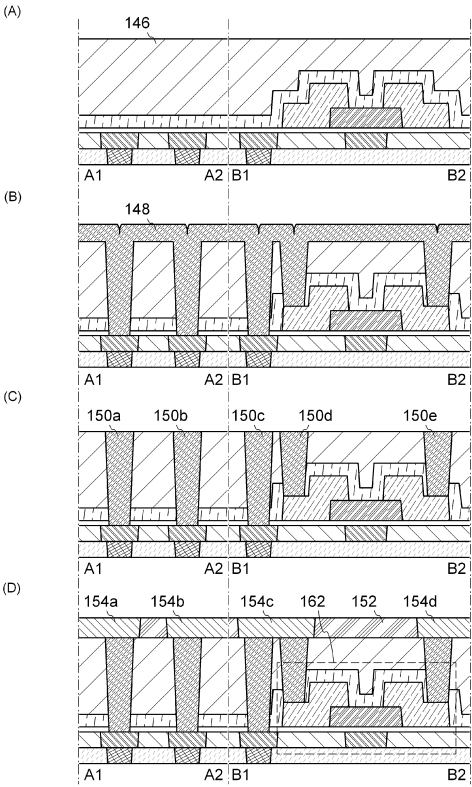


30

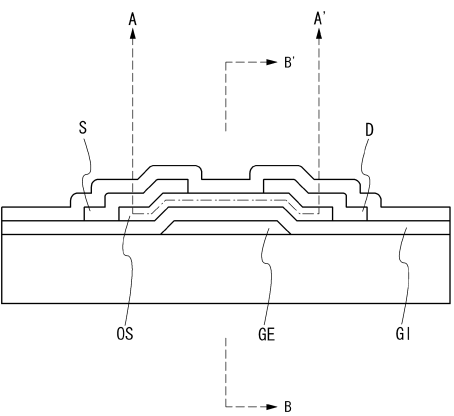
40

50

【図 5】



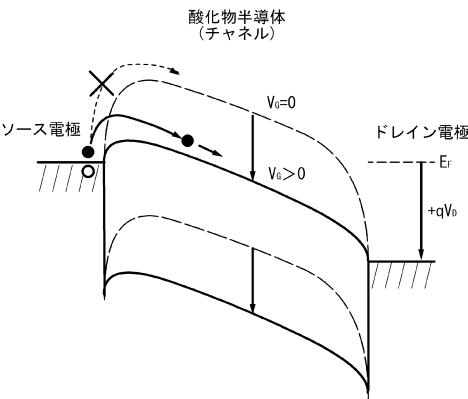
【図 6】



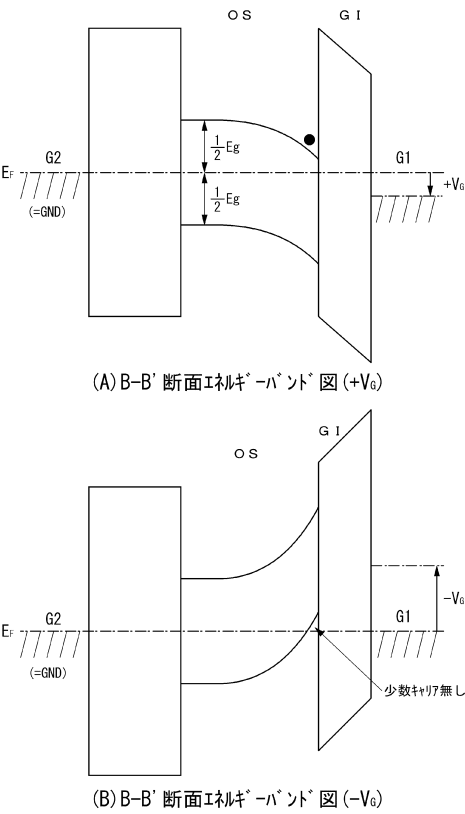
10

20

【図 7】



【図 8】

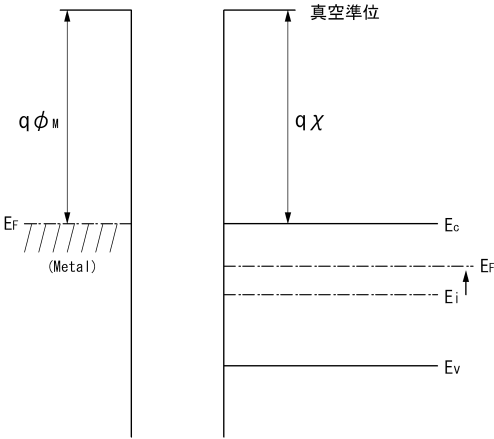


30

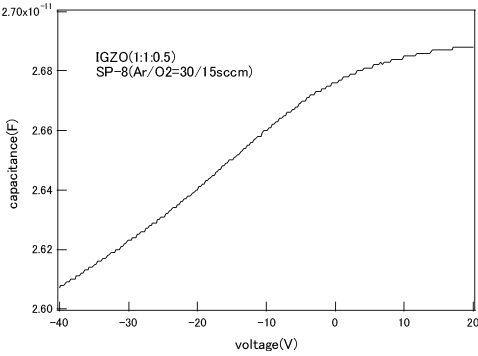
40

50

【図 9】

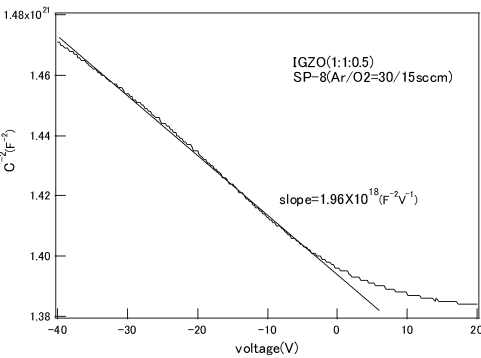


【図 10】

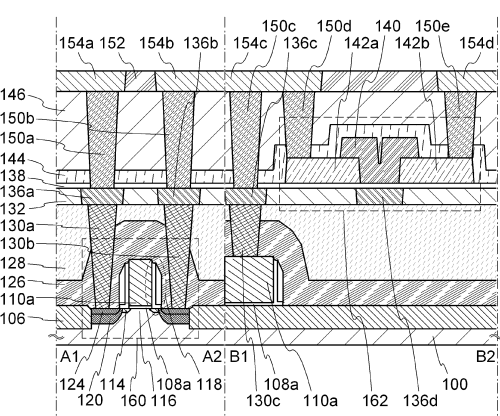


10

【図 11】



【図 12】



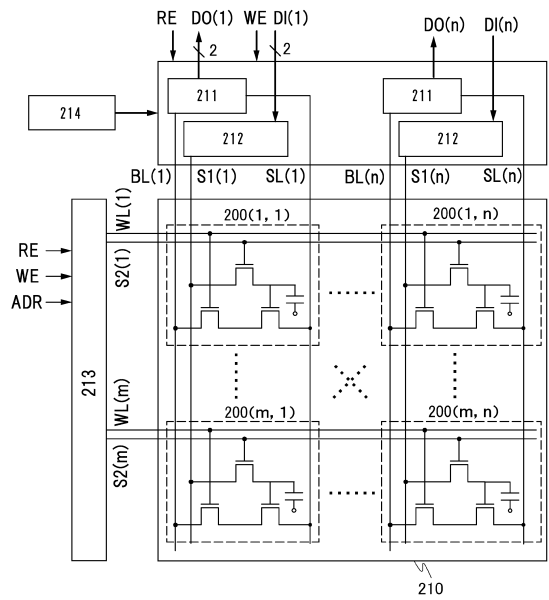
20

30

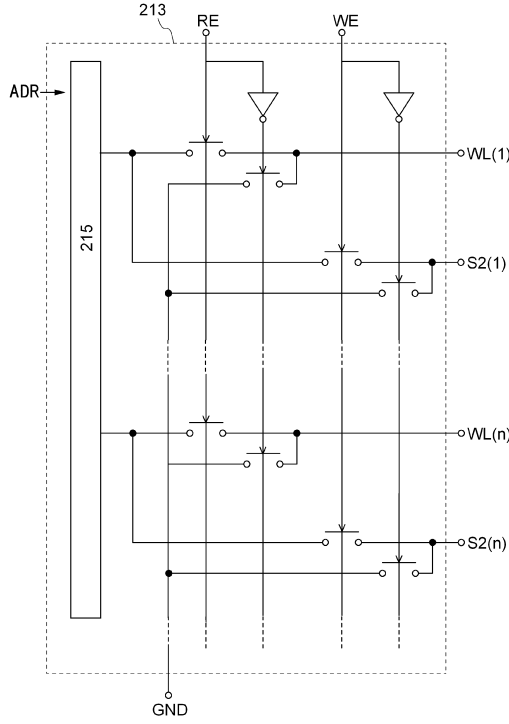
40

50

【図 17】



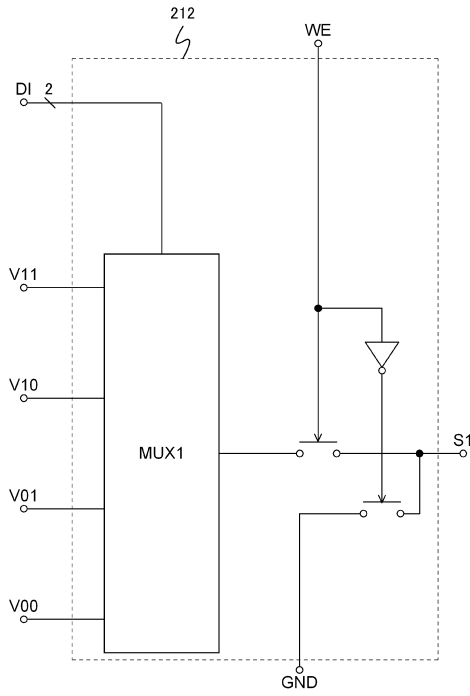
【図 18】



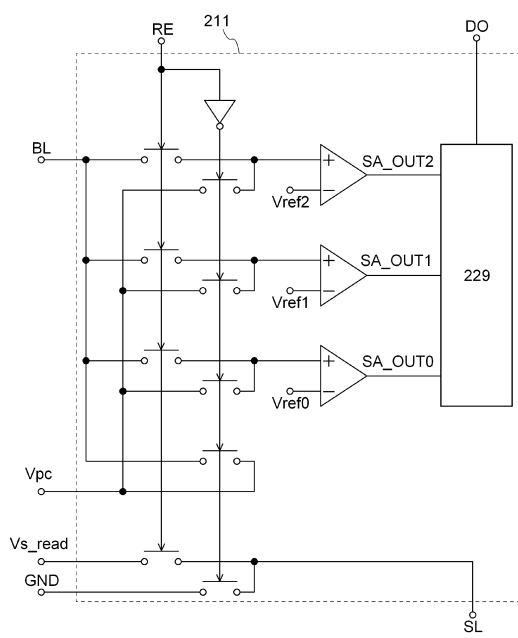
10

20

【図 19】



【図 20】

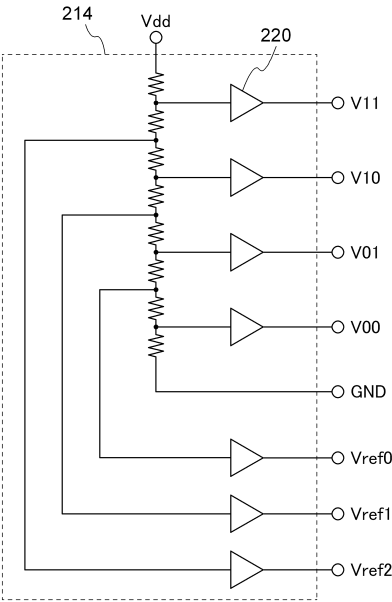


30

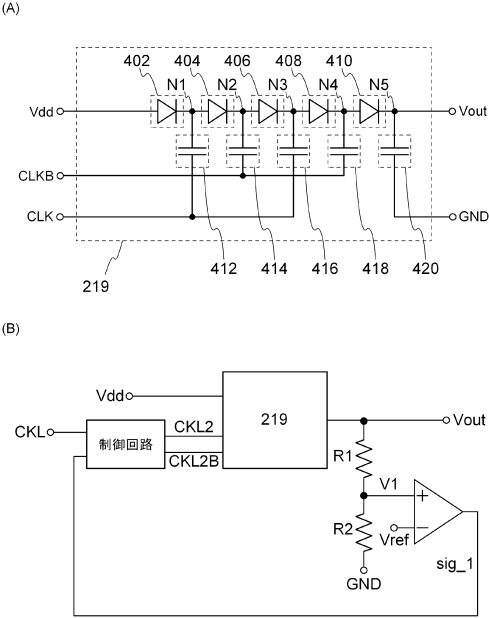
40

50

【図 2 1】

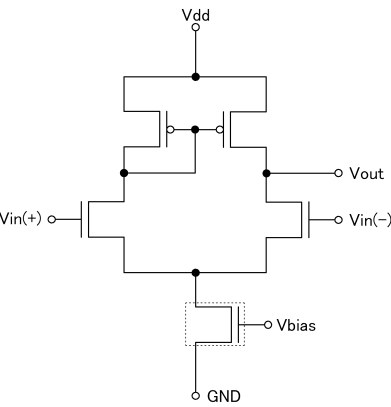


【図 2 2】

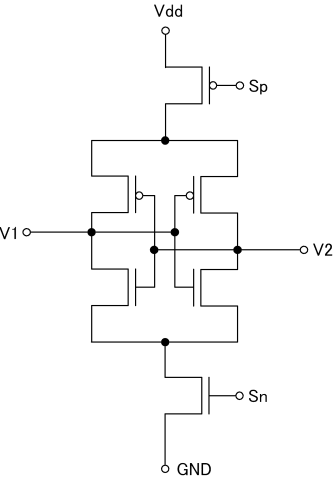


10

【図 2 3】



【図 2 4】

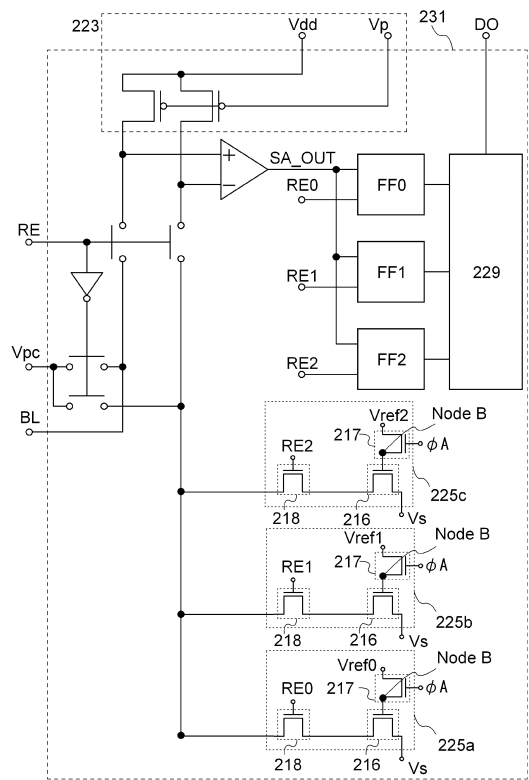


30

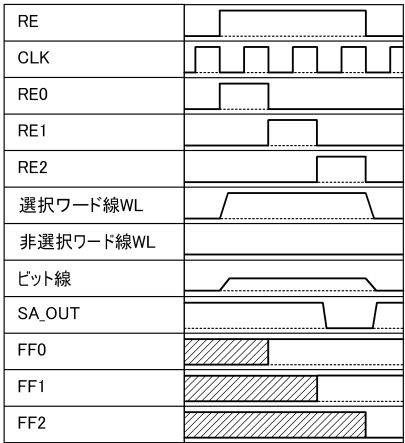
40

50

【図 29】



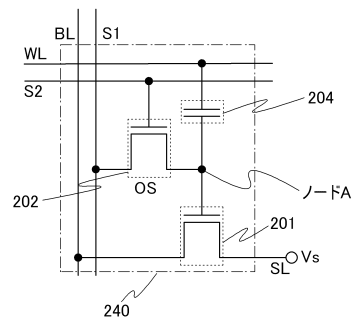
【図 30】



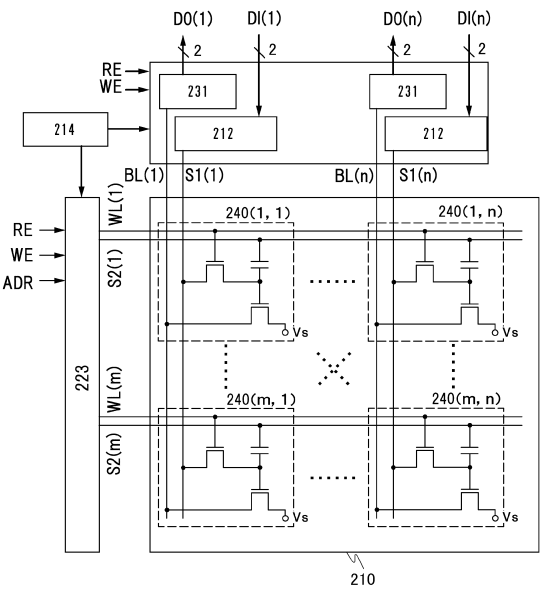
10

20

【図 31】



【図 32】

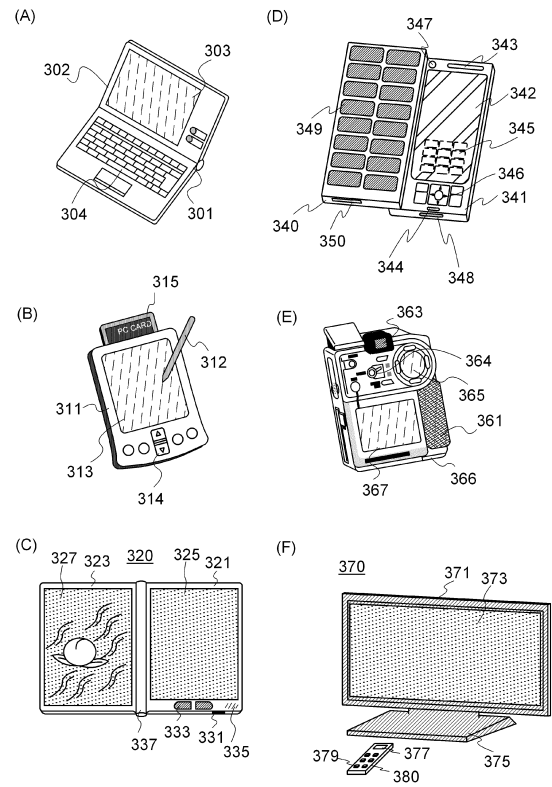


30

40

50

【図 37】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
G 1 1 C 11/56 (2006.01)	H 0 1 L 29/78	6 1 8 B	
	G 1 1 C 11/56	2 5 0	

(56)参考文献 特開 2 0 0 9 - 0 9 4 4 9 5 (J P , A)
特開 2 0 0 9 - 0 1 6 8 4 4 (J P , A)
特開 2 0 0 6 - 2 9 4 1 1 6 (J P , A)
特開昭 6 2 - 2 7 4 7 7 3 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

G 1 1 C	1 1 / 5 6
G 1 1 C	1 1 / 4 0 5
G 1 1 C	1 1 / 4 0 8
G 1 1 C	1 1 / 4 0 9 1
H 1 0 B	1 2 / 0 0
H 0 1 L	2 9 / 7 8 6