



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년04월07일

(11) 등록번호 10-1382676

(24) 등록일자 2014년04월01일

(51) 국제특허분류(Int. Cl.)

H01L 21/336 (2006.01)

(21) 출원번호 10-2007-0116476

(22) 출원일자 2007년11월15일

심사청구일자 2012년11월14일

(65) 공개번호 10-2008-0044779

(43) 공개일자 2008년05월21일

(30) 우선권주장

JP-P-2006-00309828 2006년11월16일 일본(JP)

(56) 선행기술조사문현

US20050282324 A1*

WO2005112577 A2*

*는 심사관에 의하여 인용된 문현

(73) 특허권자

소니 주식회사

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

사또 나오유키

일본 도쿄도 미나토구 고난 1-7-1 소니 가부시끼
가이샤 내

나가오카 고지로

일본 도쿄도 미나토구 고난 1-7-1 소니 가부시끼
가이샤 내

신야마 다까시

일본 도쿄도 미나토구 고난 1-7-1 소니 가부시끼
가이샤 내

(74) 대리인

이중희, 장수길

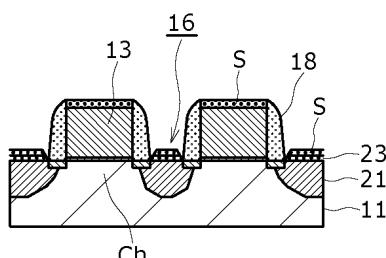
전체 청구항 수 : 총 3 항

심사관 : 박기용

(54) 발명의 명칭 반도체 장치의 제조 방법, 및 반도체 장치

(57) 요 약

우선, 제1 공정에서는, 실리콘 기판 위에 게이트 절연막을 개재하여 게이트 전극이 형성된다. 다음으로, 제2 공정에서는, 게이트 전극을 마스크로 한 에칭에 의해, 실리콘 기판의 표면층을 파내려 간다. 다음으로, 제3 공정에서는, 파내려 간 실리콘 기판의 표면에, SiGe층을 포함하는 제1 층을 에피택셜 성장시킨다. 계속해서, 제4 공정에서는, 제1 층 위에, 제1 층보다 Ge 농도가 낮은 SiGe층을 포함하거나 또는 Si층을 포함하는 제2 층을 형성한다. 그 후의 제5 공정에서는, 제2 층 중 적어도 표면 층을 실리사이드화하여, 실리사이드층 S를 형성한다.

대 표 도 - 도2f

특허청구의 범위

청구항 1

실리콘 기판 위에 게이트 절연막을 개재하여 게이트 전극을 형성하는 제1 공정과,
 상기 게이트 절연막 및 상기 게이트 전극의 측벽에, 제1 측벽을 형성하는 제2 공정과,
 상기 제1 측벽을 마스크로 한 에칭에 의해, 상기 실리콘 기판의 표면층을 파내려 가는 제3 공정과,
 파내려 간 상기 실리콘 기판의 표면에, 실리콘 게르마늄층을 포함하는 제1 층을 에피택셜 성장시키는 제4 공정
 과,
 상기 제1 층 위에, 상기 제1 층보다 게르마늄 농도가 낮은 실리콘 게르마늄층 또는 실리콘층을 포함하는 제2 층
 을 형성하는 제5 공정과,
 상기 제1 측벽을 제거함으로써, 상기 게이트 전극을 노출시키는 제6 공정과,
 상기 게이트 전극의 양측의 상기 실리콘 기판 위에, 익스텐션 영역을 형성하는 제7 공정과,
 상기 익스텐션 영역 위이고 또한 상기 게이트 절연막 및 상기 게이트 전극의 양측에, 상기 제1 측벽보다 막 두
 께가 두꺼운 제2 측벽을 형성하는 제8 공정과,
 상기 제2 층 중 적어도 표면 층을 실리사이드화하여, 실리사이드층을 형성하는 제9 공정
 을 포함하는 반도체 장치의 제조 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제4 공정과 상기 제5 공정 사이에서, 상기 제1 층 위에, 상기 제1 층보다 게르마늄 농도가 높은 실리콘 게
 르마늄층 또는 게르마늄층을 포함하는 중간층을 형성하는 공정을 행하고,
 상기 제5 공정에서는, 상기 중간층 위에 상기 제2 층을 형성하는 반도체 장치의 제조 방법.

청구항 4

실리콘 기판 위에 게이트 절연막을 개재하여 게이트 전극이 설치된 반도체 장치로서,
 상기 게이트 전극의 측벽에 형성된 제1 측벽을 마스크로 한 에칭에 의해 상기 게이트 전극의 양측의 상기 실리
 콘 기판이 파내려 간 영역에, 실리콘 게르마늄층을 포함하는 제1 층과, 상기 제1 층보다도 게르마늄 농도가 낮
 은 실리콘 게르마늄층 또는 실리콘층을 포함하는 제2 층이 이 순서로 순차적으로 적층되고,
 상기 제1 측벽이 제거된 후의 상기 게이트 전극의 양측의 상기 실리콘 기판 위에, 익스텐션 영역이 형성되고,
 상기 익스텐션 영역 위이고 또한 상기 게이트 절연막 및 상기 게이트 전극의 양측에, 상기 제1 측벽보다 막 두
 께가 두꺼운 제2 측벽이 형성되고,
 상기 제2 층의 적어도 표면 층에 실리사이드층이 설치되는 반도체 장치.

청구항 5

삭제

명세서

발명의 상세한 설명

기술 분야

- [0001] 본 발명은, 2006년 11월 16일자로 일본 특허청에 제출된 일본 특허 출원 JP2006-309828의 기술 내용을 포함하며, 이하 그 전체 내용이 참조된다.
- [0002] 본 발명은, 반도체 장치의 제조 방법 및 반도체 장치에 관한 것이며, 특히, MOS(Metal Oxide Semiconductor)형 전계 효과 트랜지스터에 관한 것이다.

배경기술

- [0003] 최근에, 트랜지스터 성능 향상을 위해, 채널 영역에 스트레스를 인가하고, 드레인 전류를 증대시키는 검토가 행해지고 있다. 스트레스 인가의 방법으로서는, 게이트 전극 형성 후에 높은 응력을 갖는 막을 형성하고, 채널 영역에 스트레스를 인가하는 방법이 보고되어 있다. 또한, P-채널 MOS형 전계 효과 트랜지스터(PMOSFET)의 소스/드레인 영역을 에칭하고, 에칭한 부분에 실리콘-게르마늄(SiGe)층을 에피택셜 성장시켜, 채널 영역에 스트레스를 인가하는 방법도 보고되어 있다(예를 들면, JP-A-2002-530864 참조(특히, 도 4 및 단락 번호 0030 참조)). 이 SiGe층을 이용한 채널 영역에의 스트레스 인가는, SiGe층이 채널 영역에 가까울수록, SiGe층의 체적이 클수록 더 효과적이다.

- [0004] 여기서, 전술한 PMOSFET의 제조 방법에 대해, 도 3a ~ 3g를 참조하여 설명한다. 우선, 도 3a에 도시한 바와 같이 실리콘 기판(11)의 표면 측에 소자 분리 영역(도시 생략)을 형성한다. 다음으로, 실리콘 기판(11) 위에는, 산화 실리콘을 포함하는 게이트 절연막(12)을 개재하여, 폴리실리콘을 포함하는 게이트 전극(13)이 폐턴 형성된다. 이 경우에, 실리콘 기판(11) 위에는, 게이트 절연막(12)과 게이트 전극(13)을 구성하는 재료들, 및 질화 실리콘 막을 포함하는 하드 마스크(14)가 적층 성막되고, 이 적층막을 폐턴 에칭한다.

- [0005] 다음으로, 도 3b에 도시한 바와 같이, 게이트 절연막(12), 게이트 전극(13) 및 하드 마스크(14)을 덮는 상태로, 실리콘 기판(11) 위에 실리콘 질화막(15')을 형성한다. 그 후에, 도 3c에 도시한 바와 같이, 드라이 에칭법에 의해, 이 실리콘 질화막(15')(도 3b 참조)을 에치백함으로써, 게이트 절연막(12), 게이트 전극(13) 및 하드 마스크(14)의 양편에 측벽(15)을 형성한다.

- [0006] 계속해서, 도 3d에 도시한 바와 같이, 상기 하드 마스크(14)와 측벽(15)을 마스크로 사용하여, 실리콘 기판(11)을 파내려 가는, 소위 리세스 에칭을 행함으로써, 리세스 영역(16)을 형성한다. 그 후, 희불산(diluted hydrofluoric acid)을 이용한 세정 처리에 의해, 실리콘 기판(11) 표면의 자연 산화막을 제거한다.

- [0007] 다음으로, 도 3e에 도시한 바와 같이, 리세스 영역(16), 즉, 파내려 간 실리콘 기판(11)의 표면에, 실리콘-게르마늄(SiGe)층(17)을 에피택셜 성장시킨다. 이에 의해, 일정 농도의 Ge를 함유하는 SiGe층(17)이 형성된다. 그 후, 이온 주입법에 의해, SiGe층(17)에 p형 불순물을 도입하고, 활성화 어닐링을 행한다. 이에 의해, SiGe층(17)이 소스/드레인 영역이 되고, 실리콘 기판(11)에 있어서 소스/드레인 영역 사이에 위치하고 게이트 전극(13) 바로 아래 위치한 영역이 채널 영역 Ch가 된다.

- [0008] 다음으로, 도 3f에 도시한 바와 같이, 핫 인산(hot phosphoric acid)을 이용한 웨트 에칭에 의해, 하드 마스크(14)(도 3e 참조)를 제거하고, 이로써 게이트 전극(13)의 표면이 노출함과 함께, SiGe층(17)의 표면 상의 자연 산화막을 제거한다. 이 제거 공정에 의해, 측벽(15)의 상부도 제거된다.

- [0009] 이어서, 도 3g에 도시한 바와 같이, 게이트 전극(13)을 덮는 상태로, SiGe층(17) 위의 영역을 포함하는 실리콘 기판(11) 위에 니켈막 등의 고용접 금속막을 성막한다. 그 후, 열처리를 행함으로써, 게이트 전극(13)의 표면 측 및 SiGe층(17)의 표면 측을 실리사이드화하여, 니켈 실리사이드를 포함하는 실리사이드층 S를 형성한다. 이에 의해, 소스/드레인 영역의 표면 측을 저저항화하고, 컨택트 저항을 저감한다.

- [0010] 전술한 바와 같이, SiGe층(17)에 의한 채널 영역 Ch에의 스트레스 인가에 의해, 채널 영역 Ch가 변형되는 것으로, 충분한 캐리어 이동도를 갖는 PMOSFET을 얻을 수 있다.

발명의 내용

해결 하고자하는 과제

- [0011] 그러나, 전술한 바와 같은 반도체 장치의 제조 방법에서는, SiGe층(17)에 의한 채널 영역 Ch에의 스트레스 인가에 의해, 캐리어 이동도의 향상은 피할 수 있지만, 고용접 금속과 실리콘(Si)과의 반응 속도가 게르마늄(Ge)과의 반응 속도와 비교해서 빠르기 때문에, SiGe층(17)의 표면 측을 실리사이드화 하는 프로세스에서 실리사이드화가 국소적으로 진행해 벼린다. 이에 의해, 반응이 불안정해지기 쉽고, 실리사이드층 S를 균일한 막 형상

(uniform membrane-like form)으로 형성하는 것이 어렵다. 이 때문에, 소스/드레인 영역의 저저항화가 어렵다는 문제가 있다. 또한, 고용접 금속의 실리콘에의 확산 계수는 높기 때문에, 국소적으로 반응이 개시되는 경우에는, 실리사이드층 S가 실리콘 기판(11)까지 이상 성장해 버린다. 이 때문에, 리크 전류가 증대해 버린다는 문제도 있다.

[0012] 따라서, 채널 영역에 응력을 인가하면서, 실리사이드층을 막 형상으로 형성함과 함께 실리사이드층의 이상 성장이 억제된 반도체 장치의 제조 방법 및 반도체 장치를 제공할 필요가 있다.

과제 해결수단

[0013] 본 발명의 일 실시예에 따르면, 실리콘 기판 위에 게이트 절연막을 개재하여 게이트 전극을 형성하는 제1 단계; 게이트 전극을 마스크로 한 에칭에 의해, 실리콘 기판의 표면층을 파내려 가는 제2 단계; 파내려 간 실리콘 기판의 표면에, 실리콘 게르마늄(SiGe)층을 포함하는 제1 층을 에피택셜 성장시키는 제3 단계; 제1 층 위에, 제1 층보다 게르마늄 농도가 낮은 SiGe층 또는 실리콘(Si)층을 포함하는 제2 층을 형성하는 제4 단계; 및 상기 제2 층 중 적어도 표면 측을 실리사이드화하여, 실리사이드층을 형성하는 제5 단계를 포함하는 반도체 장치의 제조 방법이 제공된다.

[0014] 이러한 반도체 장치의 제조 방법에 따르면, 파내려 간 실리콘 기판의 영역에 SiGe층을 포함하는 제1 층을 에피택셜 성장시킴으로써, 채널 영역에 응력이 인가되기 때문에, 캐리어 이동도의 향상이 가능하게 된다. 또한, 제1 층 위에, 제1 층보다 게르마늄(Ge)농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층이 형성되기 때문에, 실리사이드화의 국소적인 진행이 억제된다. 이에 의해, 실리사이드화 반응을 안정되게 하고, 균일한 막 형상의 실리사이드층을 형성하는 것을 가능하게 하며, 컨택트 저항의 저저항화를 꾀할 수 있다. 또한, 제1 층이 제2 층 보다 게르마늄 농도가 높기 때문에, 제1 층은 실리사이드화 반응을 억제하는 스톱퍼로서 기능한다. 이에 의해, 실리사이드층이 실리콘 기판까지 이상 성장하는 것이 방지되어 리크 전류가 억제된다.

[0015] 본 발명의 또 다른 실시예에 따르면, 실리콘 기판 위에 게이트 절연막을 개재하여 게이트 전극이 설치된 반도체 장치가 제공되며, 실리콘 기판 중, 상기 게이트 전극의 양측의 파내려 간 영역에, SiGe층을 포함하는 제1 층과, 상기 제1 층보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층이 이 순서로 순차적으로 적층되어 있고, 제2 층 중 적어도 표면 측에 실리사이드층이 설치되어 있다.

[0016] 이러한 반도체 장치는, 전술한 제조 방법에 의해 제조되는 것이며, SiGe층을 포함하는 제1 층에 의해 채널 영역에 응력이 인가되어, 캐리어 이동도가 향상된다. 또한, 제1 층 위에 배치된 제1 층보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층에 실리사이드층이 설치되어 있으므로, 컨택트 저항의 저저항화를 도모할 수 있다.

효과

[0017] 이상, 설명한 바와 같이, 본 발명에 있어서의 반도체 장치의 제조 방법 및 반도체 장치에 따르면, 캐리어 이동도를 향상시키면서, 컨택트 저항의 저저항화를 도모할 수 있고, 리크 전류를 억제할 수 있다. 따라서, 트랜지스터의 특성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 본 발명의 실시 형태를 도면에 기초해서 상세에 설명한다. 각 실시 형태에서는, 반도체 장치의 구성을 제조 공정 순으로 설명한다.

[0019] <제1 실시 형태>

[0020] 본 발명의 반도체 장치의 제조 방법에 따르는 실시 형태의 일례로서, CMOS(Complementary Metal Oxide Semiconductor) FET에 있어서의 PMOSFET의 제조 방법에 대해서, 도 1a ~ 1j의 제조 공정 단면도를 참조하여 아래 설명한다. 또한, 다음의 설명에 있어서, 상기 배경 기술에서 설명한 것과 동일한 구성에 대해서는 위에서 사용된 것과 동일한 번호를 붙여서 설명한다.

[0021] 우선, 도 1a에 도시한 바와 같이 단결정 실리콘을 포함하는 P형의 실리콘 기판(11)을 준비하고, 그 실리콘 기판(11)의 표면 측에 소자 분리 영역(도시 생략)을 형성한다. 이때, 예를 들면, 실리콘 기판(11)의 표면 측에 홈을 형성하고, 이 홈 내에, 예를 들면, 산화 실리콘 막을 포함하는 절연막을 매립한 STI(shallow trench isolation) 구조의 소자 분리 영역을 형성한다.

[0022] 다음으로, 소자 분리 영역으로 분리된 실리콘 기판(11) 위로, 예를 들면 실리콘 산질화막을 포함하는 게이트 절

연막(12)을 개재하여, 예를 들면, 폴리실리콘을 포함하는 게이트 전극(13)을 패턴 형성한다. 이때, 실리콘 기판(11) 위에는, 게이트 절연막(12)과 게이트 전극(13)을 구성하는 각 재료막, 및 예를 들면 질화 실리콘 막을 포함하는 하드 마스크(14)을 적층 성막하고, 이 적층막을 패턴 에칭한다.

[0023] 여기서, 상기 게이트 절연막(12)의 구성 재료로는, 실리콘 산질화막에 한정되지 않고, 실리콘 산화막일 수도 있고, 또는 하프늄이나 알루미늄을 포함하는 금속 산화막일 수도 있다. 또한, 게이트 전극(13)으로는, 폴리 실리콘에 한정되지 않고, 금속 재료를 함유할 수도 있다.

[0024] 다음으로, 도 1b에 도시한 바와 같이, 게이트 절연막(12), 게이트 전극(13), 및 하드 마스크(14)를 덮는 상태로, 실리콘 기판(11) 위에, 예를 들면 실리콘 질화막(15')을 성막한다. 계속해서, 도 1c에 도시한 바와 같이 예를 들면 드라이 에칭법에 의해, 실리콘 질화막(15')(상기 도 1b 참조)을 에치백함으로써, 게이트 절연막(12), 게이트 전극(13), 및 하드 마스크(14)의 측벽에, 절연성의 측벽(15)을 형성한다. 여기에서는, 이 측벽(15)이, 예를 들면 실리콘 질화막을 사용하여 구성되는 것으로 하지만, 측벽(15)은 실리콘 질화막 이외의 것, 예를 들면, 실리콘 산화막, 실리콘 산질화막 또는 이것들의 적층 구조를 사용하여 구성될 수도 있다.

[0025] 다음으로, 도 1d에 도시한 바와 같이 실리콘 기판(11)의 표면을 파내려 가는 리세스 에칭을 행한다. 이 경우에는, 게이트 전극(13) 상의 하드 마스크(14) 및 측벽(15)을 마스크로 사용한 에칭에 의해, 실리콘 기판(11)의 표면층을 파내려 가는 리세스 에칭을 행함으로써, 리세스 영역(16)이 형성된다. 이 리세스 에칭에서는, 등방성의 에칭을 행함으로써, 측벽(15)의 아래쪽으로 리세스 영역(16)을 넓힐 수 있도록 한다. 예를 들면, 측벽(15) 아래의 실리콘 기판(11)은 25nm 정도 에칭되어 있다. 단, 본 발명에서는, 측벽(15) 아래로, 후술하는 바와 같이 SiGe층을 형성하기 위한 스페이스가 존재하면 충분하고, 측벽(15)의 폭 및 실리콘 에칭량에 대해서는 구체적으로 한정되지 않는다. 그 후, 희불산을 이용한 세정 처리에 의해, 실리콘 기판(11) 표면의 자연 산화막을 제거한다.

[0026] 이러한 에칭 조건의 일례로서, 테트라플루오르카본(CF_4)과 산소(O_2)로 이루어진 에칭 가스를 이용하고, 가스 유량을 $CF_4/O_2=40/10$ (ml/min), 처리 압력을 2.7Pa, 소스 파워를 500W, 바이어스 파워를 50W로 설정해서 행한다. 단, 상기 가스 유량은 표준 상태에 있어서의 체적 유량을 나타내는 것으로, 이후의 가스 유량도 마찬가지이다.

[0027] 또한, 여기에서는, 측벽(15)이 설치된 상태에서, 리세스 에칭을 행하는 예에 대해서 설명하지만, 측벽(15)을 설치하지 않고, 리세스 에칭을 행하는 경우에도, 본 발명은 적용가능하다.

[0028] 또한, 본 실시 형태에서는, PMOSFET의 제조 방법을 중심으로 설명하기 때문에 상세한 기재는 생략하지만, NMOSFET를 형성하는 경우에는, 상기 에칭 공정 전에, 하드 마스크(14) 및 측벽(15)을 덮는 상태에서, 실리콘 기판(11) 위에, NMOSFET 영역을 보호하기 위한 실리콘 산화막을 형성하고, PMOSFET 영역의 실리콘 산화막 만을 제거한 후에, 상기 에칭 공정을 행하면 충분하다.

[0029] 다음으로, 도 1e에 도시한 바와 같이 리세스 영역(16)의 표면, 즉 파내려 간 실리콘 기판(11)의 표면에, SiGe층을 포함하는 제1 층(21)을 에피택셜 성장시킨다. 이에 의해, 게이트 전극(13) 아래의 실리콘 기판(11)에 설치되는 채널 영역에 압축 응력이 인가된다. 여기에서, 제1 층(21)의 Ge 농도의 범위를, 10 ~ 20atm%로 설정함으로써, 채널 영역에 효율적으로 응력을 인가할 수 있어, 캐리어 이동도가 향상된다. 제1 층(21)의 막 두께는 특별히 한정되지 않는다. 그러나, 게이트 전극(13) 바로 아래의 실리콘 기판(11)에 설치되는 채널 영역에 보다 효율적으로 응력을 인가하기 위해서, 실리콘 기판(11)의 표면과 같은 정도의 높이로 제1 층(21)이 설치되는 것이 바람직하다. 여기에서, 제1 층(21)은 실리콘 기판(11)의 표면과 같은 정도의 높이로 설치된다. 또한, 제1 층(21)은, 후술하는 바와 같이 제1 층(21) 위에 형성되는 제2 층보다, Ge 농도가 높고, 이러한 Ge 농도의 차이로 인해, 제2 층에 실리사이드층을 형성할 때의, 실리사이드화 반응을 정지시키는 스톱퍼층으로서 기능한다.

[0030] 상기 제1 층(21)의 예시적인 성막 조건으로는, 성막 가스로서, 디클로로실란(Dichlorosilane(DCS)), 수소(H_2)에 의해 1.5 vol%로 희석된 수소화 게르마늄(GeV_4), 염화수소(HCl)를 이용하고, 가스 유량을 $DCS/GeV_4/HCl = 50/70/25$ (ml/min), 처리 온도를 550 ~ 850°C, 처리 압력을 1.3 ~ 5.3kPa로 설정한다.

[0031] 다음으로, 도 1f에 도시한 바와 같이 제1 층(21) 위에, 제1 층(21)보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층(22)을 형성한다. 이 제2 층(22)에는, 후술하는 바와 같이 실리사이드층을 형성하기 때문에, 제2 층(22)은 Ge 농도가 낮은 것이 바람직하다. 구체적으로, 제2 층(22)은 Ge 농도가 제1 층(21)보다 적어도 1atm% 낮은 것이 바람직하고, 제2 층(22)이 Si층인 것이 보다 바람직하다. 여기에서는, 제2 층(22)으로서, 예를 들면 Si층을 에피택셜 성장시킨다. 여기에서, 상기 제1 층(21)은, 실리콘 기판(11)의 표면에 도달하는 상태로 설치

되어 있으므로, 제2 층(22)은 실리콘 기판(11)의 표면으로부터 고조(swelling up)된 상태로, 예를 들면 20nm의 막 두께로 형성된다.

[0032] 제2 층(22)의 성막 조건으로는, 예를 들어, 성막 가스로서 DCS를 이용하고, 가스 유량을 100 ~ 200(ml/min), 처리 온도를 550°C, 처리 압력을 1.3kPa로 설정하는 것을 포함한다.

[0033] 또한, 여기에서는, 상기 Si층을 에피택셜 성장시키는 것으로 설명했지만, 이 Si층에는 전술한 바와 같이 실리사이드층이 형성되기 때문에, Si층이 에피택셜 성장 이외의 방법으로 성막되어, 폴리실리콘을 형성할 수도 있다.

[0034] 그 후, 하드 마스크(14)와 측벽(15)을 마스크로 사용하여, PMOSFET 영역에서는, 예를 들면 2keV의 에너지, $3 \times 10^{15}/\text{cm}^2$ 의 도우즈량으로 이온 주입을 행함으로써, 상기 제1 층(21) 및 제2 층(22)에 예를 들면 봉소(B)를 포함하는 p형 불순물을 도입한다. 한편, NMOSFET 영역에서는, 예를 들면 8keV의 에너지, $1 \times 10^{15}/\text{cm}^2$ 의 도우즈량으로 이온 주입을 행함으로써, 실리콘 기판(11)에 예를 들면 인(P)을 포함하는 n형 불순물을 도입한다.

[0035] 다음으로, 도 1g에 도시한 바와 같이 예를 들면 핫 인산 등의 약액(liquid chemical)을 이용한 세정 처리에 의해, 하드 마스크(14)(상기 도 1f 참조) 및 측벽(15)(상기 도 1f 참조)을 제거함으로써, 게이트 전극(13)을 노출한다. 그 후, 예를 들면 1050°C 정도로 활성화 어닐링을 행한다.

[0036] 다음으로, 도 1h에 도시한 바와 같이 게이트 전극(13)을 마스크로 사용하여, PMOSFET 영역에서는, 예를 들면 1.5keV의 에너지, $1.5 \times 10^{15}/\text{cm}^2$ 의 도우즈량으로 이온 주입을 행함으로써, 실리콘 기판(11), 제1 층(21) 및 제2 층(22)에 예를 들면 BF₂를 포함하는 p형 불순물을 도입한다. 이에 의해, 게이트 전극(13)의 양측의 실리콘 기판(11)에 익스텐션 영역 E를 형성한다. 한편, NMOSFET 영역에서는, 예를 들면 1.5keV의 에너지, $1 \times 10^{15}/\text{cm}^2$ 의 도우즈량으로 이온 주입을 행함으로써, 실리콘 기판(11)에 예를 들면 As를 포함하는 n형 불순물을 도입한다.

[0037] 계속해서, 도 1i에 도시한 바와 같이 게이트 전극(13)을 덮는 상태로, 제2 층(22) 위에, 예를 들면 실리콘 질화막을 성막한 후, 에치백에 의해, 게이트 전극(13), 게이트 절연막(12)의 양측에 측벽(18)을 형성한다. 이 측벽(18)은, 후공정에서 행하는 실리사이드화 시에 성막하는 고용점 금속의 채널 영역에의 확산을 방지하기 위해, 상기 도 1c를 참조하여 설명한 측벽(15)보다 막 두께를 두껍게 형성한다. 또한, 여기에서는, 측벽(18)을 실리콘 질화막으로 형성하는 것으로 했지만, 측벽(18)은 실리콘 질화막 이외에도, 예를 들면, 실리콘 산질화막, 실리콘 산화막 또는 이것들의 적층막을 이용하여 구성될 수도 있다.

[0038] 다음으로, 도 1j에 도시한 바와 같이 게이트 전극(13) 및 제2 층(22)(상기 도 1i 참조)의 표면의 자연 산화막을 제거한 후, 예를 들면 스퍼터링법에 의해, 측벽(18)이 설치된 게이트 전극(13)을 덮는 상태로, 제2 층(22) 윗부분을 포함하는 실리콘 기판(11) 위에, 예를 들면 니켈을 포함하는 고용점 금속막(도시 생략)을 형성한다. 그 후, 니켈 실리사이드층이 형성되는 250 ~ 400°C로 실리콘 기판(11)을 가열한다. 이에 의해, 게이트 전극(13) 및 제2 층(22)의 표면 층이 실리사이드화되어, 제2 층(22) 및 게이트 전극(13)의 표면 층에, 니켈 실리사이드로 구성되는 실리사이드층 S가 형성된다. 여기에서는, 제2 층(22) 전체가 실리사이드화되는 것으로 한다. 이 때, 제2 층(22)은, 제1 층(21)에 비해 Ge 농도가 낮기 때문에, 제2 층(22)에 균일한 막 형상의 실리사이드층 S가 형성된다. 또한, 이 때, 제1 층(21)은 제2 층(22)보다 Ge 농도가 높기 때문에, 이 Ge 농도의 차이로 인해, 제1 층(21)은 실리사이드화 반응의 스텝퍼로서 기능한다. 이에 의해, 실리사이드층 S의 이상 성장이 억제된다.

[0039] 그 후, 혼합산(황산, 과산화수소 혼합액)을 사용하여, 소자 분리 영역(도시 생략) 상 및 측벽(18) 상에 잔존하는 미반응의 니켈막을 선택적으로 제거한 후, 실리사이드층 S의 막질 개선을 위해, 다시 450 ~ 650°C로 가열한다. 또한, 여기에서는, 실리사이드층 S로서, 니켈 실리사이드를 형성하는 것으로 했지만, 본 발명은 이 구성에 한정되지 않고, 예를 들면, 니켈 플레이늄 실리사이드, 코발트 실리사이드, 티타늄 실리사이드로 구성되는 실리사이드층 S를 형성할 수도 있다.

[0040] 상술한 바와 같은 방식으로, 게이트 전극(13) 바로 아래의 실리콘 기판(11) 영역이 채널 영역 Ch인 PMOSFET가 제조된다.

[0041] 상술한 바와 같은 반도체 장치의 제조 방법 및 이것에 의해 얻을 수 있는 반도체 장치에 따르면, 실리콘 기판(11)의 파내려 간 리세스 영역(16)에 SiGe층을 포함하는 제1 층(21)을 에피택셜 성장시킴으로써, 채널 영역 Ch에 압축 응력이 인가되기 때문에, 캐리어 이동도의 향상이 가능하게 된다. 또한, 제1 층(21) 위에, 제1 층(21)보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층(22)이 형성되기 때문에, 실리사이드화의 국소적인 진행이 억제된다. 이에 의해, 실리사이드화 반응을 안정되게 되므로, 막 형상의 실리사이드층 S를 형성하는 것

이 가능하게 되기 때문에, 컨택트 저항의 저저항화를 꾀할 수 있다. 또한, 제1 층(21)은 제2 층(22)보다 Ge 농도가 높기 때문에, 제1 층(21)은 실리사이드화 반응을 억제하는 스텁퍼로서 기능한다. 이에 의해, 실리사이드 층 S가 실리콘 기판(11)까지 이상 성장하는 것이 방지되어, 리크 전류가 억제된다. 이러한 효과에 의해, 트랜지스터의 특성을 향상시킬 수 있다.

[0042] <제2 실시 형태>

[0043] 이제, 본 발명의 제2 실시 형태에 따른 반도체 장치의 제조 방법에 대해, 도 2a ~ 2f를 참조하여 설명한다. 또한, 실리콘 기판(11)의 표면을 파내려 가고 리세스 영역(16)을 형성하기까지의 공정은, 상기 도 1a ~ 1d를 참조하여 설명한 공정들과 동일한 방식으로 행해진다.

[0044] 우선, 도 2a에 도시한 바와 같이 제1 실시 형태와 마찬가지로, 리세스 영역(16)의 표면, 즉 실리콘 기판(11)의 파내려 간 영역의 표면에, SiGe층을 포함하는 제1 층(21)을 에피택셜 성장시킨다. 여기에서는, 10 ~ 20atm%의 농도 범위의 Ge가 함유되도록 제1 층(21)을 형성한다. 이에 의해, 게이트 전극(13) 아래의 실리콘 기판(11)에 설치되는 채널 영역에 압축應력이 인가된다. 여기에서는, 제1 실시 형태와 마찬가지로, 제1 층(21)이 실리콘 기판(11)의 표면과 같은 정도의 높이에 그 표면이 설치되는 것으로 한다. 또한, 성막 조건은, 제1 실시 형태와 동일하다.

[0045] 다음으로, 도 2b에 도시한 바와 같이 제1 층(21) 위에, 제1 층(21)보다 Ge 농도가 높은 SiGe층 또는 Ge층을 포함하는 중간층(23)을 형성한다. 이 중간층(23)은, 후속 공정에서, 중간층(23)의 위에 형성하는 제2 층에 실리사이드층을 형성할 때에, 실리사이드화 반응의 스텁퍼로서 기능한다. 따라서, 중간층(23)은 보다 높은 Ge 농도를 갖는 것이 바람직하고, Ge층이면 보다 바람직하다. 여기에서는, 중간층(23)으로서, Ge층이, 예를 들면, 1nm 정도의 막 두께로 형성된다.

[0046] 이 경우의 성막 조건의 일례로, 성막 가스로는, H₂에 의해 1.5vol%로 희석된 GeH₄을 이용하고, 가스 유량을 100ml/min, 처리 온도를 700°C, 처리 압력을 1.3kPa로 설정한다. 단, 이 경우의 Ge층은, 제1 층(21) 위에 에피택셜 성장되지 않고, 제1 층(21)의 표면에 흡착한 상태로 형성된다.

[0047] 또한, 여기에서는, 중간층(23)으로서, Ge층을 형성하는 것으로 하지만, 중간층(23)은 제1 층(21)보다 Ge 농도가 높은 SiGe층일 수도 있다. 이 경우에는, SiGe층으로 이루어진 중간층(23)이 Ge 농도가 20atm% 이상이 되도록 형성된다.

[0048] 다음으로, 중간층(23) 위에, 상기 제1 층(21)보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층(22)을 형성한다. 여기에서는, 제1 실시 형태에서와 마찬가지로, 제2 층(22)으로서, 제1 실시 형태와 동일한 성막 조건 하에 Si층을 형성한다. 이 경우에는, Si층이 상기 Ge층 상에 형성되기 때문에, Si층은 에피택셜 성장되지 않고, 상기 Ge층 상에 흡착한 상태로 형성된다.

[0049] 후속 공정은, 상기 제1 실시 형태에서 도 1g ~ 1j를 참조하여 설명한 공정과 동일한 방식으로 행한다. 구체적으로, 하드 마스크(14), 측벽(15)을 마스크로 이용하여 제2 층(22), 중간층(23), 제1 층(21)에 p형 불순물을 도입한다.

[0050] 다음으로, 도 2c에 도시한 바와 같이 하드 마스크(14)(상기 도 2b 참조) 및 측벽(15)(상기 도 2b 참조)을 제거함으로써, 게이트 전극(13)을 노출한다. 그 후, 도 2d에 도시한 바와 같이 예를 들면 1050°C 정도로 활성화 어닐링을 행한다. 계속해서, 게이트 전극(13)을 마스크로 사용하여 이온 주입을 행함으로써, 익스텐션 영역 E를 형성한다.

[0051] 다음으로, 도 2e에 도시한 바와 같이 게이트 전극(13), 게이트 절연막(12)의 양측에 측벽(18)을 형성한다.

[0052] 계속해서, 도 2f에 도시한 바와 같이 게이트 전극(13) 및 제2 층(22)(상기 도 2e 참조)의 표면의 자연 산화막을 제거한 후, 측벽(18)이 설치된 게이트 전극(13)을 덮는 상태로, 제2 층(22) 잎부분을 포함하는 실리콘 기판(11) 위에 니켈막(도시 생략)을 형성한다. 그 후, 열처리를 행함으로써, 제2 층(22) 및 게이트 전극(13)의 표면 측에, 니켈 실리사이드로 이루어진 실리사이드층 S를 형성한다. 이 때, 제2 층(22)은, 제1 층(21)에 비해 Ge 농도가 낮기 때문에, 제2 층(22)에 균일한 막 형상의 실리사이드층 S가 형성된다. 또한, 이 때, 중간층(23)은, 제2 층(22)보다 Ge 농도가 현저히 높기 때문에, 실리사이드화 반응의 스텁퍼로서 확실하게 기능한다. 이에 의해, 실리사이드층 S의 이상 성장이 억제된다.

[0053] 그 후, 혼합산에 의해, 소자 분리 영역(도시 생략) 상 및 측벽(15) 상에 잔존하는 미반응의 고용점 금속막을 선

택적으로 제거한 후, 다시 450 ~ 650°C로 가열한다.

[0054] 상술한 바와 같은 방식으로, 게이트 전극(13) 바로 아래의 실리콘 기판(11)의 영역이 채널 영역 Ch인 PMOSFET이 제조된다.

[0055] 상술한 바와 같은 반도체 장치의 제조 방법 및 이것에 의해 얻을 수 있는 반도체 장치에서도, 실리콘 기판(11)의 파내려 간 리세스 영역(16)에 SiGe층을 포함하는 제1 층(21)을 에피택셜 성장시킴으로써, 채널 영역 Ch에 압축 응력이 인가되기 때문에, 캐리어 이동도의 향상이 가능하게 된다. 또한, 중간층(23) 위에, 제1 층(21)보다 Ge 농도가 낮은 SiGe층 또는 Si층을 포함하는 제2 층(22)이 형성되기 때문에, 실리사이드화의 국소적인 진행이 억제된다. 이에 의해, 실리사이드화 반응을 안정되게 하여, 막 형상의 실리사이드층 S를 형성하는 것이 가능하게 되기 때문에, 컨택트 저항의 저저항화를 꾀할 수 있다.

[0056] 또한, 중간층(23)은 제1 층(21)보다 Ge 농도가 높기 때문에, 중간층(23)은 실리사이드화 반응을 억지하는 스텝 페로서 기능한다. 특히, 본 실시 형태에 따르면, 중간층(23)이 Ge층으로 형성되어, 실리사이드층 S가 실리콘 기판(11)까지 이상 성장하는 것이 확실하게 방지되어, 리크 전류가 억제된다.

[0057] 이러한 효과들의 결과로, 트랜지스터의 특성을 향상시킬 수 있다.

[0058] <변형 예 1>

[0059] 또한, 상기 제2 실시 형태에서는, 중간층(23)으로서, Ge층을 성막했지만, 이 Ge층을 이온 주입법에 의해 형성할 수도 있다. 이 경우에는, 도 2b를 참조하여 설명한 공정에서, 예를 들면 2.5keV의 에너지, 5×10^{14} atoms/cm²의 도우즈량의 조건에서, Ge의 이온 주입을 행한다. 이에 의해, 제1 층(21)의 표면으로부터 5nm정도의 깊이까지가 Ge의 고농도 영역이 되고, 이로써 중간층(23)이 형성된다. 또한, 상기 이온 주입 후에, 예를 들면 1000°C 정도의 열처리를 행함으로써, 결정성을 회복할 수도 있다.

[0060] 상술한 바와 같은 반도체 장치의 제조 방법 및 이것에 의해 얻을 수 있는 반도체 장치에 있어서도, 리세스 영역 (16)의 표면에, SiGe층을 포함하는 제1 층(21)과, 제1 층(21)보다 Ge 농도가 높은 중간층(23)과, 제1 층(21)보다 Ge 농도가 낮은 제2 층(22)이 형성되어 있으므로, 제2 실시 형태와 마찬가지의 효과를 발휘한다.

[0061] 첨부된 청구 범위의 범주 내 혹은 그의 등가물인 한, 설계 요구 조건 및 그 외의 인자들에 의존하여 다양한 수정, 조합, 부-조합 및 개조가 실시될 수 있다는 것을 당업자는 이해할 것이다.

도면의 간단한 설명

[0062] 도 1a ~ 1j는 본 발명의 반도체 장치의 제조 방법에 따르는 제1 실시 형태를 설명하기 위한 제조 공정 단면도이다.

도 2a ~ 2f는 본 발명의 반도체 장치의 제조 방법에 따르는 제2 실시 형태를 설명하기 위한 제조 공정 단면도이다.

도 3a ~ 3g는 종래의 반도체 장치의 제조 방법을 설명하기 위한 제조 공정 단면도이다.

[0065] <도면의 주요 부분에 대한 부호의 설명>

[0066] 11 : 실리콘 기판

[0067] 12 : 게이트 절연막

[0068] 13 : 게이트 전극

[0069] 21 : 제1 층

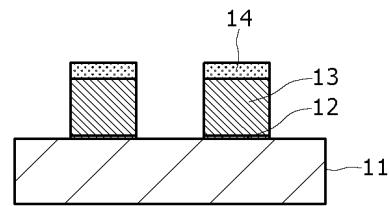
[0070] 22 : 제2 층

[0071] 23 : 중간층

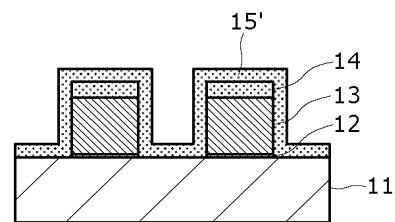
[0072] S : 실리사이드층

도면

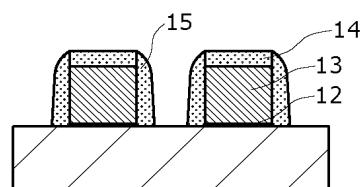
도면1a



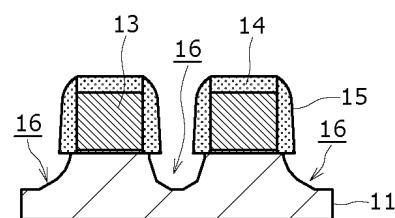
도면1b



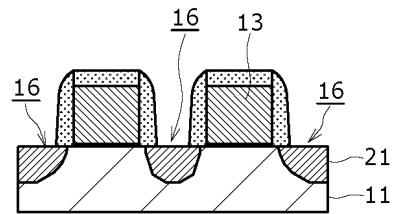
도면1c



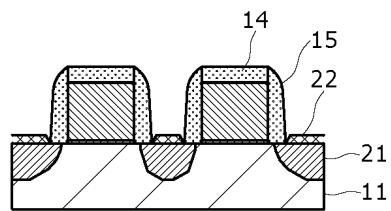
도면1d



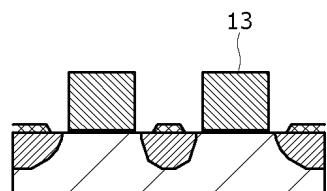
도면1e



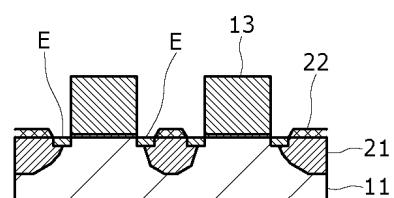
도면1f



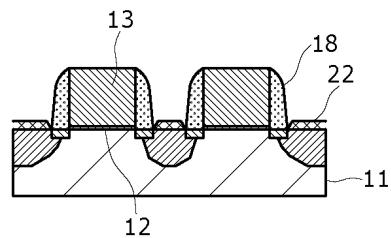
도면1g



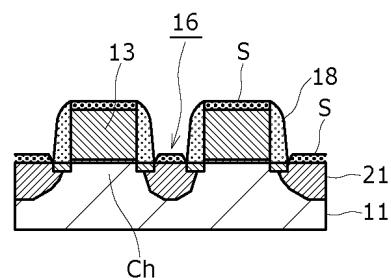
도면1h



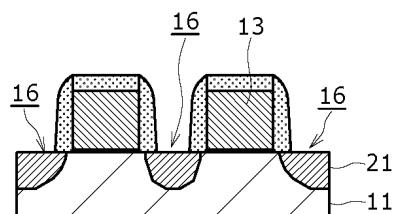
도면1i



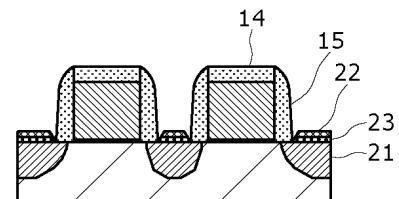
도면1j



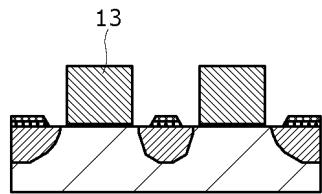
도면2a



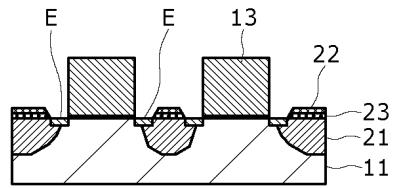
도면2b



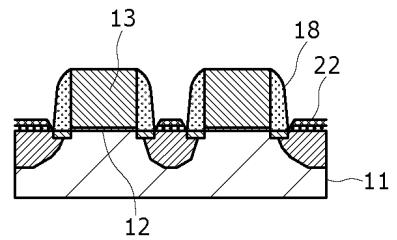
도면2c



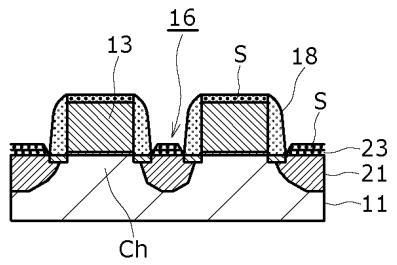
도면2d



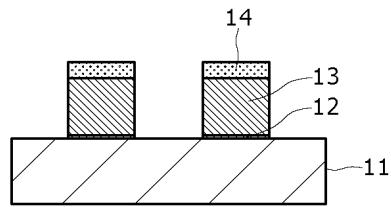
도면2e



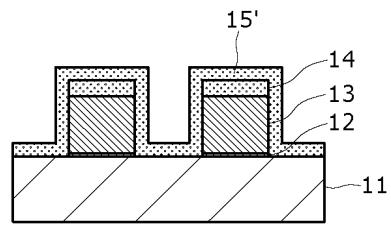
도면2f



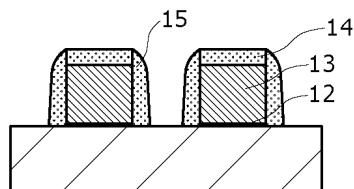
도면3a



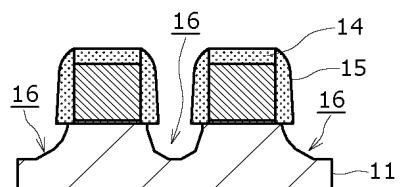
도면3b



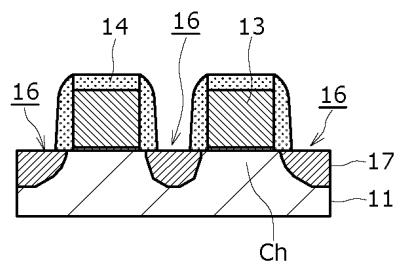
도면3c



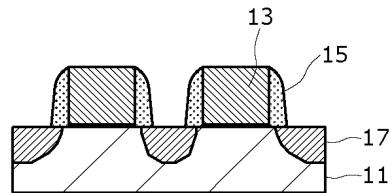
도면3d



도면3e



도면3f



도면3g

