

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

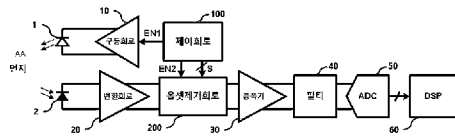
(43) 국제공개일
2019년 10월 17일 (17.10.2019) WIPO | PCT

WO 2019/199116 A1

- (51) 국제특허분류: MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
H03F 3/45 (2006.01) G01N 15/02 (2006.01) (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- (21) 국제출원번호: PCT/KR2019/004435
- (22) 국제출원일: 2019년 4월 12일 (12.04.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0043649 2018년 4월 14일 (14.04.2018) KR
- (71) 출원인: 서울대학교산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울시 관악구 관악로 1 940-311, Seoul (KR).
- (72) 발명자: 김수환 (KIM, Suhwan); 05502 서울시 송파구 올림픽로 135 262-1102, Seoul (KR).
- (74) 대리인: 김선종 (KIM, Sunjong); 06620 서울시 서초구 강남대로 375 1002, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK,

(54) Title: AMPLIFIER FOR ADJUSTING OFFSET AND SENSOR CAPABLE OF ELIMINATING OFFSET COMPONENT

(54) 발명의 명칭: 오프셋을 조절하는 증폭기 및 오프셋 성분을 제거할 수 있는 센서



13... 입력회로
21... 변환회로
23... 증폭기
12... 필터
130... 오프셋 제어 회로
220... 오프셋 제어 회로
AA... 디지

(57) Abstract: An amplifier according to one embodiment of the present invention comprises: an amplification circuit including an input circuit to which an input signal is applied, and outputting an output signal obtained by amplifying the input signal; and an offset adjustment circuit for controlling the input circuit according to an activation control signal and an offset control signal so as to adjust offset, wherein when the activation control signal is activated, the offset adjustment circuit adjusts the offset according to the offset control signal.

(57) 요약서: 본 발명의 일 실시예에 의한 증폭기는 입력 신호를 인가받는 입력 회로를 포함하고 입력 신호를 증폭한 출력 신호를 출력하는 증폭 회로; 및 활성화 제어 신호 및 오프셋 제어 신호에 따라 입력 회로를 제어하여 오프셋을 조절하는 오프셋 조절 회로를 포함하되, 오프셋 조절 회로는 활성화 제어 신호가 활성화된 경우 상기 오프셋 제어 신호에 따라 상기 오프셋을 조절한다.

WO 2019/199116 A1

명세서

발명의 명칭: 습셋을 조절하는 증폭기 및 습셋 성분을 제거할 수 있는 센서

기술분야

- [1] 본 기술은 습셋을 조절하는 증폭기 및 습셋 성분을 제거할 수 있는 센서에 관한 것이다.

배경기술

- [2] 종래의 입자 센서는 적외선 LED와 같은 광원을 이용하여 감지 구역에 빛을 비춘다.
- [3] 레이저 다이오드를 광원으로 사용하는 입자 센서는 필터를 통해 일정한 크기 이상의 입자를 미리 걸러낼 수도 있다.
- [4] 이후 빛이 산란 및 감쇄되는 정도를 광 수신기에서 감지하여 이를 전기 신호로 출력한다.
- [5] 이러한 종래의 입자 센서는 광원 등에 의하여 상대적으로 큰 습셋 성분이 부가되는데 정확한 감지를 위해서는 센서에서 습셋 성분을 제거할 필요가 있다.
- [6] 아래의 비특허문헌 2는 CDS 기술을 이용하여 습셋을 제거하는 기술을 개시하고 있다.
- [7] 이러한 방식은 스위치드 커패시터 방식의 아날로그 회로에서만 사용할 수 있는데, 스위치드 커패시터 방식의 회로는 면적과 소비 전력이 큰 단점이 있다
- [8] 아래의 비특허문헌 3, 4는 디지털 아날로그 컨버터(DAC)를 이용하여 습셋을 제거하는 기술을 개시하는데 이들은 습셋 신호에 해당하는 디지털 값을 아날로그 신호로 변환하고 이를 입력 신호에서 뺀 후 아날로그 신호처리를 진행한다.
- [9] 이러한 방식은 디지털 아날로그 컨버터 자체의 노이즈 성분을 고려해야 하고 디지털 아날로그 컨버터로 인하여 면적과 소비 전력이 큰 단점이 있다.
- [10] [선행기술문헌]
- [11] (특허문헌 1) KR101757079 B1
- [12] (특허문헌 2) KR1020170036719 A
- [13] (특허문헌 3) US5591895 B
- [14] (특허문헌 4) US8440957 B2
- [15] (비특허문헌 1) Application note of Sharp dust sensor GP2Y1010AU0F
- [16] (비특허문헌 2) Jimin Cheon, Jeonghwan Lee, Inhee Lee, Youngcheol Chae, Youngsin Yoo, Gunhee Han, "A Single-Chip CMOS Smoke and Temperature Sensor for an Intelligent Fire Detector", Sensors Journal IEEE, vol. 9, pp. 914-921, 2009, ISSN 1530-437X.
- [17] (비특허문헌 3) Cheng-Ta Chiang, Ssu-Wei Huang, Guan-Xian Liu, "A CMOS

particulate matter 2.5 (PM2.5) concentration to frequency converter with calibration circuits for air quality monitoring applications", Mechatronics and Automation (ICMA) 2016 IEEE International Conference on, pp. 966-970, 2016, ISSN 2152-744X.

- [18] (비특허문헌 4) Pietro Ciccarella, Marco Carminati, Marco Sampietro, Giorgio Ferrari, "28.7 CMOS monolithic airborne-particulate-matter detector based on 32 capacitive sensors with a resolution of 65zF rms", Solid-State Circuits Conference (ISSCC) 2016 IEEE International, pp. 486-488, 2016, ISSN 2376-8606.

발명의 상세한 설명

기술적 과제

- [19] 본 기술은 입력단에서 습셋을 조절할 수 있는 증폭기를 제공한다.
 [20] 본 기술은 증폭기 입력단에서 습셋을 제거하여 아날로그 신호 처리를 진행할 수 있는 센서를 제공한다.
 [21] 본 기술은 센서의 특성 변화에 따른 다양한 습셋 값을 저장하여 특성 변화에 유연하게 대응할 수 있는 센서를 제공한다.

과제 해결 수단

- [22] 본 발명의 일 실시예에 의한 증폭기는 입력 신호를 인가받는 입력 회로를 포함하고 입력 신호를 증폭한 출력 신호를 출력하는 증폭 회로; 및 활성화 제어 신호 및 습셋 제어 신호에 따라 입력 회로를 제어하여 습셋을 조절하는 습셋 조절 회로를 포함하되, 습셋 조절 회로는 활성화 제어 신호가 활성화된 경우 상기 습셋 제어 신호에 따라 상기 습셋을 조절한다.
 [23] 본 발명의 일 실시예에 의한 센서는 매질에 소스 신호를 출력하는 신호 출력 회로; 매질을 통과한 소스 신호를 수신하는 신호 수신 회로; 습셋 제어 신호에 따라 신호 출력 회로에서 출력되는 신호로부터 습셋을 제거하여 출력하는 습셋 제거 회로; 습셋 제거 회로의 출력으로부터 생성된 신호를 디지털로 변환하는 아날로그 디지털 변환기; 및 신호 출력 회로와 습셋 제거 회로를 제어하여 습셋 제어 신호를 출력하는 제어 회로를 포함하되, 제어 회로는 제 1 활성화 제어 신호에 따라 신호 출력 회로의 활성화 여부를 제어하고, 제 2 활성화 제어 신호에 따라 습셋 제거 회로의 활성화 여부를 제어한다.

발명의 효과

- [24] 본 기술에 의한 증폭기는 입력단에서 습셋을 조절할 수 있다.
 [25] 본 기술에 의한 센서는 증폭기 입력단에서 습셋을 제거할 수 있으므로 센서의 구성에 추가적인 구성을 최소한으로 부가하면서 센싱 성능을 향상시킬 수 있다.
 [26] 본 기술은 센서의 특성 변화에 따른 다양한 습셋 값을 저장하여 센서의 특성 변화에 유연하게 대응할 수 있다.

도면의 간단한 설명

- [27] 도 1은 본 발명의 일 실시예에 의한 센서를 나타내는 블록도.
 [28] 도 2는 본 발명의 일 실시예에 의한 제어 회로의 블록도와 동작 타이밍도.

- [29] 도 3은 본 발명의 일 실시예에 의한 센서를 나타내는 블록도와 효과를 설명하는 타이밍도.
- [30] 도 4 및 5는 본 발명의 일 실시예에 의한 옵셋 제거 회로를 나타내는 회로도.
- 발명의 실시를 위한 형태**
- [31] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 개시한다.
- [32] 도 1은 본 발명의 일 실시예에 의한 센서를 나타내는 블록도이다.
- [33] 본 발명의 일 실시예에 의한 센서는 광원(1), 광원(1)을 구동하는 구동 회로(10), 광 수신기(2) 및 광 수신기(2)의 출력 신호를 변환하는 변환 회로(20)를 포함한다.
- [34] 광원(1)은 적외선 LED, 레이저 다이오드 등의 다양한 발광 소자를 이용하여 구현될 수 있다.
- [35] 실시예에 따라 구동 회로(10)는 광원(1)의 내부에 통합될 수도 있다.
- [36] 광 수신기(2)는 빛의 세기를 전류 신호로 변환하고, 변환 회로(20)는 광 수신기(2)에서 출력된 전류를 전압 신호로 변환한다.
- [37] 실시예에 따라 변환 회로(20)는 광 수신기(2)의 내부에 통합될 수도 있다.
- [38] 실시예에 따라 광 수신기(2)는 빛의 세기에 대응하는 전압 신호를 출력할 수 있으며 변환 회로(20)는 선택적으로 포함되어 전압 신호를 증폭할 수도 있을 것이다.
- [39] 본 발명의 일 실시예에 의한 센서는 변환 회로(20)에서 출력되는 신호에서 옵셋을 제거하는 옵셋 제거 회로(200)와 구동 회로(10) 및 옵셋 제거 회로(200)를 제어하는 제어 회로(100)를 더 포함한다.
- [40] 센서는 옵셋 제거 회로(200)의 출력을 증폭하는 증폭기(30), 증폭기(30)의 출력을 필터링하는 필터(40), 필터(40)의 출력을 디지털 신호로 변환하는 아날로그 디지털 변환기(50) 및 디지털 신호를 처리하는 디지털 신호 프로세서(60)를 더 포함할 수 있다.
- [41] 본 실시예에서 증폭기(30)는 이득을 조절할 수 있는 증폭기로서 다단으로 구성될 수 있다.
- [42] 본 실시예에서 필터(40)는 대역 통과 필터로서 고주파 통과 필터와 저주파 통과 필터의 조합으로 구성될 수 있다.
- [43] 증폭기(30)와 필터(40)의 연결관계는 다양하게 변경될 수 있는데 예를 들어 이들 사이의 연결 순서는 바뀔 수 있다.
- [44] 또한 증폭기(30)가 다수 개 포함되고 필터(40)가 다수의 하위 필터를 포함하는 경우 이들 사이의 순서 또한 설계에 따라 다양하게 변경될 수 있다.
- [45] 본 실시예에서 제어 회로(100)는 옵셋 제어 신호(S)를 결정하고 이에 따라 옵셋 제거 회로(200)를 제어한다.
- [46] 또한 제어 회로(100)는 구동 회로(10)의 활성화 시간과 옵셋 제거 회로(200)의 활성화 시간을 제어한다.
- [47] 보다 구체적으로 본 실시예에서는 옵셋 제거 회로(200)를 항상 활성화하는

- 것이 아니라 일정한 수준으로 제어한다.
- [48] 제어 회로(100)의 구성에 대해서는 도 2를 참조하여 설명한다.
- [49] 도 2는 본 발명의 일 실시예에 의한 제어 회로(100)의 블록도와 동작 타이밍도이다.
- [50] 도 2(A)는 제어 회로(100)의 상세 블록도이다.
- [51] 제어 회로(100)는 타이밍 제어기(110), 옵셋 탐지기(120) 및 레지스터(130)를 포함한다.
- [52] 제어 회로(100)는 온도 감지 회로(140)를 더 포함할 수 있다.
- [53] 타이밍 제어기(110)는 제 1 활성화 제어 신호(EN1)와 제 2 활성화 제어 신호(EN2)를 이용하여 구동 회로(10)와 옵셋 제거 회로(200)의 활성화를 제어한다.
- [54] 본 실시예에서 광원(1)은 구동 회로(10)와 함께 활성화 여부가 제어되고, 광 수신기(2)는 변환 회로(20)와 함께 활성화 여부가 제어될 수 있다.
- [55] 옵셋 탐지기(120)는 입력 신호에 부가된 옵셋의 수준에 대응하여 옵셋 제어 신호(S)를 결정한다.
- [56] 본 실시예에서 옵셋 제어 신호(S)는 멀티비트 디지털 신호의 형태를 가진다.
- [57] 이하의 실시예에서 옵셋 제어 신호(S)는 서로 독립적인 제 1 옵셋 제어 신호(S1)와 제 2 옵셋 제어 신호(S2)를 포함할 수 있다.
- [58] 본 실시예에서 제 1 옵셋 제어 신호(S1)와 제 2 옵셋 제어 신호(S2)는 각각 멀티비트 디지털 신호이다.
- [59] 레지스터(130)는 옵셋 탐지기(120)에서의 탐지 결과에 따라 결정된 옵셋 제어 신호(S)를 저장하고 이를 다시 사용할 수 있도록 한다.
- [60] 도 2(B)는 타이밍 제어기(110)의 동작을 나타내는 타이밍도이다.
- [61] 본 실시예에서 제 2 활성화 제어 신호(EN2)는 제 1 활성화 제어 신호(EN1)에 비하여 제 1 시간(T_{D1})만큼 먼저 활성화된다.
- [62] 본 실시예에서는 광원(1)이 꺼져 있는 동안 즉 제 1 활성화 제어 신호(EN1)가 비활성화된 동안 옵셋 제거 회로(200)의 전력을 차단하여 소비 전력을 감소시킬 수 있다.
- [63] 이때 광 수신기(2), 변환 회로(20), 증폭기(30), 필터(40), 아날로그 디지털 변환기(50)는 옵셋 제거 회로(200)와 함께 비활성화될 수 있다.
- [64] 본 실시예에서는 구동 회로(10)를 활성화하기 전에 제 2 활성화 제어 신호(EN2)를 이용하여 광 수신기(2), 변환 회로(20) 및 옵셋 제거 회로(EN2)를 제 1 시간만큼 미리 활성화시켜 초기화 동작을 진행한다.
- [65] 이때 광 수신기(2), 변환 회로(20), 증폭기(30), 필터(40), 아날로그 디지털 변환기(50)는 옵셋 제거 회로(200)와 함께 활성화 될 수 있다.
- [66] 초기화 동작은 바이어스 전압 설정, 필터의 커패시터 충전 등 동작을 포함할 수 있다.
- [67] 초기화 동작에 걸리는 시간이 매우 짧은 경우 상기 제 1 시간은 0에 수렴할 수

- 있으며 상기 제 1 활성화 제어 신호(EN1)와 상기 제 2 활성화 제어 신호(EN2)는 실질적으로 동일한 시간에 활성화될 수 있다.
- [68] 본 실시예에서 제 1 활성화 제어 신호(EN1)는 제 2 활성화 제어 신호(EN2)가 비활성화된 시점에서 제 2 시간(T_{D2})이 경과한 후에 비활성화될 수 있다.
- [69] 이는 아날로그 디지털 변환 동작이 완료된 이후에 광원이 꺼져야 함을 나타내는 것으로서 제 2 시간은 최소 0으로 설정될 수 있다.
- [70] 도 2(B)에서 시작 신호(START)와 종료 신호(END)는 아날로그 디지털 변환기(50)의 변환 동작의 개시와 종료 시점을 표시하는 것으로서 이러한 신호가 반드시 물리적으로 제공되어야 하는 것은 아니다.
- [71] 도 2(B)에서 시작 신호(START)와 종료 신호(END)는 아날로그 디지털 변환기(50)의 변환 동작이 제 1 활성화 제어 신호(EN1)가 활성화된 구간에서 진행됨을 나타낸다.
- [72] 제 1 활성화 제어 신호(EN1)가 비활성화되고 제 2 활성화 제어 신호(EN2)가 활성화된 구간은 초기화 동작에 필요한 구간이므로 이 동안에는 아날로그 디지털 변환 동작을 진행하지 않는 것이 바람직하다.
- [73] 이에 따라 실질적인 읍셋 제거 동작은 제 1 활성화 제어 신호 및 제 2 활성화 제어 신호가 모두 턴온된 상태에서 진행되는 것으로 이해할 수 있다.
- [74] 본 실시예에서 제 1 활성화 제어 신호(EN1)는 간헐적으로 턴온과 턴오프를 반복할 수 있다. 이때 제 2 활성화 제어 신호(EN2) 도 2(B)와 같이 턴온과 턴오프를 반복할 수 있다.
- [75] 읍셋 탐지기(120)는 광원으로부터 야기되는 읍셋 및 회로에 내재된 읍셋을 포함하는 전체적인 읍셋을 탐지한다.
- [76] 일 실시예에서 읍셋 탐지기(120)는 예를 들어 먼지가 없는 상태와 같이 먼지의 수준을 알 수 있는 표준 상태에서 읍셋 제어 신호(S)를 일정한 범위에서 조절하면서 디지털 신호 처리 회로(60)에서 출력되는 값이 표준 상태에 대응하는 값이 되도록 하는 읍셋 제어 신호(S)를 찾고 이를 레지스터(130)에 저장한다.
- [77] 읍셋 탐지기(120)가 동작하는 동안은 읍셋 탐지기(120)에서 출력된 읍셋 제어 신호(S)가 읍셋 제거 회로(200)를 제어하고 읍셋 탐지기(120)의 동작이 완료된 경우에는 레지스터(130)에 저장된 읍셋 제어 신호(S)가 읍셋 제거 회로(200)를 제어할 수 있다.
- [78] 온도 감지 회로(140)는 온도를 감지한다.
- [79] 일 실시예에서 읍셋 탐지기(120)는 온도 감지 결과를 참조하여 미리 정한 범위를 초과하여 온도가 변화하는 경우 전술한 읍셋 탐지 동작을 다시 진행하고 새로운 읍셋 제어 신호(S)를 레지스터(130)에 저장할 수 있다.
- [80] 일 실시예에서 읍셋 탐지기(120)는 읍셋 탐지 동작을 다시 수행하는 대신에 온도 감지 결과와 미리 알려진 온도에 따른 읍셋의 변화율을 함께 고려하여 읍셋 제어 신호(S)를 갱신할 수 있다.
- [81] 도 3은 본 발명의 일 실시예에 의한 센서의 효과를 설명하는 타이밍도이다.

- [82] 도 3(A)는 도 1의 블록도를 보다 구체적으로 예시한 회로도이다.
- [83] 본 실시예에서 변환 회로(20)는 연산 증폭기를 이용한 차동 증폭기 회로로 구현되고, 증폭기(30)는 가변 이득 증폭기로서 연산 증폭기를 이용한 차동 증폭기 회로로 구현된다.
- [84] 본 실시예에서 필터(40)는 고주파 필터(41)와 저주파 필터(42)로 구현된다. 저주파 필터(42)는 이득을 조절할 수 있으며 연산 증폭기를 이용하여 구현될 수 있다.
- [85] 전술한 증폭기와 필터의 구체적인 구성은 종래의 기술을 이용하여 통상의 기술자에 의해 다양하게 설계 변경될 수 있는 것이므로 구체적인 설명은 생략한다.
- [86] 본 실시예는 옵셋 제거 회로(200)는 연산 증폭기의 입력단에 인위적으로 옵셋을 부가하여 광원으로부터 야기되는 옵셋을 제거한다.
- [87] 이에 대한 구체적인 구성은 도 4, 5를 참조하여 설명한다.
- [88] 도 3(B)(C)는 변환 회로(20)의 출력단, 옵셋 제거 회로(200)의 출력단, 증폭기(30)의 출력단, 고주파 필터(41)의 출력단, 저주파 필터(42)의 출력단에서의 파형을 비교하여 나타낸 것이다.
- [89] TL은 광원(1)이 동작하는 구간을 나타낸다.
- [90] 본 실시예에서 변환 회로(20), 옵셋 제거 회로(200), 증폭기(30), 고주파 필터(41), 저주파 필터(42)는 모두 일정 수준으로 증폭 동작을 함께 수행한다.
- [91] 도 3(B)에서 (a)는 종래 기술에서와 같이 옵셋 제거 동작이 수행되지 않는 경우를 나타내고 (b)는 본 실시예에 의한 옵셋 제거 동작이 수행되는 경우를 나타낸다.
- [92] (a)는 옵셋 성분이 정상 신호와 함께 지속적으로 증폭되어 저주파 필터(42)의 출력단에서 신호가 클리핑되는 현상이 발생할 수 있다.
- [93] 이 경우 출력 신호가 왜곡되므로 이를 방지하기 위해서는 동작 범위(dynamic range)를 줄이거나 증폭비를 줄여야 한다.
- [94] 전자의 경우 센서로서의 효율 가치가 떨어지고 후자의 경우 아날로그 디지털 변환기(50) 이후에서 신호 대 잡음 비율(SNR: Signal-to-Noise) 성능이 저하되는 문제가 있다.
- [95] 도 3(C)의 (c)는 종래 기술에서와 같이 옵셋 제거 동작이 수행되지 않는 경우를 나타내고 (d)는 도 3(B)와는 달리 옵셋 제거 회로(200)가 광원(1)이 켜질 때만 동작하는 것이 아니라 항상 켜지는 경우의 문제를 나타낸다.
- [96] (c)와 같이 옵셋이 제거되지 않은 경우에는 (a)와 같은 파형이 출력된다.
- [97] (d)와 같이 광원이 꺼져 있는 경우에도 옵셋을 제거하면 광원이 꺼진 경우에는 옵셋 제거 회로(200)에서 음의 신호가 출력되어 (c)를 음의 방향으로 쉬프트한 것과 같은 파형이 출력된다.
- [98] (d)가 고주파 필터(41)를 통과하면 DC 성분이 제거되므로 그 이후에는 (c)와 (d)가 동일한 파형을 가지게 된다.

- [99] 이는 읍셋 제거 동작을 지속적으로 수행하는 경우에는 읍셋을 제거하지 않은 것과 마찬가지로 문제를 야기함을 의미한다.
- [100] 이와 같이 본 발명에서는 읍셋 제거 회로(200)의 동작을 광원(1)이 켜지는 구간으로 한정하여 (b)와 같이 노이즈의 영향을 온전하게 제거하여 동적 범위를 크게 하고 신호 대 잡음비율 성능을 높일 수 있다.
- [101] 도 4는 본 발명의 일 실시예에 의한 읍셋 제거 회로(200)를 나타낸다.
- [102] 도 4의 읍셋 제거 회로(200)는 차동 입출력을 가지는 연산 증폭기 형태이다.
- [103] 읍셋 제거 회로(200)는 연산 증폭 회로(210)와 제 1 읍셋 조절 회로(220)를 포함한다.
- [104] 연산 증폭 회로(210)는 입력 트랜지스터(T1, T2)를 포함하는 입력 회로(211)를 포함한다.
- [105] 본 실시예에서 제 1 입력 트랜지스터(T1), 제 2 입력 트랜지스터(T2)는 모두 PMOS 트랜지스터이다. 트랜지스터의 종류는 실시예에 따라 변경될 수 있다.
- [106] 연산 증폭 회로(210)는 입력 회로(211)에 인가되는 차동 입력 신호(INP, INN)의 차이를 증폭하여 차동 출력 신호(OUTP, OUTN)를 출력한다.
- [107] 연산 증폭 회로(210)는 입력 회로(211)를 포함하여 연산 증폭 기능을 수행하는 것이면 내부적으로 어떠한 회로 구조를 가지더라도 무방하다.
- [108] 연산 증폭 회로(210)는 예를 들어 종래의 연산 증폭기와 동일한 회로 구조를 가질 수 있다.
- [109] 입력 회로(211)의 제 1 입력 트랜지스터(T1)의 게이트에는 제 1 입력 신호(INP)가 인가되고 제 2 입력 트랜지스터(T2)의 게이트에는 제 2 입력 신호(INN)가 인가된다.
- [110] 제 1 입력 트랜지스터(T1)의 소스와 드레인은 제 1 노드(N11)와 제 2 노드(N12) 사이에 연결된다.
- [111] 본 실시예에서 제 1 읍셋 조절 회로(220)는 제 1 입력 트랜지스터(T1)에 병렬 연결되어 제 1 읍셋 제어 신호(S1)와 제 2 활성화 제어 신호(EN2)에 따라 제 1 노드(N11)와 제 2 노드(N12) 사이에 흐르는 전류의 크기를 조절하여 제 1 입력 트랜지스터(T1)의 크기를 조절하는 것과 실질적으로 동일한 기능을 수행한다.
- [112] 제 1 읍셋 조절 회로(220)는 직렬 연결된 제 11 트랜지스터(T11)와 제 12 트랜지스터(T12)를 포함하는 제 1 트랜지스터 어레이(221)를 포함한다.
- [113] 본 실시예에서 제 11 입력 트랜지스터(T11), 제 12 입력 트랜지스터(T12)는 모두 PMOS 트랜지스터이다. 트랜지스터의 종류는 실시예에 따라 변경될 수 있다.
- [114] 다수의 제 1 트랜지스터 어레이(221)는 제 1 노드(N11)와 제 2 노드(N12) 사이에 병렬 연결된다.
- [115] 제 12 트랜지스터(T12)의 게이트에는 제 1 입력 신호(INP)가 공통 입력된다.
- [116] 본 실시예에서 제 11 트랜지스터(T11)의 게이트에는 제 1 읍셋 제어 신호(S1)의 대응하는 비트와 제 2 활성화 제어 신호(EN2)를 낸드 연산한 신호가 인가된다.

- [117] 이를 위하여 제 1 읍셋 조절 회로(220)는 제 1 트랜지스터 어레이(221)의 개수에 대응하는 다수의 논리 회로(222)를 포함한다.
- [118] 본 실시예에서 논리 회로(222)는 낸드 게이트이나 논리 연산의 종류 및 논리 회로의 종류는 실시예에 따라 변경될 수 있다.
- [119] 제 2 활성화 제어 신호(EN2)가 비활성화되면 제 11 트랜지스터(T11)는 항상 턴오프되므로 제 1 읍셋 조절 회로(220)는 제 1 입력 트랜지스터(T1)에 영향을 미치지 않는다.
- [120] 제 1 활성화 제어 신호(EN2)가 활성화되면 제 11 트랜지스터(T11)는 항상 턴온되고, 제 12 트랜지스터(T12)는 제 1 읍셋 제어 신호(S1)의 대응하는 비트에 따라 턴온 또는 턴오프되어 제 1 입력 트랜지스터(T1)의 크기를 조절하는 것과 실질적으로 동일한 기능을 수행한다.
- [121] 전술한 바와 같이 제어 회로(100)의 읍셋 탐지기(120)는 제 1 읍셋 제어 신호(S1)를 조절하면서 읍셋 신호가 제거되도록 하는 제 1 읍셋 제어 신호(S1)의 값을 결정하고 이를 레지스터(130)에 저장할 수 있다.
- [122] 도 4의 실시예에서는 제 1 입력 트랜지스터(T1)의 크기만을 조절하는 실시예를 개시하지만 다른 실시예에서는 제 2 입력 트랜지스터(T2)의 크기만을 조절하는 실시예 또는 제 1 입력 트랜지스터(T1)와 제 2 입력 트랜지스터(T2) 모두의 크기를 조절하는 실시예도 가능하다.
- [123] 도 5는 제 1 입력 트랜지스터(T1)와 제 2 입력 트랜지스터(T2) 모두의 크기를 조절하는 읍셋 제거 회로(200-1)를 개시한다.
- [124] 도 5의 실시예는 제 2 읍셋 조절 회로(230)가 더 포함되는 점을 제외하고 도 4의 실시예와 실질적으로 동일하다.
- [125] 제 2 입력 트랜지스터(T2)의 소스와 드레인은 제 3 노드(N21)와 제 4 노드(N22) 사이에 연결된다.
- [126] 본 실시예에서 제 2 읍셋 조절 회로(230)는 제 2 입력 트랜지스터(T1)에 병렬 연결되어 제 2 읍셋 제어 신호(S2)와 제 2 활성화 제어 신호(EN2)에 따라 제 3 노드(N21)와 제 4 노드(N22) 사이에 흐르는 전류의 크기를 조절하여 제 2 입력 트랜지스터(T2)의 크기를 조절하는 것과 실질적으로 동일한 기능을 수행한다.
- [127] 제 2 읍셋 조절 회로(230)는 직렬 연결된 제 21 트랜지스터(T21)와 제 22 트랜지스터(T22)를 포함하는 제 2 트랜지스터 어레이(231)를 포함한다.
- [128] 본 실시예에서 제 21 입력 트랜지스터(T21), 제 22 입력 트랜지스터(T22)는 모두 PMOS 트랜지스터이다. 트랜지스터의 종류는 실시예에 따라 변경될 수 있다.
- [129] 다수의 제 2 트랜지스터 어레이(231)는 제 3 노드(N21)와 제 4 노드(N22) 사이에 병렬 연결된다.
- [130] 제 22 트랜지스터(T22)의 게이트에는 제 2 입력 신호(INN)가 공통 입력된다.
- [131] 본 실시예에서 제 21 트랜지스터(T21)의 게이트에는 제 2 읍셋 제어 신호(S2)의 대응하는 비트와 제 2 활성화 제어 신호(EN2)를 낸드 연산한 신호가 인가된다.

- [132] 이를 위하여 제 2 읍셋 조절 회로(230)는 제 2 트랜지스터 어레이(231)의 개수에 대응하는 다수의 논리 회로(232)를 포함한다.
- [133] 본 실시예에서 논리 회로(232)는 낸드 게이트이나 논리 연산의 종류 및 논리 회로의 종류는 실시예에 따라 변경될 수 있다.
- [134] 제 2 활성화 제어 신호(EN2)가 비활성화되면 제 21 트랜지스터(T21)는 항상 턴오프되므로 제 2 읍셋 조절 회로(230)는 제 2 입력 트랜지스터(T2)에 영향을 미치지 않는다.
- [135] 제 2 활성화 제어 신호(EN2)가 활성화되면 제 21 트랜지스터(T21)는 항상 턴온되고, 제 22 트랜지스터(T22)는 제 2 읍셋 제어 신호(S2)의 대응하는 비트에 따라 턴온 또는 턴오프되어 제 2 입력 트랜지스터(T2)의 크기를 조절하는 것과 실질적으로 동일한 기능을 수행한다.
- [136] 전술한 바와 같이 제어 회로(100)의 읍셋 탐지기(120)는 제 1 읍셋 제어 신호(S1)와 제 2 읍셋 제어 신호(S2)를 독립적으로 조절하면서 읍셋 신호가 제거되도록 하는 제 1 읍셋 제어 신호(S1)와 제 2 읍셋 제어 신호(S2)의 값을 결정하고 이를 레지스터(130)에 저장할 수 있다.
- [137] 본 발명의 권리범위는 이상의 개시로 한정되는 것은 아니다. 본 발명의 권리범위는 청구범위에 문언적으로 기재된 범위와 그 균등범위를 기준으로 해석되어야 한다.

청구범위

- [청구항 1] 입력 신호를 인가받는 입력 회로를 포함하고 상기 입력 신호를 증폭한 출력 신호를 출력하는 증폭 회로; 및
활성화 제어 신호 및 오프셋 제어 신호에 따라 상기 입력 회로를 제어하여 오프셋을 조절하는 오프셋 조절 회로를 포함하되,
상기 오프셋 조절 회로는 상기 활성화 제어 신호가 활성화된 경우 상기 오프셋 제어 신호에 따라 상기 오프셋을 조절하는 증폭기.
- [청구항 2] 청구항 1에 있어서, 상기 입력 회로는 입력 트랜지스터를 포함하고, 상기 오프셋 조절 회로는 상기 입력 트랜지스터에 병렬 연결되는 다수의 트랜지스터 어레이를 포함하되,
상기 다수의 트랜지스터 어레이 각각은 상기 입력 신호에 따라 제어되는 트랜지스터와 상기 활성화 제어 신호 및 상기 오프셋 제어 신호에 따라 제어되는 트랜지스터가 직렬 연결되는 증폭기.
- [청구항 3] 청구항 2에 있어서, 상기 오프셋 제어 신호와 상기 활성화 제어 신호를 논리 연산하여 상기 다수의 트랜지스터 어레이를 제어하는 다수의 논리 회로를 더 포함하는 증폭기.
- [청구항 4] 차동 신호인 제 1 입력 신호와 제 2 입력 신호를 인가받는 입력 회로를 포함하고 상기 제 1 입력 신호와 제 2 입력 신호의 차이를 증폭한 차동 출력 신호를 출력하는 증폭 회로; 및
활성화 제어 신호와 제 1 오프셋 제어 신호에 따라 상기 입력 회로를 제어하여 오프셋을 조절하는 제 1 오프셋 조절 회로를 포함하되,
상기 제 1 오프셋 조절 회로는 상기 활성화 제어 신호가 활성화된 경우 상기 제 1 오프셋 제어 신호에 따라 상기 오프셋을 조절하는 회로를 포함하는 증폭기.
- [청구항 5] 청구항 4에 있어서, 상기 입력 회로는 제 1 입력 신호를 수신하는 제 1 입력 트랜지스터와 제 2 입력 신호를 수신하는 제 2 입력 트랜지스터를 포함하고, 상기 제 1 오프셋 조절 회로는 상기 제 1 입력 트랜지스터에 병렬 연결되는 다수의 제 1 트랜지스터 어레이를 포함하되,
상기 다수의 제 1 트랜지스터 어레이 각각은 상기 활성화 제어 신호 및 상기 제 1 오프셋 제어 신호에 따라 제어되는 제 11 트랜지스터와 상기 제 1 입력 신호에 따라 제어되는 제 12 트랜지스터가 직렬 연결되는 증폭기.
- [청구항 6] 청구항 5에 있어서, 상기 제 1 오프셋 제어 신호와 상기 활성화 제어 신호를 논리 연산하여 상기 다수의 제 1 트랜지스터 어레이를 제어하는 다수의 논리 회로를 더 포함하는 증폭기.
- [청구항 7] 청구항 5에 있어서, 상기 활성화 제어 신호와 제 2 오프셋 제어 신호에 따라

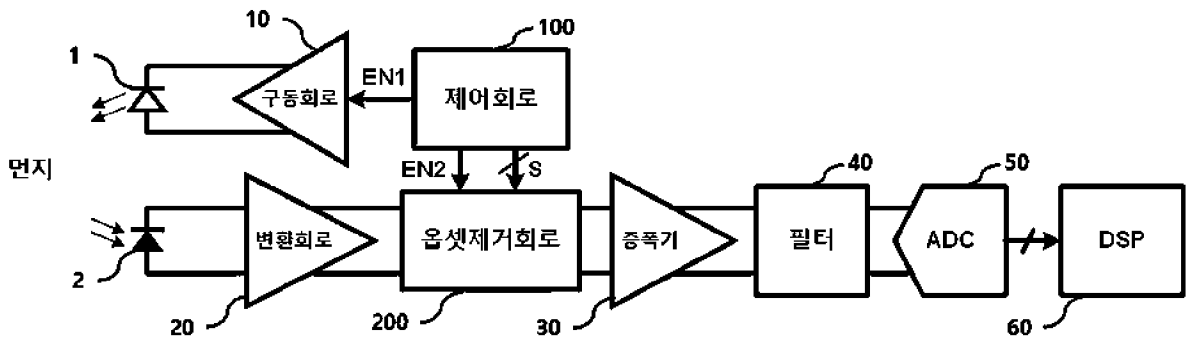
- 상기 입력 회로를 제어하여 읍셋을 조절하는 제 2 읍셋 조절 회로를 더 포함하되,
- 상기 제 2 읍셋 조절 회로는 상기 제 2 입력 트랜지스터에 병렬 연결되는 다수의 제 2 트랜지스터 어레이를 포함하고,
- 상기 다수의 제 2 트랜지스터 어레이 각각은 상기 활성화 제어 신호 및 상기 제 2 읍셋 제어 신호에 따라 제어되는 제 21 트랜지스터와 상기 제 2 입력 신호에 따라 제어되는 제 22 트랜지스터가 직렬 연결되는 증폭기.
- [청구항 8] 청구항 7에 있어서, 상기 제 2 읍셋 제어 신호와 상기 활성화 제어 신호를 논리 연산하여 상기 다수의 제 2 트랜지스터 어레이를 제어하는 다수의 논리 회로를 더 포함하는 증폭기.
- [청구항 9] 매질에 소스 신호를 출력하는 신호 출력 회로;
상기 매질을 통과한 소스 신호를 수신하는 신호 수신 회로;
읍셋 제어 신호에 따라 상기 신호 출력 회로에서 출력되는 신호로부터 읍셋을 제거하여 출력하는 읍셋 제거 회로;
상기 읍셋 제거 회로의 출력으로부터 생성된 신호를 디지털로 변환하는 아날로그 디지털 변환기; 및
상기 신호 출력 회로와 상기 읍셋 제거 회로를 제어하여 상기 읍셋 제어 신호를 출력하는 제어 회로
를 포함하되,
상기 제어 회로는 제 1 활성화 제어 신호에 따라 상기 신호 출력 회로의 활성화 여부를 제어하고, 제 2 활성화 제어 신호에 따라 상기 읍셋 제거 회로의 활성화 여부를 제어하는 센서.
- [청구항 10] 청구항 9에 있어서, 상기 신호 출력 회로는 광원과 상기 광원을 제어하는 구동 회로를 포함하고 상기 신호 수신 회로는 광 수신기와 상기 광 수신기의 출력을 전압 신호로 변환하는 변환 회로를 포함하는 센서.
- [청구항 11] 청구항 9에 있어서, 상기 제어 회로는 상기 신호 출력 회로가 동작하는 도중에 상기 읍셋 제거 회로가 동작하도록 상기 제 1 활성화 제어 신호와 상기 제 2 활성화 제어 신호를 출력하는 타이밍 제어기를 포함하는 센서.
- [청구항 12] 청구항 11에 있어서, 상기 타이밍 제어기는 상기 신호 출력 회로를 활성화하기 이전에 상기 읍셋 제거 회로를 먼저 활성화하도록 상기 제 1 활성화 제어 신호와 상기 제 2 활성화 제어 신호를 출력하고,
상기 아날로그 디지털 변환기는 상기 신호 출력 회로와 상기 읍셋 제거 회로가 모두 활성화된 상태에서 아날로그 디지털 변환 동작을 수행하는 센서.
- [청구항 13] 청구항 11에 있어서, 상기 타이밍 제어기는 상기 신호 출력 회로를 간헐적으로 활성화시키도록 상기 제 1 활성화 제어 신호를 출력하는 센서.
- [청구항 14] 청구항 9에 있어서, 상기 제어 회로는 일정한 범위에서 상기 읍셋 제어

- 신호를 조절하는 동안 상기 아날로그 디지털 변환기의 출력에 따라 상기
 읍셋 제어 신호를 결정하는 읍셋 탐지기를 포함하는 센서.
- [청구항 15] 청구항 14에 있어서, 상기 제어 회로는 온도를 감지하는 온도 감지 회로를
 더 포함하고, 상기 읍셋 탐지기는 감지된 온도에 따라 상기 읍셋 제어
 신호를 갱신하는 센서.
- [청구항 16] 청구항 9에 있어서, 상기 제어 회로는 상기 읍셋 제어 신호를 저장하는
 레지스터를 포함하는 센서.
- [청구항 17] 청구항 9에 있어서, 상기 읍셋 제거 회로는
 입력 신호를 인가받는 입력 회로를 포함하고 상기 입력 신호를 증폭한
 출력 신호를 출력하는 증폭 회로; 및
 상기 제 2 활성화 제어 신호 및 상기 읍셋 제어 신호에 따라 상기 입력
 회로를 제어하여 읍셋을 조절하는 읍셋 조절 회로
 를 포함하되,
 상기 읍셋 조절 회로는 상기 제 2 활성화 제어 신호가 활성화된 경우 상기
 읍셋 제어 신호에 따라 상기 읍셋을 조절하는 센서.
- [청구항 18] 청구항 17에 있어서, 상기 입력 회로는 입력 트랜지스터를 포함하고, 상기
 읍셋 조절 회로는 상기 입력 트랜지스터에 병렬 연결되는 다수의
 트랜지스터 어레이를 포함하되,
 상기 다수의 트랜지스터 어레이 각각은 상기 입력 신호에 따라 제어되는
 트랜지스터와 상기 제 2 활성화 제어 신호와 상기 읍셋 제어 신호에 따라
 제어되는 트랜지스터가 직렬 연결되는 센서.
- [청구항 19] 청구항 9에 있어서, 상기 신호 수신 회로에서 출력되는 신호는 차동
 신호이고, 상기 읍셋 제거 회로는
 차동 신호인 제 1 입력 신호와 제 2 입력 신호를 인가받는 입력 회로를
 포함하고 상기 제 1 입력 신호와 제 2 입력 신호의 차이를 증폭한 차동
 출력 신호를 출력하는 증폭 회로; 및
 상기 제 2 활성화 제어 신호와 상기 읍셋 제어 신호에 포함되는 제 1 읍셋
 제어 신호에 따라 상기 입력 회로를 제어하여 읍셋을 조절하는 제 1 읍셋
 조절 회로
 를 포함하되,
 상기 제 1 읍셋 조절 회로는 상기 제 2 활성화 제어 신호가 활성화된 경우
 상기 제 1 읍셋 제어 신호에 따라 상기 읍셋을 조절하는 센서.
- [청구항 20] 청구항 19에 있어서, 상기 입력 회로는 제 1 입력 신호를 수신하는 제 1
 입력 트랜지스터와 제 2 입력 신호를 수신하는 제 2 입력 트랜지스터를
 포함하고, 상기 제 1 읍셋 조절 회로는 상기 제 1 입력 트랜지스터에 병렬
 연결되는 다수의 제 1 트랜지스터 어레이를 포함하되,
 상기 다수의 제 1 트랜지스터 어레이 각각은 상기 제 2 활성화 제어
 신호와 상기 제 1 읍셋 제어 신호에 따라 제어되는 제 11 트랜지스터와

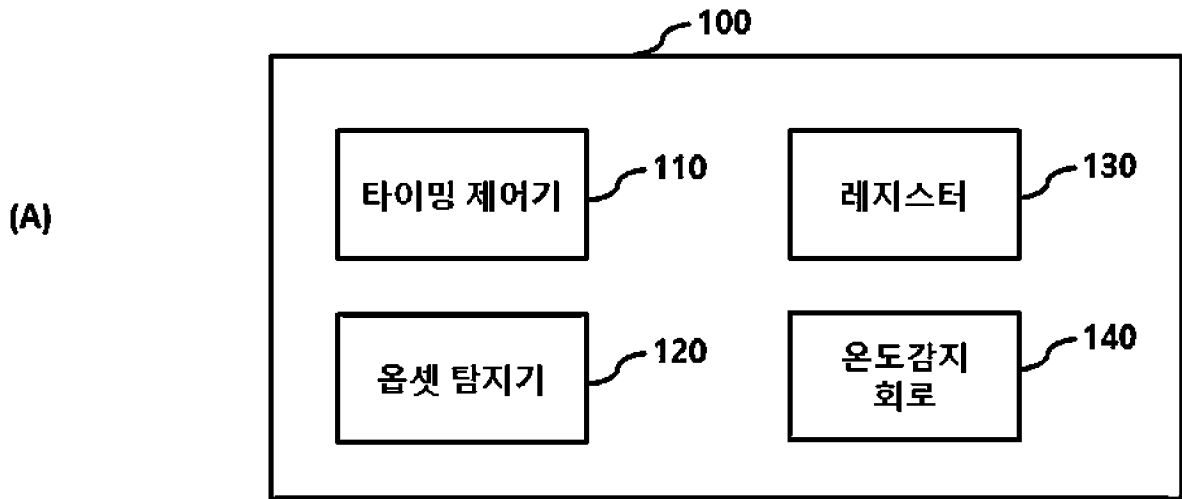
상기 제 1 입력 신호에 따라 제어되는 제 12 트랜지스터가 직렬 연결되는 센서.

- [청구항 21] 청구항 20에 있어서, 상기 업셋 제어 신호에 포함되는 제 2 업셋 제어 신호와 상기 제 2 활성화 제어 신호에 따라 상기 입력 회로를 제어하여 업셋을 조절하는 제 2 업셋 조절 회로를 더 포함하되, 상기 제 2 업셋 조절 회로는 상기 제 2 입력 트랜지스터에 병렬 연결되는 다수의 제 2 트랜지스터 어레이를 포함하고, 상기 다수의 제 2 트랜지스터 어레이 각각은 상기 제 2 활성화 제어 신호 및 상기 제 2 업셋 제어 신호에 따라 제어되는 제 21 트랜지스터와 상기 제 2 입력 신호에 따라 제어되는 제 22 트랜지스터가 직렬 연결되는 센서.
- [청구항 22] 청구항 9에 있어서, 상기 업셋 제거 회로의 출력을 증폭하는 증폭기 또는 상기 업셋 제거 회로의 출력을 필터링하는 필터를 더 포함하되, 상기 증폭기 또는 상기 필터의 출력이 상기 아날로그 디지털 변환기에 입력되는 센서.
- [청구항 23] 청구항 9에 있어서, 상기 아날로그 디지털 변환기의 출력을 처리하는 디지털 신호 처리 회로를 더 포함하는 센서.

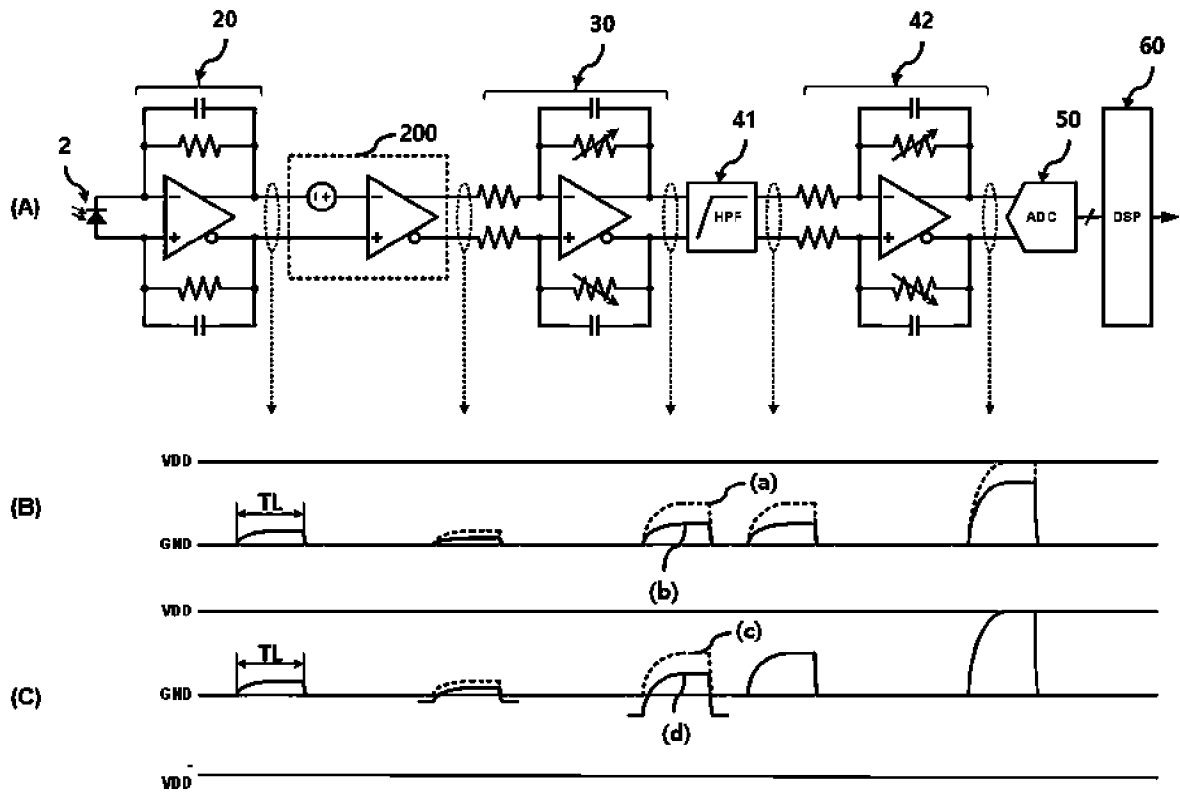
[도1]



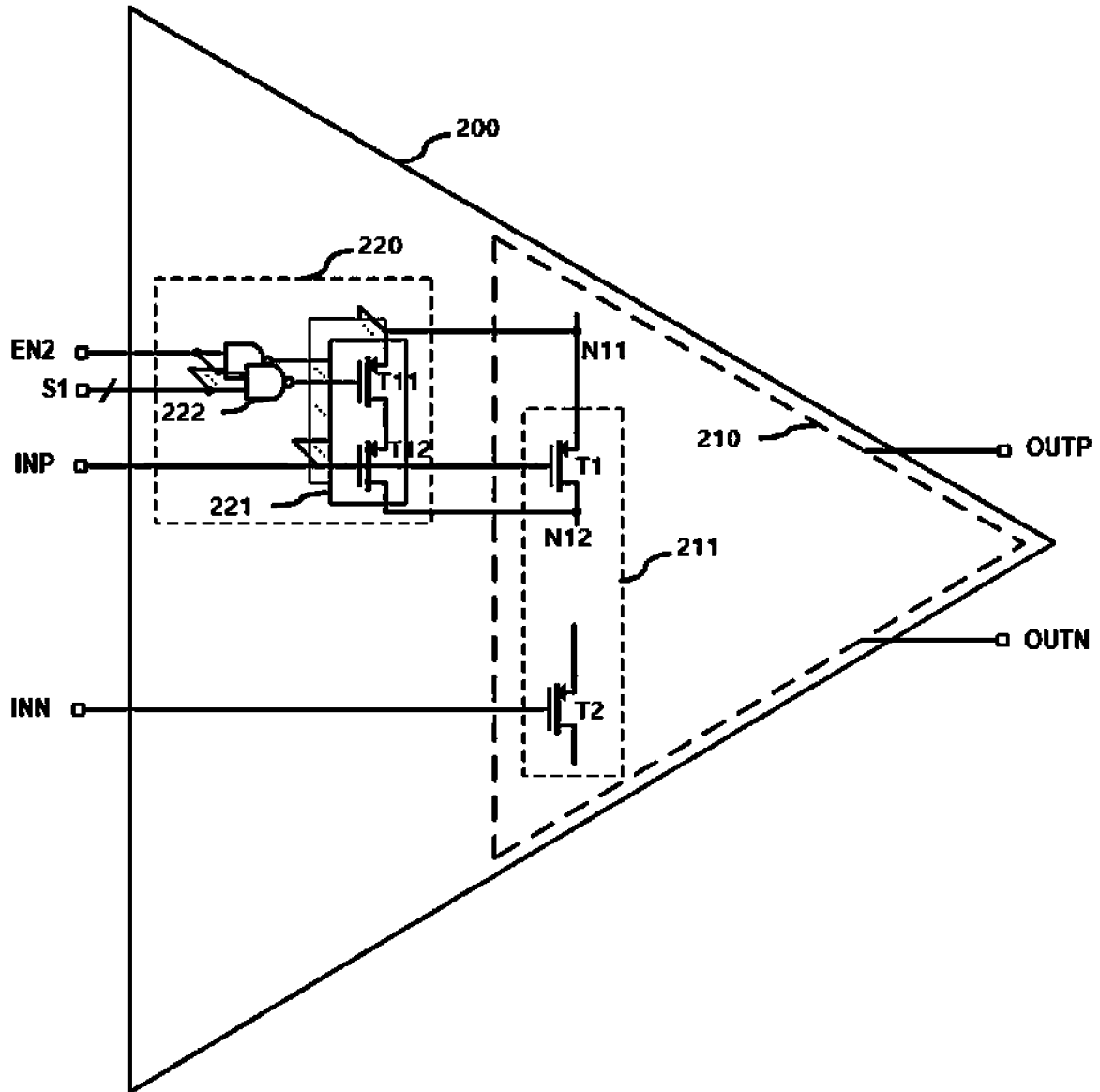
[도2]



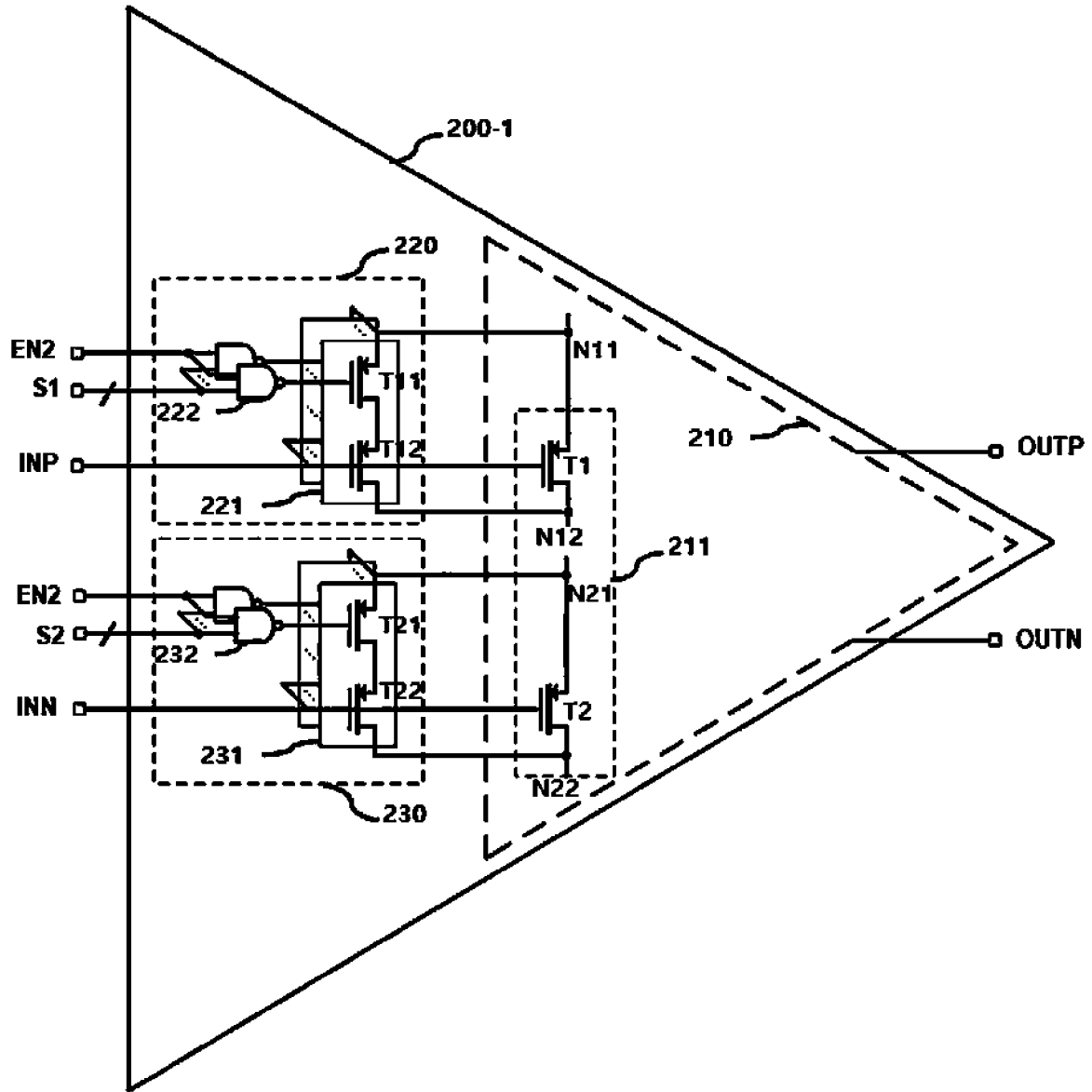
[도3]



[도4]



[도5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/004435

A. CLASSIFICATION OF SUBJECT MATTER

H03F 3/45(2006.01)i, H03F 3/00(2006.01)i, G01N 15/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F 3/45; G01R 1/30; G01R 35/00; G11C 7/06; G11C 7/08; H03F 3/34; H03F 3/00; G01N 15/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: amplifier, offset, active, transistor

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	SHIN, Woo-yeol. An Impedance-Matched Bidirectional Multi-Drop Memory Interface. Department of electrical engineering and computer science college of engineering Seoul national university. January 2013 See pages 76-77 and figure 4.3.2.	1,4
Y		17,19
A		2-3,5-16,18,20-23
X	HARTLEY, L. et al. Hybrid Integration of an Active Pixel Sensor and Microfluidics for Cytometry on a Chip. IEEE Transactions on Circuits and Systems I: Regular Papers. vol. 54, no. 1, pages 99-110, January 2017 See pages 101-104 and figures 4, 8.	9-10,14-16,22-23
Y		17,19
A		1-8,11-13,18,20-21
A	KR 10-2017-0071808 A (SK HYNIX INC.) 26 June 2017 See paragraphs [0027]-[0047] and figures 3-5.	1-23
A	KR 10-2017-0066044 A (SAMSUNG ELECTRONICS CO., LTD.) 14 June 2017 See paragraphs [0015]-[0054] and figures 1-3.	1-23
A	JP 2009-284150 A (PANASONIC CORP.) 03 December 2009 See paragraphs [0040]-[0110] and figures 1-7.	1-23

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

05 AUGUST 2019 (05.08.2019)

Date of mailing of the international search report

05 AUGUST 2019 (05.08.2019)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/004435

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2017-0071808 A	26/06/2017	US 9543904 B1	10/01/2017
KR 10-2017-0066044 A	14/06/2017	None	
JP 2009-284150 A	03/12/2009	CN 101587699 A US 2009-0289703 A1 US 7795961 B2	25/11/2009 26/11/2009 14/09/2010

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H03F 3/45(2006.01)i, H03F 3/00(2006.01)i, G01N 15/02(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)
H03F 3/45; G01R 1/30; G01R 35/00; G11C 7/06; G11C 7/08; H03F 3/34; H03F 3/00; G01N 15/02

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: amplifier (증폭기), offset (오프셋, 오프셋), active (활성), 트랜지스터 (transistor)

C. 관련 문헌

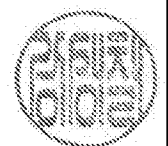
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	WOO-YEOL SHIN. 'An Impedance-matched bidirectional multi-drop memory interface', Department of electrical engineering and computer science college of engineering Seoul national university, 2013.01. 페이지 76-77 및 도면 4.3.2. 참조.	1,4
Y A		17, 19 2-3, 5-16, 18, 20-23
X	L. Hartley 등. 'Hybrid integration of an active pixel sensor and microfluidics for cytometry on a chip', IEEE Transactions on circuits and systems-I: Regular papers, vol. 54, no. 1, pp. 99-110, 2017.01. 페이지 101-104 및 도면 4, 8 참조.	9-10, 14-16, 22-23
Y A		17, 19 1-8, 11-13, 18, 20-21
A	KR 10-2017-0071808 A (에스케이하이닉스 주식회사) 2017.06.26 단락 [0027]-[0047] 및 도면 3-5 참조.	1-23
A	KR 10-2017-0066044 A (삼성전자주식회사) 2017.06.14 단락 [0015]-[0054] 및 도면 1-3 참조.	1-23
A	JP 2009-284150 A (PANASONIC CORP.) 2009.12.03 단락 [0040]-[0110] 및 도면 1-7 참조.	1-23

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 "A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 "T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 "E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 "X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 "L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 "Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 "O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 "&" 동일한 대응특허문헌에 속하는 문헌
 "P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일 2019년 08월 05일 (05.08.2019)	국제조사보고서 발송일 2019년 08월 05일 (05.08.2019)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 강성철 전화번호 +82-42-481-8405
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2017-0071808 A	2017/06/26	US 9543904 B1	2017/01/10
KR 10-2017-0066044 A	2017/06/14	없음	
JP 2009-284150 A	2009/12/03	CN 101587699 A US 2009-0289703 A1 US 7795961 B2	2009/11/25 2009/11/26 2010/09/14