



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

253269

(11) B₁

(51) Int. Cl.⁴

G 06 F 15/332

(61)

(23) Výstavní priorita
(22) Přihlášeno 19 01 83
(21) PV 350-83
(89) 1078433, SU

(40) Zveřejněno 13 06 85
(45) Vydáno 04.05.88

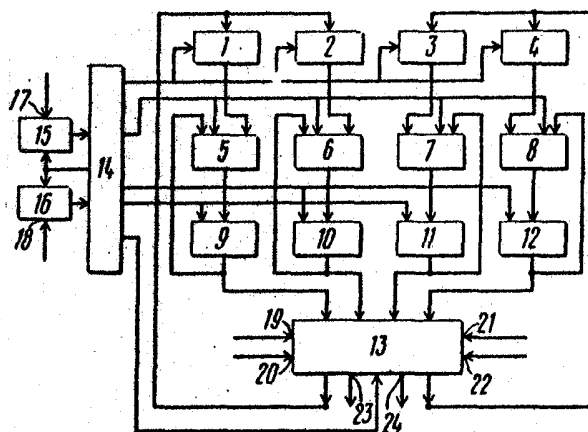
(75)
Autor vynálezu

MAXIMOV BORIS ARONVIČ,
SUMAROKOV VIKTOR VLADIMIROVIČ,
ČEREPOV VIKTOR FILIPPOVIČ, GATČINA (SU)

(54)

Zařízení pro rychlou Fourierovu transformaci

Zařízení pro rychlou Fourierovou transformaci se týká oblasti výpočetní techniky a je určeno k použití v aparatuře při spektrální korekční analýze signálů. Podstata řešení záleží v tom, že zařízení, které obsahuje čtyři vstupní registry, první sumátor, čtyři součinnové registry, dva registry vektoru otáčení, komutátor a řídicí blok, má kromě toho zapojeny druhý, třetí a čtvrtý sumátor, přičemž komutátor je spojen se vstupními registry, připojenými k příslušným sumátorům, jejichž výstupy jsou připojeny k součinným registrům. Výstupy součinných registrů jsou připojeny k příslušným sumátorům a výstupy registrů vektoru otáčení k řídicímu bloku, který je spojen se sumátory, se součinnými registry a tyto ke komutátoru.



Заявлено: 07.07.81

Заявка: № 3356015/18-24

МКИ³ G 06 G 15/332

Авторы: Б.А.Максимов, В.В.Сумароков и В.Ф.Черепов

Заявитель: авторы

Название изобретения: УСТРОЙСТВО ДЛЯ БЫСТРОГО ПРЕОБРАЗОВАНИЯ ФУРЬЕ

Изобретение относится к автоматике и вычислительной технике и предназначено для использования в аппарате при спектрально-корреляционном анализе сигналов.

Известно устройство для быстрого преобразования Фурье, содержащее четыре сумматора, три множительных блока, два сумматора-вычитателя и четыре регистра результата [1].

Недостатком такого устройства является большой объем оборудования, связанный с тем, что во время выполнения операции умножения четыре сумматора и два сумматора-вычитателя бездействуют, кроме того устройство ориентировано на выполнение только одного алгоритма - прямого быстрого преобразования Фурье.

Наиболее близким техническим решением к изобретению является устройство для быстрого преобразования Фурье, содержащее четыре входных регистра, два регистра вектора поворота, коммутатор, четыре регистра произведений, блок управления, коммутатор сомножителей, блок умножения и регистры слагаемых [2].

Недостатком известного устройства является малое быстродействие.

Цель изобретения - повышение быстродействия устройства.

Поставленная цель достигается тем, что в устройство для быстрого преобразования Фурье, содержащее четыре входных регистра, первый сумматор, четыре регистра произведений, два регистра вектора поворота, коммутатор и блок управления, причем входы регистров вектора поворота являются входами действительной и мнимой частей вектора поворота устройства, выходы регистров произведений подключены к первой группе информационных входов коммутатора, первый выход блока управления подключен к входам управления сдвигом регистров вектора поворота, второй выход блока управления подключен к входам управления сдвигом входных регистров, третий выход блока управления подключен к управляющему входу коммутатора, введены второй, третий и четвертый сумматоры, причем первый выход коммутатора подключен к информационным входам первого и второго входных регистров, второй выход коммутатора подключен к информационным входам третьего и четверто-

го входных регистров, выходы входных регистров подключены к первым информационным входам соответствующих сумматоров, выходы сумматоров подключены к информационным входам соответствующих регистров произведений, выходы регистров произведений подключены к вторым информационным входам соответствующих сумматоров, последовательные выходы регистров вектора поворота подключены к соответствующим управляющим входам блока управления, четвертый выход блока управления подключен к входам задания режима сумматоров, пятый выход блока управления подключен к входам управления записью первого и третьего регистров произведений, шестой выход блока управления подключен к входам управления записью второго и четвертого регистров произведений, вторая и третья группы информационных входов являются входами первого и второго комплексных операндов устройства, третий и четвертый выходы коммутатора являются выходами комплексного результата устройства.

Блок управления состоит из четырехразрядного регистра сдвига, трехразрядного счетчика, двух элементов И и блока постоянной памяти, причем первые входы элементов И подключены к тактовому входу устройства, выход первого элемента И подключен к управляющему входу регистра сдвига, выход четвертого разряда регистра сдвига подключен к входу его первого разряда, выход третьего разряда регистра сдвига подключен к второму входу второго элемента И, выход второго элемента И подключен к входу счетчика, выход "Переполнение счетчика" подключен к второму входу первого элемента И, управляющие входы блока управления подключены к первой группе адресных входов блока постоянной памяти, разрядные выходы регистра сдвига подключены к второй группе адресных входов блока постоянной памяти, выходы блока постоянной памяти являются выходами блока управления.

На фиг.1 приведена функциональная схема устройства; на фиг.2 - схема блока управления.

Устройство состоит из входных регистров 1, 2, 3, 4, сумматоров 5, 6, 7, 8, регистров 9, 10, 11, 12 произведений, коммутатора 13, блока 14 управления, регистров 15 и 16 вектора поворота, причем информационные входы 17 и 18 регистров 15, 16 вектора поворота и информационные входы 19, 20, 21, 22 коммутатора являются входами устройства, а выходы 23 и 24 коммутатора являются выходами устройства.

Блок управления состоит из элементов И 25 и 26, четырехразрядного регистра 27 сдвига, трехразрядного счетчика 28 и блока 29 постоянной памяти.

Устройство выполняет следующие операции (прореживание по частоте):

$$\text{ReA}_{i+1} = \text{ReA}_i + \text{ReB}_i;$$

$$\text{ImA}_{i+1} = \text{ImA}_i + \text{ImB}_i;$$

$$\text{ReB}_{i+1} = \text{ReW}_i (\text{ReA}_i - \text{ReB}_i) - \text{ImW}_i (\text{ImA}_i - \text{ImB}_i)$$

$$\text{ImB}_{i+1} = \text{ImW}_i (\text{ReA}_i - \text{ReB}_i) + \text{ReW}_i (\text{ImA}_i - \text{ImB}_i)$$

где A_i - первое входное комплексное число;

B_i - второе входное комплексное число;

W_i - вектор поворота.

Устройство работает следующим образом.

В исходном состоянии регистры 9-12 произведений обнулены. Коммутатор 13 направляет в регистры 1 и 2 величину ReA_i , а в регистры 3 и 4 величину ImA_i . Суммируясь с нулевым содержимым регистров 9-12 на сумматорах 5-8, эти величины без изменения записываются в регистры 9-12. На этом первый такт работы устройства закончен. Коммутатор 13 направляет в регистры 1 и 2 входную величину ReB_i , а в регистры 3 и 4 входную величину ImB_i , и на сумматорах 5-8 образуются следующие величины: на сумматоре 5 - $(\text{ReA}_i + \text{ReB}_i)$, на сумматоре 6 - $(\text{ReA}_i -$

— ReB_i), на сумматоре 7 ($\text{ImA}_i + \text{ImB}_i$), на сумматоре 8 — ($\text{ImA}_i - \text{ImB}_i$). Величины с выходов сумматоров записываются в регистры 9–12. С выхода регистров 9 и 11 величины ReA_{i+1} и ImB_{i+1} , равные соответственно ($\text{ReA}_i + \text{ReB}_i$) и ($\text{ImA}_i + \text{ImB}_i$), через коммутатор 13 подаются на выходы 23 и 24 устройства соответственно. На этом второй такт работы устройства закончен.

Коммутатор 13 направляет информацию с выхода регистра 10 в регистры 1 и 2, а с выхода регистра 12 в регистры 3 и 4. Регистры 9–12 обнуляются. На этом третий такт работы устройства закончен.

Затем блок управления начинает операцию умножения, одновременно формируя на регистрах 9–12 четыре величины: $[\text{ReW}_i (\text{ReA}_i - \text{ReB}_i)]$, $[\text{ImW}_i (\text{ReA}_i - \text{ReB}_i)]$, $[\text{ReW}_i (\text{ImA}_i - \text{ImB}_i)]$, $[\text{ImW}_i (\text{ImA}_i - \text{ImB}_i)]$. Умножение длится столько тактов, сколько разрядов регистров векторов поворота (в наиболее распространенном случае восемь разрядов). Частичные произведения формируются путем сдвигов в регистрах 1–4 и записываются в регистры 9–12, если соответствующий разряд регистра вектора поворота равен единице.

Коммутатор 13 направляет величины с выхода регистра 10 в регистр 3, а с выхода регистра 12 в регистр 1. Величины ReB_{i+1} и ImB_{i+1} с выходов сумматоров 5 и 7 записываются в регистры 9 и 11. С выхода регистров 9 и 11 величины ReB_{i+1} и ImB_{i+1} через коммутатор 13 подаются на выходы 23 и 24 устройства соответственно. На этом последний такт работы устройства закончен.

Блок 14 управления работает следующим образом.

В исходном состоянии на вход регистра 27 сдвига подается логическая единица, счетчик 28 тактов умножения сброшен в нуль, на всех выходах блока 29 постоянной памяти логические нули и, следовательно, не иницируется ни одна микрооперация.

Через элемент И 25 первый тактовый импульс поступает на вход сдвигов регистра 27, логическая единица появляется на выходе регистра a_1 и из блока постоянной памяти вызывает код микроопераций, необходимых на первом такте работы устройства. Единица на входе регистра сбрасывается. Второй тактовый импульс сдвигает единицу из первого разряда регистра во второй, а в первый разряд принимается логический нуль с входа регистра и, таким образом, на всех выходах регистра за исключением выхода a_2 присутствуют нули. Наличие логической единицы на выходе a_2 вызывает выполнение микроопераций, необходимых на втором такте работы устройства. Третий тактовый импульс сдвигает единицу из второго разряда регистра 27 в третий разряд. Начинается выполнение умножения. В зависимости от состояния ('111' или '101') выходов блоков 15 и 16 на регистры 9–12 произведений либо подается сигнал записи, либо нет. Тактовые импульсы с 4-го по 10-й не изменяют состояние регистра 27, так как счетчик, начиная с третьего тактового импульса, блокирует прохождение тактовых импульсов на регистр 27. По этим тактовым импульсам происходит увеличение содержимого счетчика и сдвиги вправо во входных регистрах 1–4. На каждом из тактовых импульсов 4–10 в зависимости от состояния выходов регистров 15 и 16 происходит либо нет запись частичных произведений в регистры 9–12. При достижении счетчиком 28 двоичного кода 000 (переполнение счетчика) вновь разрешается прохождение тактовых импульсов на регистр 27 и единичное состояние переходит из третьего разряда регистра в четвертый разряд. Наличие единицы на выходе a_{11} регистра 27 вызывает выполнение микроопераций, необходимых на 11-ом такте работы устройства. Последующие тактовые импульсы запускают сначала описанный процесс.

Длительность всего цикла преобразования в предлагаемом устройстве при наличии 8-разрядного умножения составляет 11 тактов вместо 34 тактов в известном устройстве. В случае применения в прототипе умножителя на сдвигах и сложениях

предлагаемое устройство обеспечивает примерно в три раза более высокое быстродействие при меньшем количестве оборудования.

ФОРМУЛА ИЗОБРЕТЕНИЯ

1. Устройство для быстрого преобразования Фурье, содержащее четыре входных регистра, первый сумматор, четыре регистра произведений, два регистра вектора поворота, коммутатор и блок управления, причем входы регистров вектора поворота являются входами действительной и мнимой частей вектора поворота устройства, выходы регистров произведений подключены к первой группе информационных входов коммутатора, первый выход блока управления подключен к входам управления сдвигом регистров вектора поворота, второй выход блока управления подключен к входам управления сдвигом входных регистров, третий выход блока управления подключен к управляющему входу коммутатора, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия устройства, в него введены второй, третий и четвертый сумматоры, причем первый выход коммутатора подключен к информационным входам первого и второго входных регистров, второй выход коммутатора подключен к информационным входам третьего и четвертого входных регистров, выходы входных регистров подключены к первым информационным входам соответствующих сумматоров, выходы сумматоров подключены к информационным входам соответствующих регистров произведений, выходы регистров произведений подключены к вторым информационным входам соответствующих сумматоров, последовательные выходы регистров вектора поворота подключены к соответствующим управляющим входам блока управления, четвертый выход блока управления подключен к входам задания режима сумматоров, пятый выход блока управления подключен к входам управления записью первого и третьего регистров произведений, шестой выход блока управления подключен к входам управления записью второго и четвертого регистров произведений, вторая и третья группы информационных входов коммутатора являются входами первого и второго комплексных операндов устройства, третий и четвертый выходы коммутатора являются выходами комплексного результата устройства.

2. Устройство по п.1, о т л и ч а ю щ е е с я тем, что блок управления состоит из четырехразрядного регистра сдвига, трехразрядного счетчика, двух элементов И и блока постоянной памяти, причем первые входы элементов И подключены к тактовому входу устройства, выход первого элемента И подключен к управляющему входу регистра сдвига, выход четвертого разряда регистра сдвига подключен к входу его первого разряда, выход третьего разряда регистра сдвига подключен к второму входу второго элемента И, выход второго элемента И подключен к входу счетчика, выход "Переполнение счетчика" подключен к второму входу первого элемента И, управляющие входы блока управления подключены к первой группе адресных входов блока постоянной памяти, разрядные выходы регистра сдвига подключены к второй группе адресных входов блока постоянной памяти, выходы блока постоянной памяти являются выходами блока управления.

Источники информации, принятые во внимание при экспертизе:

1. Авторское свидетельство СССР № 656070, кл. G 06 F 15/332, 1978.
2. Авторское свидетельство СССР № 736113, кл. G 06 F 15/332, 1979 (прототип).

АННОТАЦИЯ

Устройство для быстрого преобразования Фурье относится к области вычислительной техники и предназначено для использования в аппаратуре при спектраль-

но-корреляционном анализе сигналов. Целью изобретения является повышение быстродействия устройства. Указанная цель достигается тем, что в устройство, содержащее четыре входных регистра, первый сумматор, четыре регистра произведений, два регистра вектора поворота, коммутатор и блок управления, введены второй, третий и четвертый сумматоры, причем коммутатор соединен с входными регистрами, подсоединенными к соответствующим сумматорам, выходы которых подключены к регистрам произведений. Выходы регистров произведений подключены к соответствующим сумматорам, выходы регистров вектора поворота подключены к блоку управления, соединенному с сумматорами, с регистрами произведений, подключенными к коммутатору.

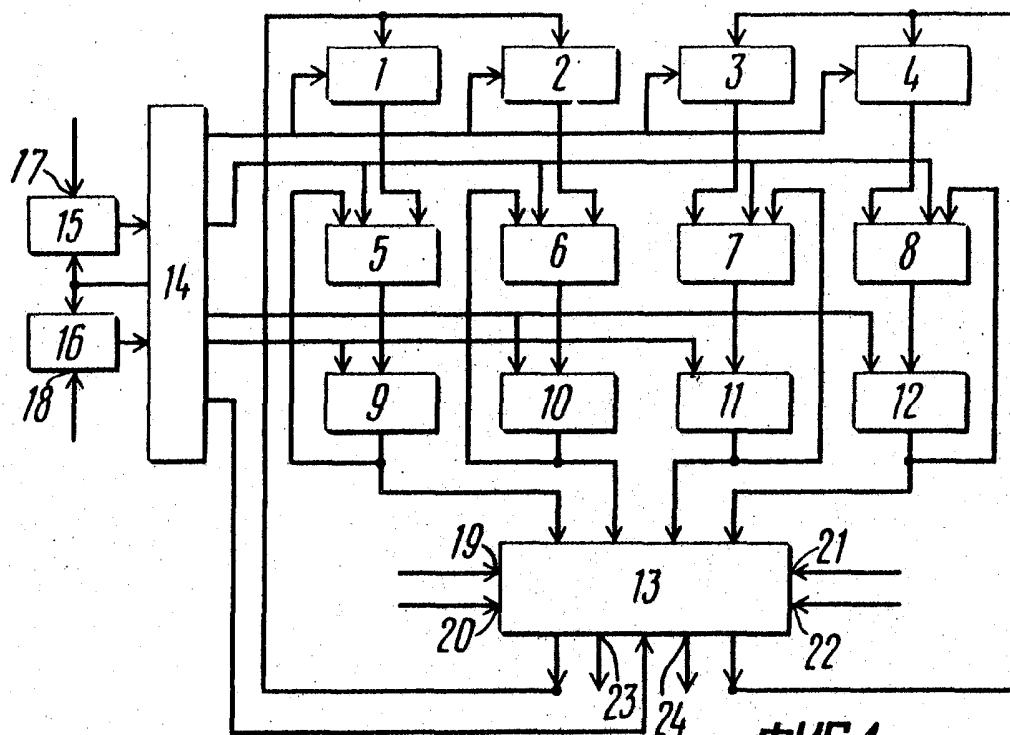
Признано изобретением по результатам экспертизы, осуществленной Государственным Комитетом СССР по делам изобретений и открытий.

1 чертеж

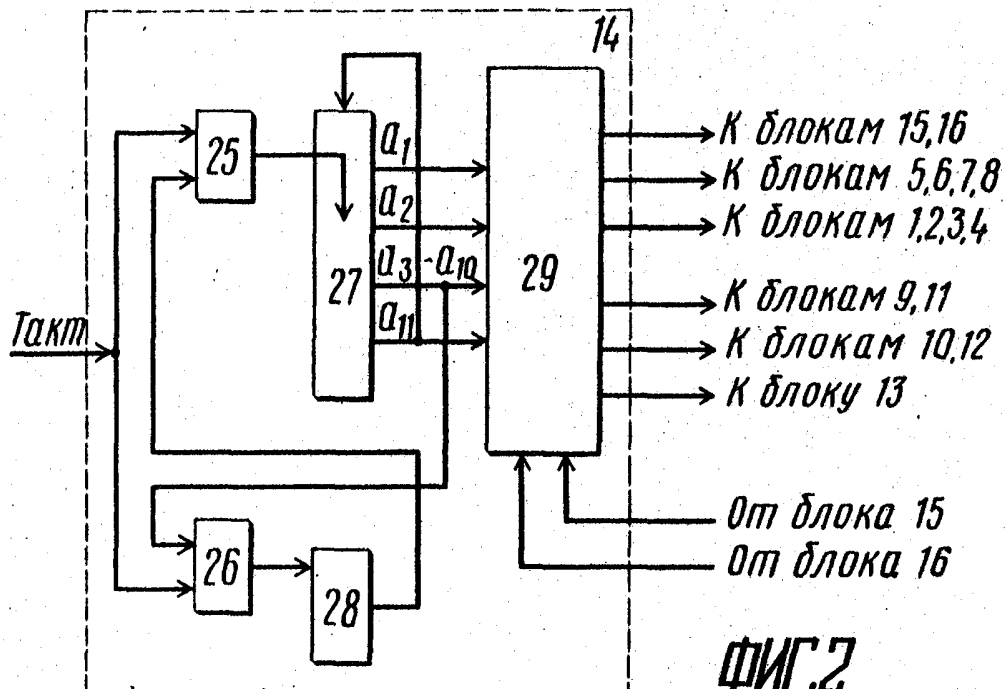
PŘEDMĚT VYNÁLEZU

1. Zařízení pro rychlou Fourierovou transformaci, obsahující čtyři vstupní registry, první sumátor, čtyři součinné registry, dva registry vektoru otáčení, komutátor a řídicí blok, přičemž vstupy registrů vektoru otáčení představují vstupy reálné a imaginární části vektoru otáčení v zařízení, výstupy součinných registrů jsou připojeny k první skupině informačních vstupů komutátoru, první výstup řídicího bloku ke vstupům pro ovládání posuvu registrů vektoru otáčení, druhý výstup řídicího bloku ke vstupům pro ovládání posuvu vstupních registrů, třetí výstup řídicího bloku k řídicímu vstupu komutátoru, vyznačující se tím, že pro urychlení činnosti zařízení jsou v něm zapojeny druhý, třetí a čtvrtý sumátor, přitom první výstup komutátoru je připojen k informačním vstupům prvního a druhého vstupního registru, druhý výstup komutátoru k informačním vstupům třetího a čtvrtého vstupního registru, výstupy vstupních registrů jsou připojeny k prvním informačním vstupům příslušných sumátorů, výstupy sumátorů k informačním vstupům příslušných součinných registrů, výstupy součinných registrů ke druhým informačním vstupům příslušných sumátorů, sériové výstupy registrů vektoru otáčení jsou připojeny k příslušným řídicím vstupům řídicího bloku, čtvrtý výstup řídicího bloku je připojen ke vstupu pro zadání režimu činnosti sumátorů, pátý výstup řídicího bloku ke vstupům pro řízení záznamu prvního a třetího součinného registru, šestý výstup řídicího bloku ke vstupům pro řízení záznamu druhého a čtvrtého součinného registru, druhá a třetí skupina informačních vstupů komutátoru představují vstupy prvního a druhého komplexního operandu zařízení, třetí a čtvrtý výstup komutátoru představují výstupy komplexního výsledku zařízení.

2. Zařízení podle bodu 1, vyznačující se tím, že řídicí blok se skládá ze čtyřřadového posuvného registru, třířadového čítače, dvou součinnových členů a bloku trvalé paměti, přičemž první vstupy součinnových členů jsou připojeny k taktovacímu vstupu zařízení, výstup prvního součinnového členu k řídicímu vstupu posuvného registru, výstup čtvrtého řádu posuvného registru ke vstupu jeho prvního řádu, výstup třetího řádu posuvného registru ke druhému vstupu druhého součinnového členu, výstup druhého součinnového členu ke vstupu čítače, výstup "Přeplnění čítače" je připojen ke druhému vstupu prvního součinnového členu, řídicí vstupy řídicího bloku jsou připojeny k první skupině vstupů adres bloku trvalé paměti a výstupy bloku trvalé paměti představují výstupy řídicího bloku.



ФИГ.1



ФИГ.2