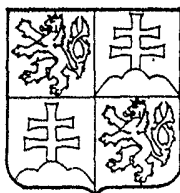


ČESKÁ A SLOVENSKÁ
FEDERATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

271 594

(11)

(13) B1

(51) Int. Cl. ⁵
H 03 K 17/16

(21) PV 6784-88.C

(22) Přihlášeno 13 10 88

(40) Zveřejněno 13 10 89

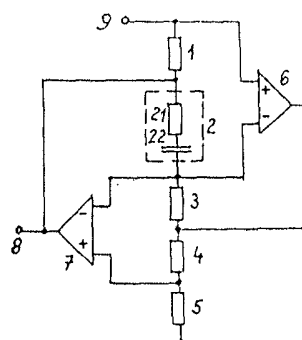
(45) Vydáno 02 09 91

(75) Autor vynálezu MRAZ ZDENĚK ing. CSc., BRNO

(54)

Zapojení integrátoru s potlačeným driftem

(57) Integrátor s potlačeným driftem je určen pro snímání fyzikálních veličin a jiné aplikace v elektronice, kde je zapotřebí přesné integrace signálů. Zapojení tvoří dva operační zesilovače a pět impedancí. Impedance (1) až (5) jsou zapojeny do série a pátá (5) je uzemněna. Na začátek (9) první (1) impedance je připojen vstup integrátoru, který je současně spojen s neinvertujícím vstupem prvního operačního zesilovače (6). Jeho invertující vstup je spojen s invertujícím vstupem druhého operačního zesilovače (7) a připojen na vzájemný spoj druhé a třetí impedance. Neinvertující vstup druhého operačního zesilovače (7) je spojen se vzájemným spojem první (1) a druhé (2) impedance a je současně výstupem integrátoru, přitom výstup prvního operačního zesilovače (6) je spojen se vzájemným spojem třetí (3) a čtvrté (4) impedance. Impedance první (1), třetí (3), čtvrtá (4) a pátá (5) jsou odporů, kdežto druhá (2) impedance je sériové spojení odporů (21) a kapacitoru (22).



Vynález se týká integrátoru, který umožňuje přesnou integraci napěťových signálů použitím dvou operačních zesilovačů se vzájemnými vazbami.

Dosud známá zapojení neumožňují dostatečně přesnou integraci pomalu se měnících signálů. Integrátory se působením driftů nasytí a další integrace je nemožná. Použitím paralelního odporníku ke kapacitoru se sice znemožní nasycení operačního zesilovače, ale integrace probíhá s velkými chybami.

Výše uvedené nedostatky odstraňuje zapojení integrátoru s potlačeným driftem, s pěti impedancemi zapojenými do série, přičemž pátá impedance je uzemněna, se dvěma operačními zesilovači, kde neinvertující vstup prvního operačního zesilovače je spojen se začátkem první impedance, přičemž jeho invertující vstup je spojen s invertujícím vstupem druhého operačního zesilovače a současně je připojen na vzájemný spoj druhé a třetí impedance a kde neinvertující vstup druhého operačního zesilovače je spojen se vzájemným spojem čtvrté a páté impedance, přičemž výstup prvního operačního zesilovače je spojen se vzájemným spojem třetí a čtvrté impedance a výstup druhého operačního zesilovače je spojen se vzájemným spojem první a druhé impedance podle vynálezu, jehož podstatou je, že první, třetí, čtvrtá a pátá impedance jsou odporníky, kdežto druhou impedanci tvoří sériové spojení odporníku a kapacitoru, a že vstup integrátoru je připojen na začátek první impedance, přičemž výstup druhého operačního zesilovače je současně výstupem integrátoru.

Výhodou zapojení podle vynálezu je to, že jsou potlačeny driftы zesilovačů, které zhoršují přesnost integrace. Tím je umožněno použití integrátoru i pro pomalu se měnící signály, kdy se nejvíce projevují chyby integrace.

Na přiloženém výkrese je nakresleno zapojení integrátoru s potlačeným driftem podle vynálezu.

V zapojení integrátoru je použito dvou operačních zesilovačů a pět impedancí. Všechny impedance jsou zapojeny do série, přičemž první 1, třetí 3, čtvrtá 4 a pátá 5 impedance jsou odporníky a druhou impedanci 2 tvoří sériové spojení odporníku 21 a kapacitou 22. Na začátek 9 první impedance 1 je připojen vstup integrátoru a současně neinvertující vstup prvního operačního zesilovače 6. Jeho invertující vstup je spojen s invertujícím vstupem druhého operačního zesilovače 7 a současně připojen na vzájemný spoj druhé 2 a třetí 3 impedance. Neinvertující vstup druhého operačního zesilovače 7 je spojen se vzájemným spojem čtvrté 4 a páté 5 impedance, přičemž druhý vývod páté impedance 5 je uzemněn. Výstup prvního operačního zesilovače 6 je spojen se vzájemným spojem třetí 3 a čtvrté 4 impedance a výstup 8 druhého operačního zesilovače 7 je spojen se vzájemným spojem první 1 a druhé 2 impedance. Výstup 8 je současně výstupem integrátoru s potlačeným driftem.

Označíme-li první impedanci 1 integrátoru jako R_1 , druhou 2 jako $(R_2 + \frac{1}{pC_2})$, třetí 3 jako R_3 , čtvrtou 4 jako R_4 a pátou 5 jako R_5 a dále vstupní napětí u_1 integrátoru jako u_1 a výstupní napětí jako u_0 , pak platí operátorová rovnice:

$$\frac{u_0}{u_1} = 1 - \frac{R_2 R_4}{R_3 R_5} - \frac{R_4}{p C_2 R_3 R_5} \quad 1$$

Když zvolíme odporníky tak, aby platilo:

$$\frac{R_2 R_4}{R_3 R_5} = 1 \quad 2$$

pak:

$$\frac{u_o}{u_1} = \frac{R_4}{p C_2 R_3 R_5} \quad 3)$$

a zapojení působí jako integrátor s časovou konstantou integrace:

$$\tau = \frac{C_2 R_3 R_5}{R_4} \quad 4)$$

Aby se omezil vliv vnitřního odporu zdroje vstupního napětí, je vhodné volit odpor odporníku R_1 mnohem větší, než je vnitřní odpor zdroje vstupního napětí.

Zapojení rovněž může pracovat jako přesný proporcionálně integrační člen, nejsou-li odporníky R_2 až R_5 zvoleny podle dříve uvedené rovnice.

PŘEDMĚT VYNÁLEZU

Zapojení integrátoru s potlačeným driftem, se dvěma operačními zesilovači a pěti impedancemi, kde všech pět impedancí je zapojeno do série a pátá impedance je uzemněna, a kde neinvertující vstup prvního operačního zesilovače je spojen se začátkem první impedance, přičemž jeho invertující vstup je spojen s invertujícím vstupem druhého operačního zesilovače a současně je připojen na vzájemný spoj druhé a třetí impedance a kde neinvertující vstup druhého operačního zesilovače je spojen se vzájemným spojem čtvrté a páté impedance, přičemž výstup prvního operačního zesilovače je spojen se vzájemným spojem třetí a čtvrté impedance a výstup druhého operačního zesilovače je spojen se vzájemným spojem první a druhé impedance, vyznačené tím, že vstup integrátoru je připojen na začátek (9) první impedance (1), přičemž výstup (8) druhého operačního zesilovače (7) je současně výstupem integrátoru s potlačeným driftem, a že první (1), třetí (3), čtvrtá (4) a pátá (5) impedance jsou odporníky, kdežto druhou (2) impedanci tvoří sériové spojení odporníku (21) a kapacitoru (22).

1 výkres

CS 271594 B1

