

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40772
(P2010-40772A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.

H01L 21/3205	(2006.01)
H01L 21/768	(2006.01)
H01L 23/522	(2006.01)
H01L 23/52	(2006.01)

F 1

H01L 21/88
H01L 21/90
H01L 21/88

B
K
M

テーマコード(参考)

5 F O 3 3

審査請求 未請求 請求項の数 2 O L (全 9 頁)

(21) 出願番号

特願2008-202139 (P2008-202139)

(22) 出願日

平成20年8月5日 (2008.8.5)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100087701

弁理士 稲岡 耕作

(74) 代理人 100101328

弁理士 川崎 実夫

(74) 代理人 100129643

弁理士 皆川 祐一

(72) 発明者 高田 嘉久

京都市右京区西院溝崎町21番地 ローム
株式会社内

(72) 発明者 藤山 聰

京都市右京区西院溝崎町21番地 ローム
株式会社内

最終頁に続く

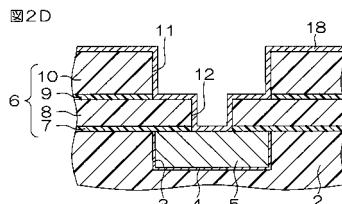
(54) 【発明の名称】半導体装置の製造方法

(57) 【要約】

【課題】溝の側面上における合金膜の膜剥がれの発生を防止することができる、半導体装置の製造方法を提供する。

【解決手段】SiおよびOを含む絶縁材料からなる第2絶縁層6に、第2溝11が形成され、第2溝11と第1溝3とが対向する部分にピアホール12が貫通形成された後、スパッタ法により、CuMn合金からなる合金膜18が第2溝11およびピアホール12の側面および底面に被着される。そして、合金膜18における第2溝11の底面および第1配線5上に被着された部分が薄くされる。その後、合金膜18上に、Cuを主成分とする金属材料からなる第2配線14が形成される。第2配線14の形成後、熱処理により、第2配線と第2絶縁層6との間に、MnSiOからなる第2バリア膜13が形成される。

【選択図】図2D



【特許請求の範囲】

【請求項 1】

SiおよびOを含む絶縁材料からなる絶縁層に溝を形成する溝形成工程と、
スパッタ法により、前記溝の側面および底面に、CuおよびMnを含む合金材料からなる合金膜を被着させる合金膜被着工程と、

前記合金膜における前記溝の底面に被着された部分を薄くする薄化工程と、

前記薄化工程後、前記溝内に、Cuを主成分とする金属材料からなるCu配線を形成する配線形成工程と、

熱処理により、前記Cu配線と前記絶縁層との間に、 $Mn_xSi_yO_z$ (x,y,z:零よりも大きい数)からなるバリア膜を形成するバリア膜形成工程とを含む、半導体装置の製造方法。 10

【請求項 2】

前記薄化工程では、逆スパッタ法が用いられ、
前記配線形成工程は、

スパッタ法により、前記薄化工程後の前記合金膜上にCuを主成分とする金属材料からなるシード膜を形成する工程と、

めっき法により、前記シード膜上にCuからなるめっき層を形成する工程とを含む、請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、Cu(銅)を主成分とする金属材料からなるCu配線を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

高集積化された半導体装置において、配線の材料として、Al(アルミニウム)よりも導電性の高いCuを採用したものがある。Cuからなる配線は、Cuがドライエッ칭による微細なパターニングが困難であることから、ダマシン法により、半導体基板上の絶縁膜(層間絶縁膜)に形成された微細な溝に埋設される。

絶縁膜の材料としては、通常、 SiO_2 が採用される。ところが、Cuは、 SiO_2 への拡散性が高い。そのため、 SiO_2 からなる絶縁膜に形成された溝の内面とCuからなる配線とが直に接すると、Cuが絶縁膜中に拡散し、これにより絶縁膜の絶縁耐圧が低下する。したがって、絶縁膜とCuからなる配線との間には、Cuの絶縁膜への拡散を防止するためのバリア膜が必要となる。 30

【0003】

バリア膜を形成する手法として、CuMn合金を用いた自己形成プロセスが知られている(たとえば、特許文献1参照)。この自己形成プロセスでは、配線の形成に先立ち、スパッタ法により、溝の内面を含む絶縁膜の表面上に、CuとMn(マンガン)との合金からなる合金膜が形成される。次いで、めっき法により、合金膜上に、Cuからなるめっき層が形成される。その後、熱処理が行われることにより、合金膜中のMnが絶縁膜中のSi(シリコン)およびO(酸素)と結合し、めっき層と絶縁膜との間、つまり溝の内面上に、 $Mn_xSi_yO_z$ (x,y,z:零よりも大きい数)以下、単に「 $MnSiO$ 」と記載する。)からなるバリア膜が形成される。 40

【特許文献1】特開2005-277390号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

バリア膜の形成に寄与しない余分なMnは、Cuからなるめっき層中に拡散する。Mnのめっき層中への拡散量が多いと、そのめっき層を平坦化して形成されるCu配線中にMnが残留し、配線の抵抗が増大する。そのため、CuMn合金からなる合金膜は、バリア

膜の形成に必要十分な厚さに形成されることが好ましい。

しかし、スパッタ法では、溝の底面と比べてその側面に Cu Mn 合金が付着しにくいため、溝の底面上における合金膜の厚さがバリア膜の形成に必要十分な厚さとなるように、合金膜が全体的に薄く形成されると、合金膜における溝の側面上に形成される部分が薄くなりすぎる。その結果、合金膜と溝の側面との密着性が低下し、溝の側面上で合金膜の膜剥がれが生じるおそれがある。膜剥がれが生じると、その部分に、MnSiO からなるバリア膜が良好に形成されない。

【0005】

そこで、本発明の目的は、溝の側面上における合金膜の膜剥がれの発生を防止することができながら、Cu 配線中の Mn の残留量を低減することができる、半導体装置の製造方法を提供することである。10

【課題を解決するための手段】

【0006】

前記の目的を達成するための請求項 1 記載の発明は、Si および O を含む絶縁材料からなる絶縁層に溝を形成する溝形成工程と、スパッタ法により、前記溝の側面および底面に、Cu および Mn を含む合金材料からなる合金膜を被着させる合金膜被着工程と、前記合金膜における前記溝の底面に被着された部分を薄くする薄化工程と、前記薄化工程後、前記溝内に、Cu を主成分とする金属材料からなる Cu 配線を形成する配線形成工程と、熱処理により、前記 Cu 配線と前記絶縁層との間に、MnSiO からなるバリア膜を形成するバリア膜形成工程とを含む、半導体装置の製造方法である。20

【0007】

この方法によれば、まず、Si および O を含む絶縁材料からなる層間絶縁膜に、溝が形成される。次に、スパッタ法により、溝の側面および底面に、Cu および Mn を含む合金材料からなる合金膜が被着される。次いで、合金膜における溝の底面に被着された部分が薄くされる。その後、合金膜上に、Cu を主成分とする金属材料からなる Cu 配線が形成される。Cu 配線の形成後、熱処理により、Cu 配線と層間絶縁膜との間に、MnSiO からなるバリア膜が形成される。

【0008】

溝の側面上における合金膜の厚さが膜剥がれを生じない厚さとなるように、合金膜を形成することにより、溝の側面上での合金膜の膜剥がれを防止することができる。そして、溝の側面上における合金膜の厚さが確保されながら、合金膜における溝の底面に被着された部分が薄くされることにより、バリア膜の形成に寄与しない余分な Mn の量を低減させることができる。その結果、Cu 配線中に残留する Mn の量を低減させることができる。よって、溝の側面上における合金膜の膜剥がれの発生を防止することができながら、Cu 配線中の Mn の残留量を低減することができる。30

【0009】

請求項 2 に記載のように、前記薄化工程では、逆スパッタ法が用いられることが好ましい。さらに、前記配線形成工程は、スパッタ法により、前記薄化工程後の前記合金膜上に Cu を主成分とする金属材料からなるシード膜を形成する工程と、めっき法により、前記シード膜上に Cu からなるめっき層を形成する工程とを含むことが好ましい。40

逆スパッタ法は、スパッタ法と同一のスパッタリング装置で実施することができる。そのため、薄化工程で逆スパッタ法が用いられることにより、合金膜被着工程と薄化工程とを同一のスパッタリング装置で連続して行うことができる。さらに、スパッタ法により、合金膜上にシード膜が形成される場合には、合金膜被着工程および薄化工程に加えて、そのシード膜を形成する工程を同一のスパッタリング装置で連続して行うことができる。そのため、半導体製造装置の構成を簡素化することができ、また、それらの工程間での半導体ウエハ（前記絶縁層が形成されたウエハ状態の半導体基板）の搬送が不要であるので、半導体装置の製造に要する時間を短縮することができる。

【発明を実施するための最良の形態】

【0010】

10

20

30

40

50

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の一実施形態に係る半導体装置の構造を示す模式的な断面図である。

半導体装置1は、半導体基板(図示せず)上に、Cuを配線材料として用いた多層配線構造を有している。

半導体基板は、たとえば、Si(シリコン)基板からなる。半導体基板の表層部には、MOSFET(Metal Oxide Semiconductor Field Effect Transistor)などの機能素子が作り込まれている。

【0011】

半導体基板上には、 SiO_2 (酸化シリコン)からなる第1絶縁層2が積層されている。

第1絶縁層2の表層部には、所定の配線パターンに対応した微細な第1溝3が形成されている。第1溝3の内面(側面および底面)には、MnSiOからなる第1バリア膜4が形成されている。そして、第1溝3内には、第1バリア膜4を介して、Cuを主成分とする金属材料からなる第1配線5が埋設されている。

【0012】

第1絶縁層2上には、第2絶縁層6が積層されている。第2絶縁層6は、拡散防止膜7、第1層間絶縁膜8、エッティングストップ膜9および第2層間絶縁膜10を、第1絶縁層2側からこの順に積層した構造を有している。

拡散防止膜7は、たとえば、SiC(炭化シリコン)およびSiCN(炭窒化シリコン)を積層した構造を有している。第1層間絶縁膜8および第2層間絶縁膜10は、たとえば、 SiO_2 からなる。エッティングストップ膜9は、たとえば、SiCからなる。

【0013】

第2絶縁層6の表層部には、所定の配線パターンに対応した第2溝11が形成されている。また、第2絶縁層6には、第1配線5と第2溝11とが対向する部分に、ビアホール12が貫通して形成されている。

第2溝11およびビアホール12の内面には、MnSiOからなる第2バリア膜13が形成されている。そして、第2溝11およびビアホール12内には、第2バリア膜13を介して、それぞれCuを主成分とする金属材料からなる第2配線14およびビア15が埋設されている。第2配線14およびビア15は、一体をなしている。

【0014】

図2A～2Gは、半導体装置の製造工程を順に示す模式的な断面図である。

図2Aに示すように、第1バリア膜4および第1配線5が埋設された第1絶縁層2上に、CVD(Chemical Vapor Deposition: 化学的気相成長)法により、拡散防止膜7、第1層間絶縁膜8、エッティングストップ膜9および第2層間絶縁膜10がこの順に積層される。これにより、第1絶縁層2上に、第2絶縁層6が形成される。

【0015】

その後、図2Bに示すように、第2絶縁層6に、第2溝11およびビアホール12が形成される。具体的には、まず、第2絶縁層6上に、ビアホール12が形成されるべき部分を選択的に露出させる開口を有するマスク(図示せず)が形成される。そして、そのマスクを介して、第2層間絶縁膜10、エッティングストップ膜9および第1層間絶縁膜8がドライエッティングされる。このとき、適当なタイミングで反応ガス(エッチャント)を切り換えることにより、第2層間絶縁膜10、エッティングストップ膜9および第1層間絶縁膜8が連続的にエッティングされる。次に、第2絶縁層6上からマスクが除去された後、第2絶縁層6上に、第2溝11が形成されるべき部分を選択的に露出させる開口を有する新たなマスク(図示せず)が形成される。そして、そのマスクを介して、第2層間絶縁膜10がドライエッティングされる。その後、拡散防止膜7およびエッティングストップ膜9の露出した部分が除去されることにより、第2溝11およびビアホール12が形成される。

【0016】

次いで、図2Cに示すように、スパッタ法により、第2溝11およびビアホール12の内面を含む第2絶縁層6の表面全域、ならびに第1配線5におけるビアホール12を介し

10

20

30

40

50

て露出する部分に、CuMn合金からなる合金膜18が被着される。この合金膜18は、第2溝11およびビアホール12の側面にCuMn合金が付着しにくいことを考慮して、第2溝11およびビアホール12の側面上における合金膜18の厚さが膜剥がれを生じない厚さとなるように形成される。これにより、合金膜18は、第2溝11およびビアホール12の側面上で膜剥がれを生じない十分な厚さを有し、第1配線5、第2溝11の底面および第2層間絶縁膜10上でその厚さよりも大きな厚さを有している。

【0017】

その後、図2Dに示すように、逆スパッタ法により、合金膜18における第1配線5、第2溝11の底面および第2層間絶縁膜10上に形成された部分が薄くされる。具体的には、合金膜18に対して、ほぼ鉛直方向（第2絶縁層6の積層方向に沿う方向）からガス粒子（たとえば、アルゴンガス粒子）を衝突させることにより、その第1配線5、第2溝11の底面および第2層間絶縁膜10上に形成された部分が一様に薄くされる。
10

【0018】

その後、図2Eに示すように、スパッタ法により、合金膜18の表面全域を被覆するよう、Cuを主成分とする金属材料からなるシード膜19が形成される。

次いで、図2Fに示すように、めっき法により、シード膜19上に、Cuからなるめっき層20が形成される。このめっき層20は、ビアホール12および第2溝11を埋め尽くす厚さに形成される。

【0019】

その後、熱処理によって、合金膜18中のMnが第2絶縁層6中のSiおよびOと結合する。その結果、図2Gに示すように、第2溝11およびビアホール12の各内面上に、MnSiOからなる第2バリア膜13が形成される。このとき、合金膜18中のMnの一部は、めっき層20中を移動し、めっき層20の表面に析出する。なお、第2バリア膜13の形成に伴って、合金膜18は、めっき層20と実質的に一体となる。
20

【0020】

次いで、CMP（Chemical Mechanical Polishing：化学的機械的研磨）法により、めっき層20および第2バリア膜13が研磨される。この研磨は、めっき層20および第2バリア膜13における第2溝11外に形成されている不要部分がすべて除去されて、第2絶縁層6（第2層間絶縁膜10）が露出し、その第2絶縁層6の露出した表面と第2溝11内のめっき層20の表面とが面一になるまで続けられる。これにより、図1に示す半導体装置1が得られる。
30

【0021】

このように、第2溝11およびビアホール12の側面上における合金膜18の厚さが膜剥がれを生じない厚さとなるように、合金膜18が形成されることにより、第2溝11の側面上での合金膜18の膜剥がれを防止することができる。そして、第2溝11の側面上における合金膜18の厚さが確保されながら、合金膜18における第1配線5、第2溝11の底面および第2層間絶縁膜10上に形成された部分が薄くされることにより、第2バリア膜13の形成に寄与しない余分なMnの量を低減させることができる。その結果、第2配線14中に残留するMnの量を低減させることができる。よって、第2溝11の側面上における合金膜18の膜剥がれの発生を防止することができながら、第2配線14中のMnの残留量を低減することができる。
40

【0022】

スパッタ法および逆スパッタ法は、同一のスパッタリング装置で実施することができる所以、合金膜18における第1配線5、第2溝11の底面および第2層間絶縁膜10上に形成された部分を薄くするために逆スパッタ法が用いられることにより、同一のスパッタリング装置において、合金膜18を形成する工程に連続して、その合金膜18の部分的な薄化の工程を行うことができる。さらに、薄化の工程に連続して、シード膜19を形成する工程を行うことができる。したがって、半導体製造装置の構成を簡素化することができ、また、それらの工程間での半導体ウエハ（前記絶縁層が形成されたウエハ状態の半導体基板）の搬送が不要であるので、半導体装置の製造に要する時間を短縮することができる
50

。

【0023】

なお、第1バリア膜4および第1配線5の形成手法については、その説明を省略したが、第1バリア膜4および第1配線5は、第2バリア膜13および第2配線14の形成手法と同様な手法で形成することができる。すなわち、フォトリソグラフィおよびエッチングにより、第1絶縁層2にその表面から掘り下がった形状の第1溝3が形成された後、スパッタ法により、CuおよびMnを含む合金材料からなる合金膜が第1溝3の側面および底面に被着される。そして、逆スパッタ法により、合金膜における第1溝3の底面に被着された部分が薄くされた後、スパッタ法により、合金膜上にCuを主成分とする金属材料からなるシード膜が形成される。その後、めっき法により、シード膜上にCuからなるめっき層が形成される。そして、熱処理の後、CMP法により、そのめっき層の不要部分（第1溝3外の部分）が除去される。これにより、第1溝3内に、第1バリア膜4および第1配線5が得られる。

【0024】

以上、本発明の一実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、拡散防止膜7は、SiCおよびSiCNを積層した構造を有しているとした。しかし、拡散防止膜7は、Cuの拡散に対するバリア性を有していればよく、たとえば、SiCのみからなる構造であってもよい。

【0025】

また、第1層間絶縁膜8および第2層間絶縁膜10は、SiO₂からなるとした。しかし第1層間絶縁膜8および第2層間絶縁膜10の材料は、SiおよびOを含む絶縁性材料であればよく、その材料として、SiO₂以外に、たとえば、SiOC（炭素が添加された酸化シリコン）、またはSiOF（フッ素が添加された酸化シリコン）などを例示することができる。

【0026】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【図面の簡単な説明】

【0027】

【図1】図1は、本発明の一実施形態に係る半導体装置の構造を示す模式的な断面図である。

【図2A】図2Aは、図1に示す半導体装置の製造方法を説明するための模式的な断面図である。

【図2B】図2Bは、図2Aの次の工程を示す模式的な断面図である。

【図2C】図2Cは、図2Bの次の工程を示す模式的な断面図である。

【図2D】図2Dは、図2Cの次の工程を示す模式的な断面図である。

【図2E】図2Eは、図2Dの次の工程を示す模式的な断面図である。

【図2F】図2Fは、図2Eの次の工程を示す模式的な断面図である。

【図2G】図2Gは、図2Fの次の工程を示す模式的な断面図である。

【符号の説明】

【0028】

- 1 半導体装置
- 2 第1絶縁層（絶縁層）
- 3 第1溝（溝）
- 4 第1バリア膜（バリア膜）
- 5 第1配線（Cu配線）
- 6 第2絶縁層（絶縁層）
- 11 第2溝（溝）
- 13 第2バリア膜（バリア膜）

10

20

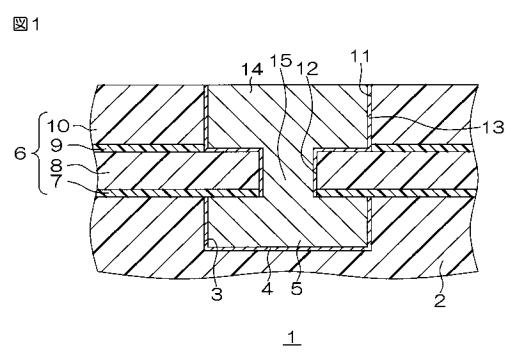
30

40

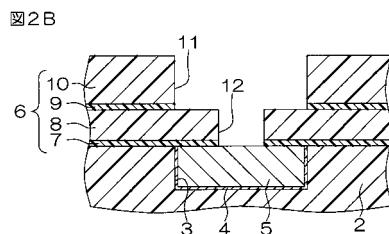
50

- 1 4 第2配線(C u 配線)
 1 8 合金膜
 1 9 シード膜

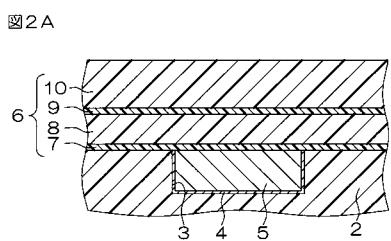
【図1】



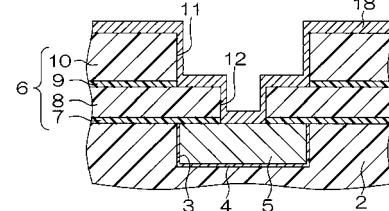
【図2B】



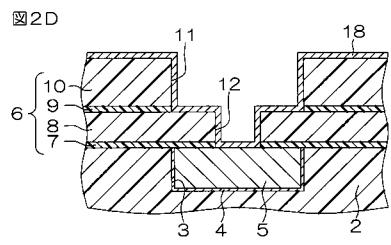
【図2A】



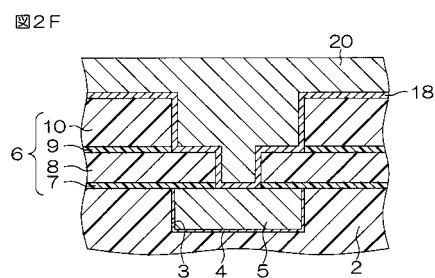
【図2C】



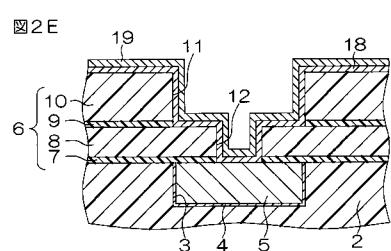
【図 2 D】



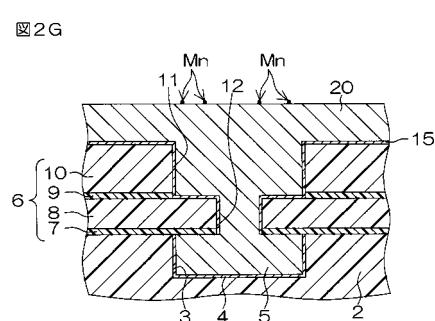
【図 2 F】



【図 2 E】



【図 2 G】



フロントページの続き

F ターム(参考) 5F033 HH11 HH35 JJ01 JJ11 JJ35 KK11 KK35 MM01 MM02 MM12
MM13 NN06 NN07 PP15 PP27 PP28 PP33 QQ08 QQ09 QQ10
QQ11 QQ14 QQ16 QQ21 QQ25 QQ37 QQ48 QQ73 QQ80 QQ98
RR01 RR04 RR11 SS11 TT02 TT07 TT08 XX14 XX28 XX33