申請日期： 89.2.1	案號：89101[illegible]
類別： G11C 11/401	

（以上各欄由本局填註）

公告本　發明專利說明書　466488

一、發明名稱	中文	半導體記憶裝置
	英文	
二、發明人	姓名（中文）	1.高橋　和也 2.縣　政志 3.黑田　直喜 4.藤田　勉
	姓名（英文）	1.Kazunari　TAKAHASHI 2.Masashi　AGATA 3.Naoki　KURODA 4.Tsutomu　FUJITA
	國籍	1.日本 2.日本 3.日本 4.日本
	住、居所	1.日本國滋賀縣栗太郡栗東町綣608-14 2.日本國大阪府大阪市西區九條3-19-4 3.日本國京都府長岡京市調子1-10-10-210 4.日本國大阪府枚方市楠葉美　3-21-1-308
三、申請人	姓名（名稱）（中文）	1.松下電器產業股份有限公司
	姓名（名稱）（英文）	1.Matsushita Electric Industrial Co., Ltd.
	國籍	1.日本
	住、居所（事務所）	1.日本國大阪府門真市大字門真1006番地
	代表人姓名（中文）	1.森下　洋一
	代表人姓名（英文）	1.Yoichi　MORISHITA

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/02/02	特願平11-024813	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明之領域

本發明細關於一種半導體記憶裝置，其係將功能相異之複數個記憶體，混載於同一半導體晶片上所成。

習用技術

習知之半導體記憶裝置中，係將由具有一電晶體及連接該一電晶體之源極之資料儲存用電容器之記憶單元集合所成之記憶單元陣列，搭載於半導體晶片上。

然而，於如此半導體記憶裝置中，隨機存取速度受限於記憶單元之性能，且為了提升系統整體性能，需於半導體記憶裝置外部設置快取記憶體，但因於半導體記憶裝置外部設置快取記憶體，會加大整體系統，而導致系統成本增加。

在此，於IEEE JOURNAL OF SOLID STATE CIRCUITS VOL.27,NO.11,NOVEMBER pp.1534-1539(1992)中，揭示一種半導體記憶裝置，其係將由SRAM所成之快取記憶體與DRAM所成之主記憶體，混載於半導體晶片上。

發明欲解決之課題

然而，因SRAM之面積必須較DRAM之面積大約10倍左右，故使得由功能互異之複數個記憶體(如SRAM所成之快取記憶體及DRAM所成之主記憶體)，混載於同一半導體晶片所成之半導體記憶裝置，其面積會變大。

又，因SRAM與DRAM之記憶單元之構成互異，故使得混

五、發明說明 (2)

載快取記憶體與主記憶體之半導體記憶裝置之配置及製程，亦趨於複雜。

有鑑於此，本發明之目的係在於減少混載功能互異之複數個記憶體之半導體記憶裝置之面積，並簡化其配置及製程。

發明概要

為了達成上述目的，本發明之半導體記憶裝置，係以形成於一半導體晶片上，且具備由第1記憶單元集合所成之第1記憶單元陣列及由第2記憶單元集合所成之第2記憶單元陣列之半導體記憶裝置為對象，第1記憶單元分別具有：各源極相互連接之第1電晶體與第2電晶體；及二電極之其一電極與源極相連接之資料儲存用之第1電容器，第2記憶單元分別具有：第3電晶體；及與該第3電晶體之源極相連接之資料儲存用之第2電容器，第1記憶單元陣列具有：與第1電晶體之汲極相連接之第1位元線；及與第2電晶體之汲極相連接之第2位元線，第2記憶單元陣列具有：與第3電晶體之汲極相連接之第3位元線；與第3電晶體相鄰接之第4電晶體之汲極相連接且與第3位元線成對之第4位元線，第1位元線與第2位元線相互平行延伸，且第3位元線與第4位元線相互平行延伸，第1位元線與第2位元線之間距、及第3位元線與第4位元線之間距相等。

依據本發明之半導體記憶裝置，於將功能互異之第1記憶單元陣列及第2記憶單元陣列混載於同一半導體晶片

五、發明說明（3）

之半導體記憶裝置中，構成第1記憶單元陣列之第1記憶單元，因具有源極相互連接之第1電晶體及第2電晶體；及一邊電極與源極相連接之資料儲存用電容器，故可大幅減少第1記憶單元陣列之面積，而能減少半導體記憶裝置之整體面積，同時，可達到半導體記憶裝置中之高速存取及大電容化之效果。

又，依據本發明之半導體記憶裝置，因第1記憶單元陣列中之第1位元線與第2位元線之間距、及第2記憶單元陣列中之第3位元線與第4位元線之間距相等，故即使功能互異之第1記憶單元陣列及第2記憶單元陣列混載於同一半導體晶片，亦可簡化配線之配置，並簡化製造製程。

本發明之半導體記憶裝置，更具備：第1感測放大器，一端側與第1位元線相連接；第2感測放大器，一端側與第2位元線相連接；第3感測放大器，一端側與第3位元線相連接；資料傳送機構，具有第1資料傳送線及第2資料傳送線，於第1記憶單元陣列與第2記憶單元陣列間，進行資料傳送，第1資料傳送線最好介著開關分別與第1感測放大器之一端側及第3感測放大器之一端側相連接，而第2資料傳送線最好介著開關分別與第2感測放大器之他端側及第3感測放大器之他端側相連接。

如此，可使第1資料傳送線與第2資料傳送線相互平行配置，同時因可使第1資料傳送線及第2資料傳送線，與第1位元線、第2位元線及第3位元線平行配置，故即使具備於功能互異之第1記憶單元陣列與第2記憶單元陣列間進行

五、發明說明（4）

資料傳送之資料傳送機構，亦可簡化配線之配置。

本發明之半導體記憶裝置中，最好以第1記憶單元陣列構成快取記憶體之核心部，而以第2記憶單元陣列構成主記憶體之核心部。

如此，可使混載快取記憶體與主記憶體之半導體記憶裝置，能達到高速化、大電容化及配置簡化之效果。

本發明之半導體記憶裝置中，最好以第1記憶單元陣列構成暫存器之核心部，而以第2記憶單元陣列構成主記憶體之核心部。

如此，可使混載暫存器與主記憶體之半導體記憶裝置，能達到高速化、大電容化及配置簡化之效果。

本發明之半導體記憶裝置，更具備：第1位元互補線，與第1位元線成對；第2位元互補線，與第2位元線成對；第1感測放大器，一端側與第1位元線相連接，而他端側與第1位元互補線相連接；第2感測放大器，一端側與第2位元線相連接，而他端側與第2位元互補線相連接，第1位元互補線最好係對著第1感測放大器，延伸至第1位元線之相反側，而第2位元互補線最好係對著第2感測放大器，延伸至第2位元線之相反側。

如此，因成為開放型之位元線構成，故可使由二電晶體及一電容器所成之具有第1記憶單元之第1記憶單元陣列之配置，更能單純化。

本發明之半導體記憶裝置，更具備：第1字元線，與第1電晶體之閘極相連接；第2字元線，與第2電晶體之閘

五、發明說明 (5)

極相連接；第3字元線，與第3電晶體之閘極相連接；第4字元線，與第4電晶體之閘極相連接，第1字元線與第2字元線相互平行延伸，且第3字元線與第4字元線相互平行延伸，而第1字元線與第2字元線之間距、及第3字元線與第4字元線之間距，最好相等，如此，可使配線配置更為單純。

較佳實施例之詳細說明

(第1實施形態)

以下，參考圖1、圖4、圖5、圖6及圖7，說明本發明之第1實施形態之半導體記憶裝置。

圖1係為第1實施形態之半導體記憶裝置之整體構成。

如圖1所示，第1實施形態之半導體記憶裝置，具備形成於同一半導體晶片上之快取記憶體核心部及主記憶體核心部。快取記憶體核心部係由以具有第1電晶體及第2電晶體所成之二電晶體與資料儲存用之一電容器之第1記憶單元(以下，稱為2Tr1C型記憶單元。)之集合所成之第1DRAM記憶體陣列、第1列解碼器及第1行解碼器感測放大器所構成。主記憶體核心部係由以具有一電晶體與資料儲存用之一電容器之第2記憶單元(以下，稱為1Tr1C型記憶單元。)之集合所成之第2DRAM記憶體陣列、第2列解碼器、及第2行解碼器感測放大器所構成。

當將同步時計信號、控制信號、快取記憶體用位址信號及主記憶體用位址信號，輸入輸入暫存器時，輸入暫存

五、發明說明 (6)

器將第1列位址信號輸出至快取記憶體部之第1列解碼器，將第1行位址信號輸出至快取記憶體部之第1行解碼器感測放大器，將第2列位址信號輸出至主記憶體部之第2列解碼器，將第2行位址信號輸出至主記憶體部之第2行解碼器感測放大器。

快取記憶體部之第1行解碼器感測放大器，除了於與主記憶體部之第2行解碼器感測放大器間，介著資料轉移緩衝器，進行資料傳送外，同時，於與I/O埠間，介著I/O緩衝器輸出暫存器，進行資料之輸出/入。

時序控制電路係基於來自輸入暫存器之時序控制信號，而進行資料之傳送或資料之輸出/入等。

圖4係為第1實施形態之半導體記憶裝置之電路構造，圖5(a)係為圖4中之A部(2Tr1C型第1記憶單元陣列)之詳細圖，圖5(b)係為圖4中之B部(1Tr1C型第2記憶單元陣列)之詳細圖。又，圖6(a)係為2Tr1C型第1記憶單元陣列之配置圖型，而圖6(b)係為1Tr1C型第2記憶單元陣列之配置圖型。

如圖5(a)及圖6(a)所示，第1記憶單元(2Tr1C型記憶單元)具有：第1電晶體MTr1及第2電晶體MTr2，其源極相互連接；資料儲存用電容器C，二個電極中之一方電極，共同連接至第1電晶體MTr1及第2電晶體MTr2之各源極。

如圖4所示，於與第1電晶體MTr1之汲極相連接之第1位元線BLa(n)、BLa(n+1)、BLa(n+2)，及與該第1位元線成對之第1位元互補線BLXa(n)、BLXa(n+1)、BLXa(n+2)

五、發明說明 (7)

間，設有第1感測放大器SAa，第1感測放大器SAa之一端側與第1位元線相連接，且第1感測放大器SAa之他端側與第1位元互補線相連接。第1位元線與第1位元互補線係對著第1感測放大器SAa，相互延伸於相反側。又，於與第2電晶體MTr2之汲極相連接之第2位元線BLb(n)、BLb(n+1)、BLb(n+2)，及與該第2位元線成對之第2位元互補線BLXb(n)、BLXb(n+1)、BLXb(n+2)間，設有第2感測放大器SAb，第2感測放大器SAb之一端側與第2位元線相連接，且第2感測放大器SAb之他端側與第2位元互補線相連接。第2位元線與第2位元互補線係對著第2感測放大器SAb，相互延伸於相反側。亦即，第1記憶單元陣列(2Tr1C型記憶單元陣列)具有開放型位元線構成。

如圖5(b)及圖6(b)所示，第2記憶單元(1Tr1C型記憶單元)具有第3電晶體MTr、及二個電極中之一邊電極與第3電晶體MTr之源極相連接之資料儲存用電容器C。

如圖4所示，於與第3電晶體MTr之汲極相連接之第3位元線BL(n)、BL(n+1)、BL(n+2)，及與該第3位元線成對之第3位元互補線(第4位元線)BLX(n)、BLX(n+1)、BLX(n+2)間，設有第3感測放大器SA，第3感測放大器SA之一端側與第3位元線相連接，且第3感測放大器SA之他端側與第3位元互補線相連接。第3位元線與第3位元互補線係對著第3感測放大器SA，延伸於相同側。亦即，第2記憶單元陣列(1Tr1C型記憶單元陣列)具有折疊型位元線構成。

如圖4所示，第1記憶單元陣列中，與第1電晶體MTr1

五、發明說明 (8)

之閘極相連接之第1字元線WLa(1-1)、WLa(1)、WLa(1+1)、WLa(1+2)、……、WLa(m-1)、WLa(m)、WLa(m+1)、WLa(m+2)，及與第2電晶體MTr2之閘極相連接之第2字元線WLb(1-1)、WLb(1)、WLb(1+1)、WLb(1+2)、……、WLb(m-1)、WLb(m)、WLb(m+1)、WLb(m+2)，係相互平行延伸。第2記憶單元陣列中，與第3電晶體MTr之閘極相連接之第3字元線WL(k-2)、WL(k)、WL(k+2)、WL(k+4)，及與第3電晶體MTr相鄰之第4電晶體之閘極相連接之第4字元線WL(k-1)、WL(k+1)、WL(k+3)、WL(k+5)，係相互平行延伸。

如圖6(a)、(b)所示，將2Tr1C型第1記憶單元陣列中之第1位元線與第2位元線之間距、第1記憶單元陣列中之第1位元互補線與第2位元互補線之間距、及1Tr1C型第2記憶單元陣列中之第3位元線與第3位元互補線之間距，設定為相等。又，將第1記憶單元陣列中之第1字元線與第2字元線之間距、及第2記憶單元陣列中之第3字元線與第4字元線之間距，設定為相等。

由圖6(a)與圖6(b)之對比可知，2Tr1C型第1記憶單元陣列與1Tr1C型第2記憶單元陣列，其活性層之形狀及大小、位元線之寬度尺寸及間距、及字元線之寬度尺寸及間距，設定為相等。又，第1記憶單元陣列中，藉由與第2記憶單元陣列中相鄰接之二記憶單元之各儲存節點相對應之一對儲存節點彼此相連接，而完成2Tr1C型記憶單元。

此時，因第1記憶單元陣列具有開放型位元線構成，

五、發明說明 (9)

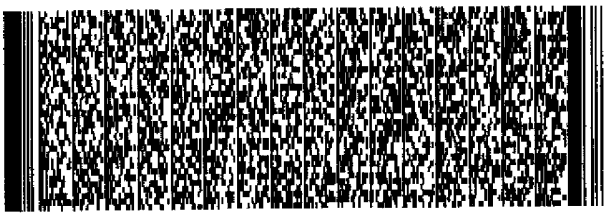
且第2記憶單元陣列具有折疊型位元線構成，故可使第1記憶單元陣列中之第1位元線與第2位元線之間距、第1記憶單元陣列中之第1位元互補線與第2位元互補線之間距、及第2記憶單元陣列中之第3位元線與第3位元互補線之間距，互為相等。

如圖4、圖5(a)及(b)所示，構成資料轉移緩衝器之第1資料轉移線DTL(n)，介著由開關控制信號SWa所控制之開關電晶體SWTra1，與第1感測放大器SAa之一端側相連接，並介著由開關控制信號SW所控制之開關電晶體SWTr1，與第3感測放大器SA之一端側相連接。

又，構成資料轉移緩衝器之第2資料轉移線DTLX(n)，介著由開關控制信號SWb所控制之開關電晶體SWTrb2，與第2感測放大器SAb之一端側相連接，並介著由開關控制信號SW所控制之開關電晶體SWTr2，與第3感測放大器SA之他端側相連接。

又，第1感測放大器SAa之他端側，介著由開關控制信號SWa所控制之開關電晶體SWTra2，與第2資料轉移線DTLX(n)相連接，並介著第2感測放大器SAb之他端側，介著由開關控制信號SWb所控制之開關電晶體SWTrb1，與第1資料轉移線DTL(n)相連接。

藉由上述之第1資料轉移線DTL(n)、第2資料轉移線DTLX(n)及開關電晶體SWTra1、SWTrb1、SWTra2、SWTrb2、SWTr1、SWTr2，而構成於第1記憶單元陣列與第2記憶單元陣列間，進行資料傳送之資料傳送機構。



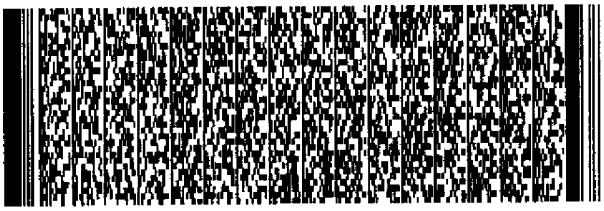
五、發明說明 (10)

圖7(a)係表示由第1記憶單元陣列，將資料傳送至第2記憶單元陣列之時序，將第1記憶單元陣列中之第1位元線BLa(或第2位元線BLb)及第1位元互補線BLXa(或第2位元互補線BLXb)，以感測放大器加強後，若啟動開關控制信號SW及SWa(或SW及SWb)，則因第2記憶單元陣列中之第3位元線BL及第3位元互補線BLX被感測放大器加強，故可自第1記憶單元陣列，將資料傳送至第2記憶單元陣列。

圖7(b)係表示由第2記憶單元陣列，將資料傳送至第1記憶單元陣列之時序，將第2記憶單元陣列中之位元線BL及位元互補線BLX，以感測放大器加強後，若啟動開關控制信號SW及SWa(或SW及SWb)，則因第1記憶單元陣列中之第1位元線BLa(或第2位元線BLb)及第1位元互補線BLXa(或第2位元互補線BLXb)被感測放大器加強，故可自第2記憶單元陣列，將資料傳送至第1記憶單元陣列。

依據第1實施形態，因第1記憶單元陣列中之第1位元線與第2位元線之間距、第1記憶單元陣列中之第1位元互補線與第2位元互補線之間距、及第2記憶單元陣列中之位元線與位元互補線之間距，互為相等，又，第1記憶單元陣列中之第1字元線與第2字元線之間距、第2記憶單元陣列中之第3字元線與第4字元線之間距互為相等，故可使第1記憶單元陣列之配線圖型(設計規範)與第2記憶單元陣列之配線圖型(設計規範)為相同。

特別是，因第1記憶單元陣列中之第1位元線(第1位元互補線)與第2位元線(第2位元互補線)之間距、及第2記憶



五、發明說明 (11)

單元陣列中之第3位元線與第3位元互補線之間距，互為相等，可將於第1記憶單元陣列與第2記憶單元陣列進行資料傳送之第1資料轉移線及第2資料轉移線，與第1記憶單元陣列中之第1位元線(第1位元互補線)及第2位元線(第2位元互補線)、第2記憶單元陣列中之第3位元線及第3位元互補線平行設置，故可使配置更為簡單。

(第1實施形態之變形例)

以下，參考圖2，說明本發明第1實施形態變形例之半導體記憶裝置。

圖2係表示第1實施形態變形例之半導體記憶裝置之整體構成，如圖2所示，第1實施形態變形例之半導體記憶裝置，不同於第1實施形態，其係對應快取記憶體核心部，設置第1輸入暫存器及第1I/O緩衝器輸出暫存器，同時並對應主記憶體核心部，設置第2輸入暫存器及第2I/O緩衝器輸出暫存器。此外，因快取記憶體核心部之構成及主記憶體核心部之構成，與第1實施形態相同，故省略其說明。

若將同步時計信號、控制信號及快取記憶體用位址信號，輸入至第1輸入暫存器，則第1輸入暫存器將第1列位址信號，輸出至快取記憶體部之第1列解碼器，而將第1行位址信號，輸出至快取記憶體部之第1行解碼器感測放大器。又，若將同步時計信號、控制信號及主記憶體用位址信號，輸入至第2輸入暫存器，則第2輸入暫存器將第2列位址信號，輸出至主記憶體部之第2列解碼器，而將第2行

五、發明說明（12）

位址信號，輸出至主記憶體部之第2行解碼器感測放大器。

快取記憶體部之第1行解碼器感測放大器，於與資料轉移緩衝器之間，進行資料傳送，同時，於與I/O埠之間，介著第1I/O緩衝器輸出暫存器，進行資料之輸出/入。又，主記憶體部之第2行解碼器感測放大器，於與資料轉移緩衝器之間，進行資料傳送，同時於與I/O埠之間，介著第2T/O緩衝器輸出暫存器，進行資料之輸出/入。

（第2實施形態）

以下，參考圖3，說明本發明第2實施形態之半導體記憶裝置。

圖3係表示第2實施形態之半導體記憶裝置之整體構成。如圖3所示，第2實施形態之半導體記憶裝置，其具備形成於同一半導體晶片上之暫存器用核心部及主記憶體核心部。暫存器用核心部係由2Tr1C型記憶單元集合所成之暫存器陣列、暫存器節段選擇器、及行解碼器感測放大器所構成。主記憶體核心部則由1Tr1C型記憶單元集合所成之DRAM記憶單元陣列、列解碼器、感測放大器、及預行解碼器所構成。此外，因2Tr1C型記憶單元陣列所成之暫存器用核心部之構成，與第1實施形態之快取記憶體部之構成相同，且1Tr1C型記憶單元陣列所成之主記憶體核心部之構成，與第1實施形態相同，故省略其說明。

若將同步時計信號、控制信號、暫存器用位址信號及

五、發明說明（13）

主記憶體用位址信號，輸入至輸入暫存器，則輸入暫存器將第1列位址信號輸出至暫存器部之暫存器節段選擇器，將第1行位址信號輸出至暫存器部之行解碼器感測放大器，將第2列位址信號輸出至主記憶體部之列解碼器，並將第2行位址信號輸出至主記憶體部之預行解碼器。

暫存器部之行解碼器感測放大器，於與資料轉移緩衝器間，進行資料傳送外，並於與I/O埠間，介著I/O緩衝器輸出暫存器，進行資料之輸出/入。又，主記憶體部之感測放大器，於與資料轉移緩衝器間，進行資料傳送。

時序控制電路係基於來自輸入暫存器之時序控制信號，進行資料傳送或資料之輸出/入等。

發明效果

依據本發明之半導體記憶裝置，可於在同一半導體晶片混載功能互異之第1記憶單元陣列及第2記憶單元陣列之半導體記憶裝置中，達到減少面積、高速存取及大電容化，同時並可簡化配線之配置及製程。

圖式簡單說明

圖1：係為本發明第1實施形態之半導體記憶裝置整體構成之方塊圖。

圖2：係為本發明第1實施形態變形例之半導體記憶裝置整體構成之方塊圖。

圖3：係為本發明第2實施形態之半導體記憶裝置整體構成之方塊圖。

圖4：係為本發明第1實施形態之半導體記憶裝置電路構造之示意圖。

圖5：(a)係為圖4中A部分之擴大詳細圖，表示2Tr1C型第1記憶單元陣列，(b)係為圖4中B部分之擴大詳細圖，表示1Tr1C型第2記憶單元陣列。

圖6：(a)係為表示2Tr1C型第1記憶單元陣列配置之圖型圖，(b)係為表示1Tr1C型第2記憶單元陣列配置之圖型圖。

圖7：(a)係為由第1記憶單元陣列將資料傳送至第2記憶單元陣列之時序圖，(b)係為由第2記憶單元陣列將料傳送至第1記憶單元陣列之時序圖。

符號說明

MTr1 ~ 第1電晶體

MTr2 ~ 第2電晶體

MTr ~ 第3電晶體

C ~ 電容器

SAa ~ 第1感測放大器

圖式簡單說明

SAb ~ 第2感測放大器

SA ~ 第3感測放大器

SWa、SWb、SW ~ 開關控制信號

SWTra1、SWTrb1、SWTra2、SWTrb2、SWTr1、SWTr2 ~ 開關電晶體

BLa(n)、BLa(n+1)、BLa(n+2)~ 第1位元線

BLXa(n)、BLXa(n+1)、BLXa(n+2) ~ 第1位元互補線

BLb(n)、BLb(n+1)、BLb(n+2)~ 第2位元線

BLXb(n)、BLXb(n+1)、BLXb(n+2) ~ 第2位元互補線

BL(n)、BL(n+1)、BL(n+2)~ 第3位元線

BLX(n)、BLX(n+1)、BLX(n+2) ~ 第3位元互補線(第4位元線)

WLa(1-1)、WLa(1)、WLa(1+1)、WLa(1+2)、WLa(m-1)、WLa(m)、WLa(m+1)、WLa(m+2) ~第1字元線

WLb(1-1)、WLb(1)、WLb(1+1)、WLb(1+2)、WLb(m-1)、WLb(m)、WLb(m+1)、WLb(m+2) ~第2字元線

WL(k-2)、WL(k)、WL(k+2)、WL(k+4) ~ 第3字元線

WL(k-1)、WL(k+1)、WL(k+3)、WL(k+5) ~ 第4字元線

DTL(n)、DTL(n+1)、DTL(n+2) ~ 第1資料轉移線

DTLX(n)、DTLX(n+1)、DTLX(n+2) ~ 第2資料轉移線

四、中文發明摘要　（發明之名稱：半導體記憶裝置）

本發明之課題在於將混載有功能互異之複數個記憶體之半導體記憶裝置之面積減少，並使其配置及製程單純化。

本發明係為於同一半導體基板上，混載具有第1記憶單元陣列之快取記憶體、及具有第2記憶單元陣列之主記憶體。構成第1記憶單元陣列之第1記憶單元係為2Tr1C型記憶單元，其具有源極相互連接之第1電晶體MTr1及第2電晶體MTr2；及一邊電極與第1電晶體MTr1及第2電晶體MTr2之各源極共同連接之資料儲存用電容器C。構成第2記憶單元陣列之第2記憶單元係為1Tr1C型記憶單元，其具有第3電晶體MTr；及一邊電極與第3電晶體MTr之源極相連接之資料儲存用電容器C。

英文發明摘要　（發明之名稱：）

六、申請專利範圍

1. 一種半導體記憶裝置，其形成於一半導體晶片上，具備由第1記憶單元集合所成之第1記憶單元陣列及由第2記憶單元集合所成之第2記憶單元陣列，其特徵為：

該第1記憶單元分別具有：各源極相互連接之第1電晶體與第2電晶體；及二電極之其一電極與該源極相連接之資料儲存用之第1電容器，

該第2記憶單元分別具有：第3電晶體；及與該第3電晶體之源極相連接之資料儲存用之第2電容器，

該第1記憶單元陣列具有：與該第1電晶體之汲極相連接之第1位元線；及與該第2電晶體之汲極相連接之第2位元線，

該第2記憶單元陣列具有：與該第3電晶體之汲極相連接之第3位元線；與該第3電晶體相鄰接之第4電晶體之汲極相連接，且與該第3位元線成對之第4位元線，

該第1位元線與該第2位元線相互平行延伸，且該第3位元線與該第4位元線相互平行延伸，

該第1位元線與該第2位元線之間距、該第3位元線與該第4位元線之間距相等。

2. 如申請專利範圍第1項之半導體記憶裝置，其更具備：

第1感測放大器，一端側與該第1位元線相連接；

第2感測放大器，一端側與該第2位元線相連接；

第3感測放大器，一端側與該第3位元線相連接；及

資料傳送機構，具有第1資料傳送線及第2資料傳送

六、申請專利範圍

線，於該第1記憶單元陣列與該第2記憶單元陣列間，進行資料傳送，

該第1資料傳送線介著開關，分別與該第1感測放大器之一端側及該第3感測放大器之一端側相連接，

該第2資料傳送線介著開關，分別與該第2感測放大器之他端側及該第3感測放大器之他端側相連接。

3. 如申請專利範圍第1項之半導體記憶裝置，其中，該第1記憶單元陣列構成快取記憶體之核心部，而該第2記憶單元陣列構成主記憶體之核心部

4. 如申請專利範圍第1項之半導體記憶裝置，其中，該第1記憶單元陣列構成暫存器之核心部，而該第2記憶單元陣列構成主記憶體之核心部。

5. 如申請專利範圍第1項之半導體記憶裝置，其更具備：

第1位元互補線，與該第1位元線成對；

第2位元互補線，與該第2位元線成對；

第1感測放大器，一端側與該第1位元線相連接，而他端側與該第1位元互補線相連接；及

第2感測放大器，一端側與該第2位元線相連接，而他端側與該第2位元互補線相連接，

該第1位元互補線係對著該第1感測放大器，延伸至該第1位元線之相反側，

六、申請專利範圍

該第2位元互補線係對著該第2感測放大器，延伸至該第2位元線之相反側。

6. 如申請專利範圍第1項之半導體記憶裝置，其更具備：

第1字元線，與該第1電晶體之閘極相連接；

第2字元線，與該第2電晶體之閘極相連接；

第3字元線，與該第3電晶體之閘極相連接；及

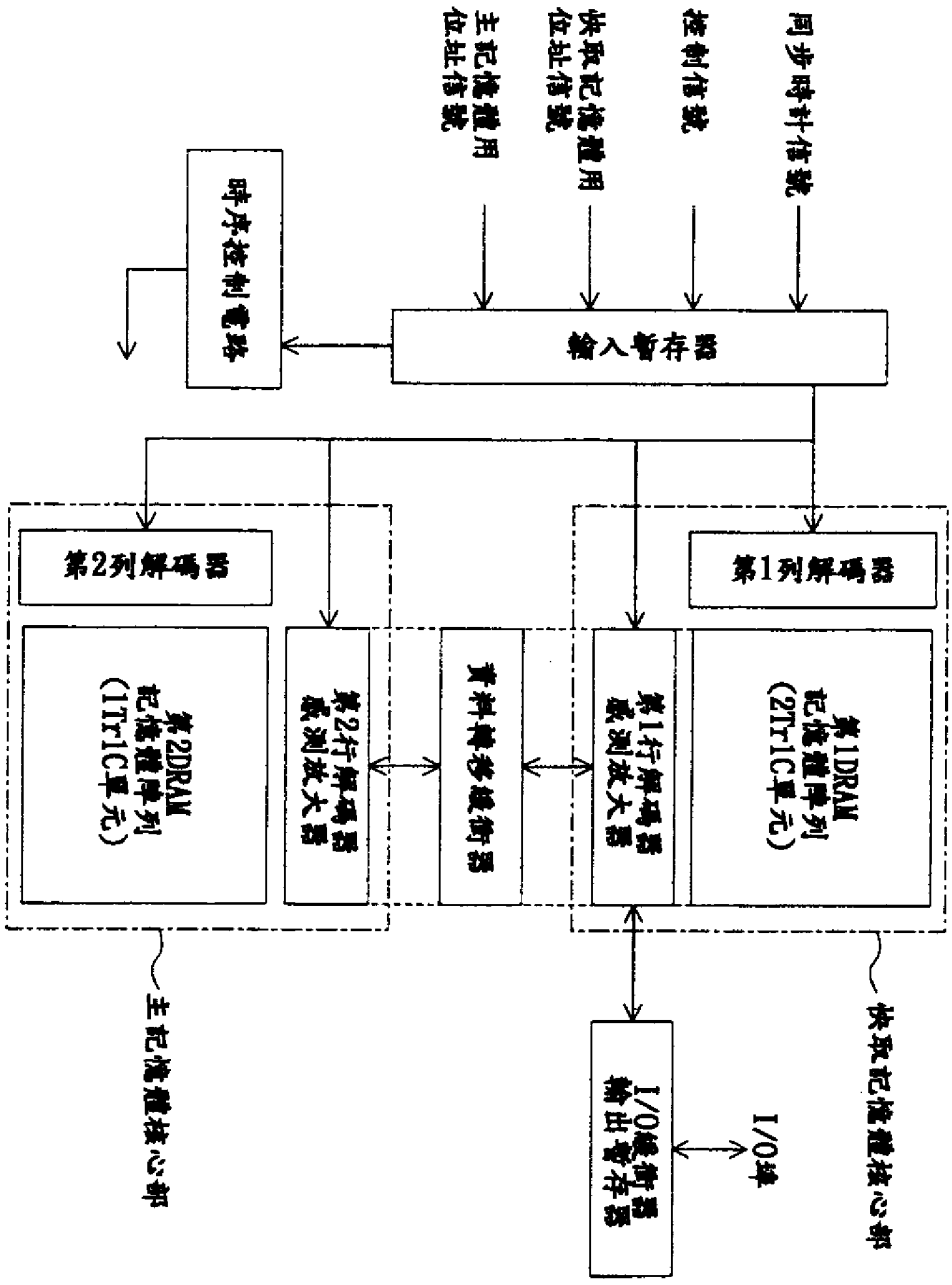
第4字元線，與該第4電晶體之閘極相連接，

該第1字元線與該第2字元線相互平行延伸，且該第3字元線與該第4字元線相互平行延伸，

該第1字元線與該第2字元線之間距、及該第3字元線與該第4字元線之間距相等。

466488

圖式



同步時計信號
控制信號
快取記憶體用位址信號
主記憶體用位址信號
輸入暫存器
時序控制電路
第1列解碼器
第2列解碼器
第1DRAM記憶體陣列(2Tr1C單元)
第1行解碼器感測放大器
資料轉移緩衝器
第2行解碼器感測放大器
第2DRAM記憶體陣列(1Tr1C單元)
快取記憶體核心部
I/O緩衝器輸出暫存器
I/O埠
主記憶體核心部

圖 1

圖式

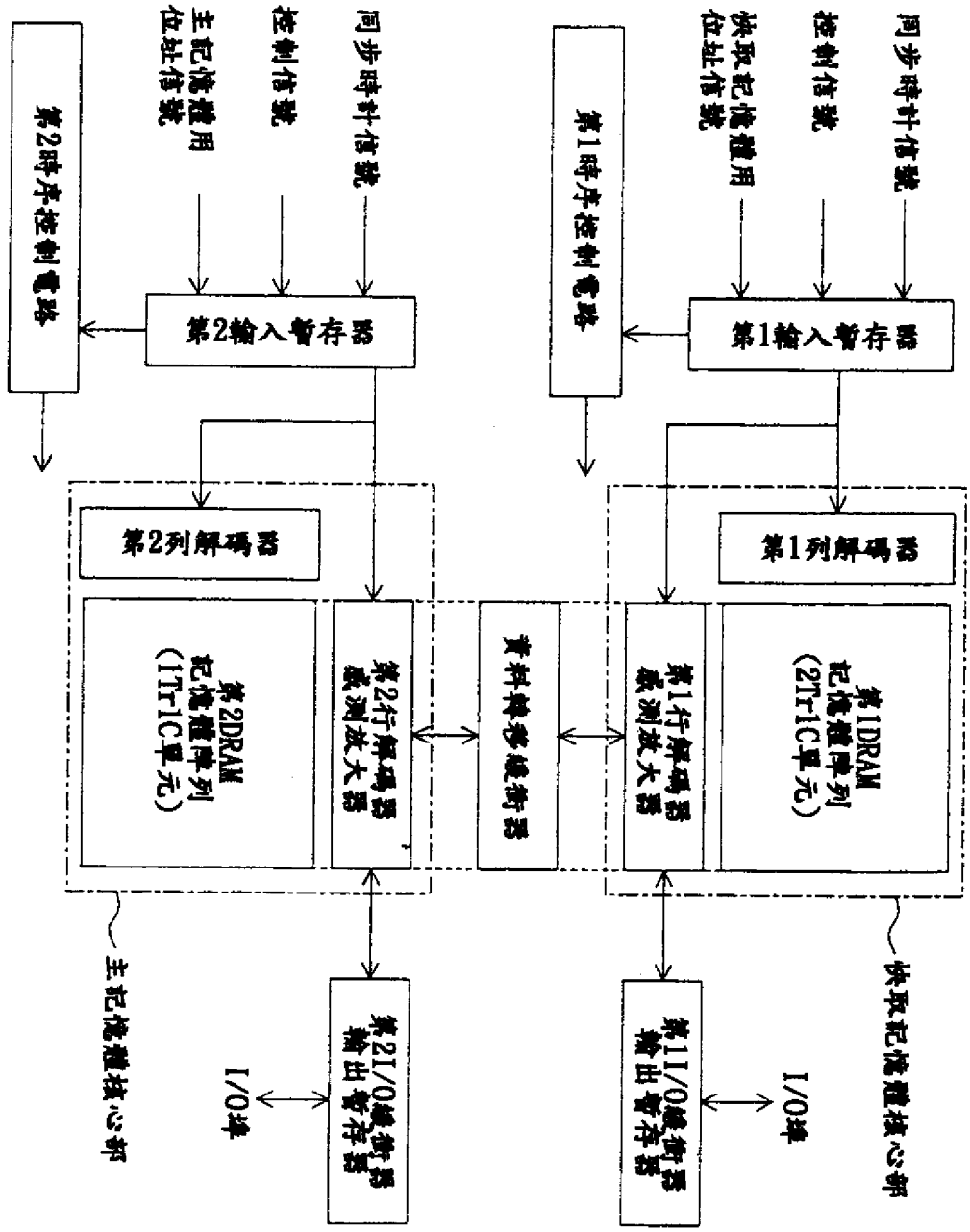
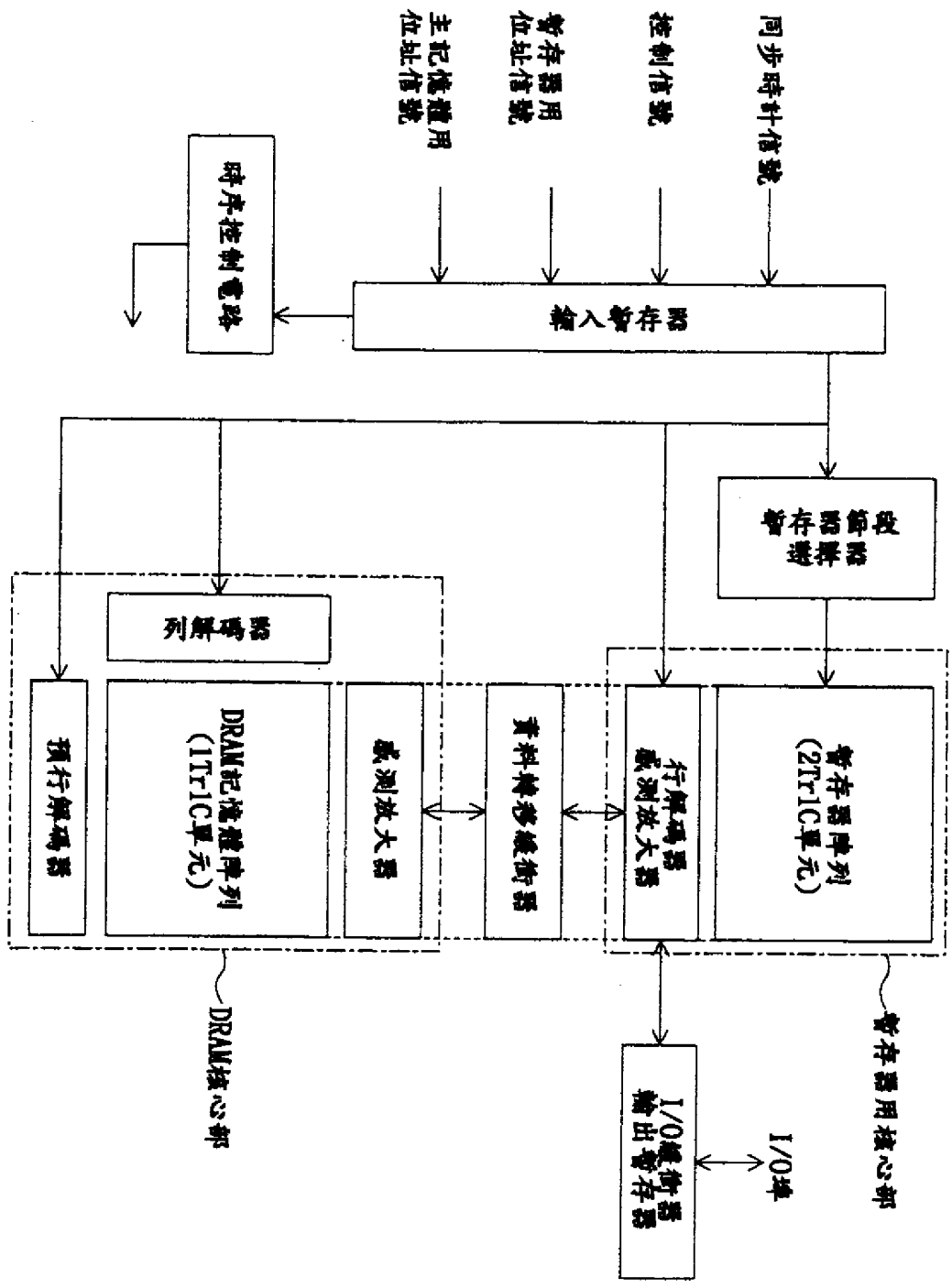

同步時計信號
控制信號
快取記憶體用位址信號
第1時序控制電路
第1輸入暫存器
第1列解碼器
第1DRAM記憶體陣列(2Tr1C單元)
第1行解碼器感測放大器
資料傳送緩衝器
第2DRAM記憶體陣列(1Tr1C單元)
第2行解碼器感測放大器
第2列解碼器
第2輸入暫存器
第2時序控制電路
主記憶體用位址信號
控制信號
同步時計信號
快取記憶體核心部
第1I/O緩衝器輸出暫存器
I/O埠
第2I/O緩衝器輸出暫存器
I/O埠
主記憶體核心部

圖 2

圖式

圖 3


同步時計信號
控制信號
寄存器用位址信號
主記憶體用位址信號
輸入暫存器
時序控制電路
段暫存器選擇
列解碼器
預行解碼器
DRAM記憶體陣列(1Tr1C單元)
感測放大器
資料傳遞暫存器
行解碼器感測放大器
寄存器陣列(2Tr1C單元)
DRAM核心部
寄存器用核心部
I/O緩衝器輸出暫存器
I/O埠

圖式

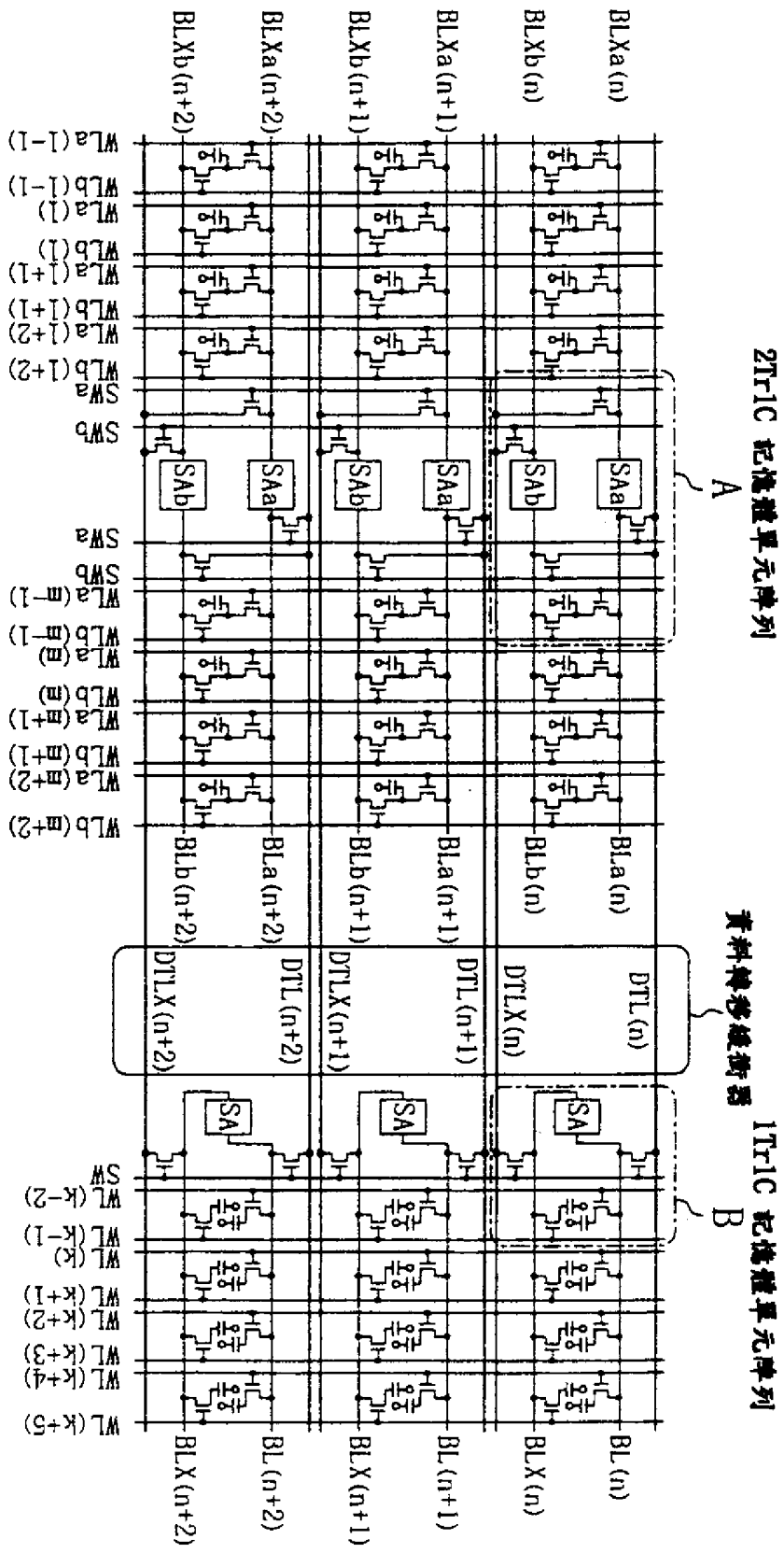

2Tr1C 記憶體單元陣列
A
1Tr1C 記憶體單元陣列
B
資料轉移線路
BLXa(n)
BLXb(n)
BLXa(n+1)
BLXb(n+1)
BLXa(n+2)
BLXb(n+2)
BLa(n)
BLb(n)
BLa(n+1)
BLb(n+1)
BLa(n+2)
BLb(n+2)
SAa
SAb
SA
DTL(n)
DTLX(n)
DTL(n+1)
DTLX(n+1)
DTL(n+2)
DTLX(n+2)
SWa
SWb
SW
BL(n)
BLX(n)
BL(n+1)
BLX(n+1)
BL(n+2)
BLX(n+2)

圖 4

圖式

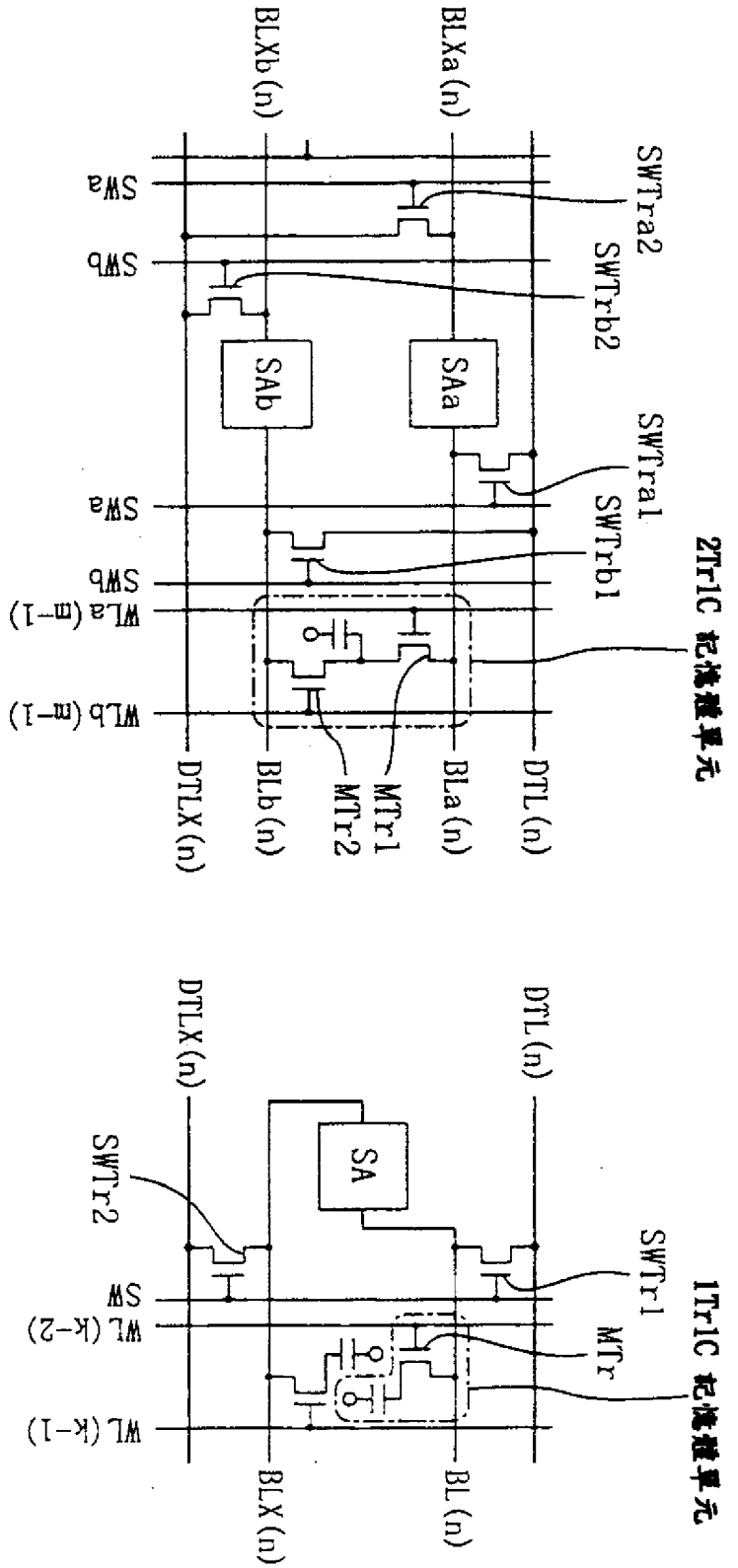

(a)
2Tr1C 記憶體單元
BLXb (n)
BLXa (n)
SWTra2
SWTrb2
SWTra1
SWTrb1
SWa
SWb
SAb
SAa
WLa (m-1)
WLb (m-1)
DTLX (n)
BLb (n)
MTr2
MTr1
BLa (n)
DTL (n)
(b)
1Tr1C 記憶體單元
DTLX (n)
DTL (n)
SWTr2
SWTr1
SA
SW
MTr
WL (K-2)
WL (K-1)
BLX (n)
BL (n)

圖 5

圖式

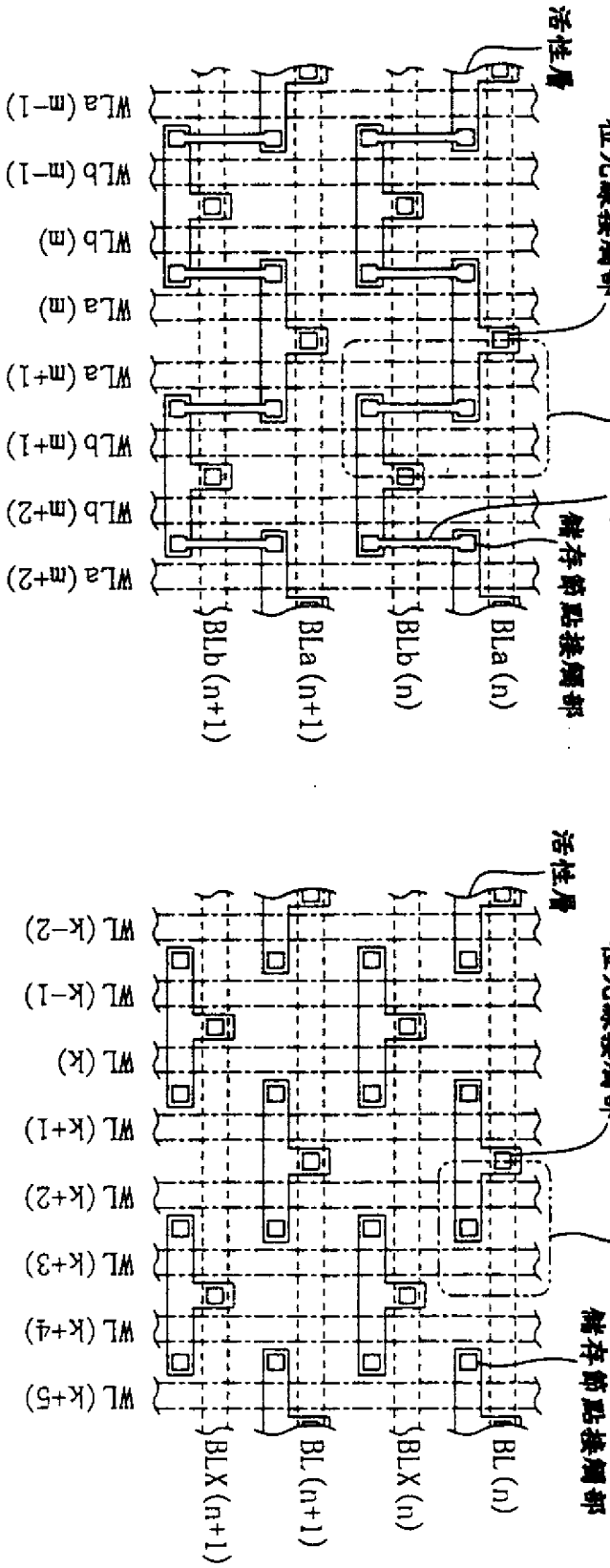

(a)
2Tr1C 記憶單元陣列
活性層
位元線接觸部
2Tr1C 記憶單元
儲存節點連接
儲存節點接觸部
WLa (m-1)
WLb (m-1)
WLb (m)
WLa (m)
WLa (m+1)
WLb (m+1)
WLb (m+2)
WLa (m+2)
BLa (n)
BLb (n)
BLa (n+1)
BLb (n+1)
(b)
1Tr1C 記憶單元陣列
活性層
位元線接觸部
1Tr1C 記憶單元
儲存節點接觸部
WL (k-2)
WL (k-1)
WL (k)
WL (k+1)
WL (k+2)
WL (k+3)
WL (k+4)
WL (k+5)
BL (n)
BLX (n)
BL (n+1)
BLX (n+1)

圖 6

圖式

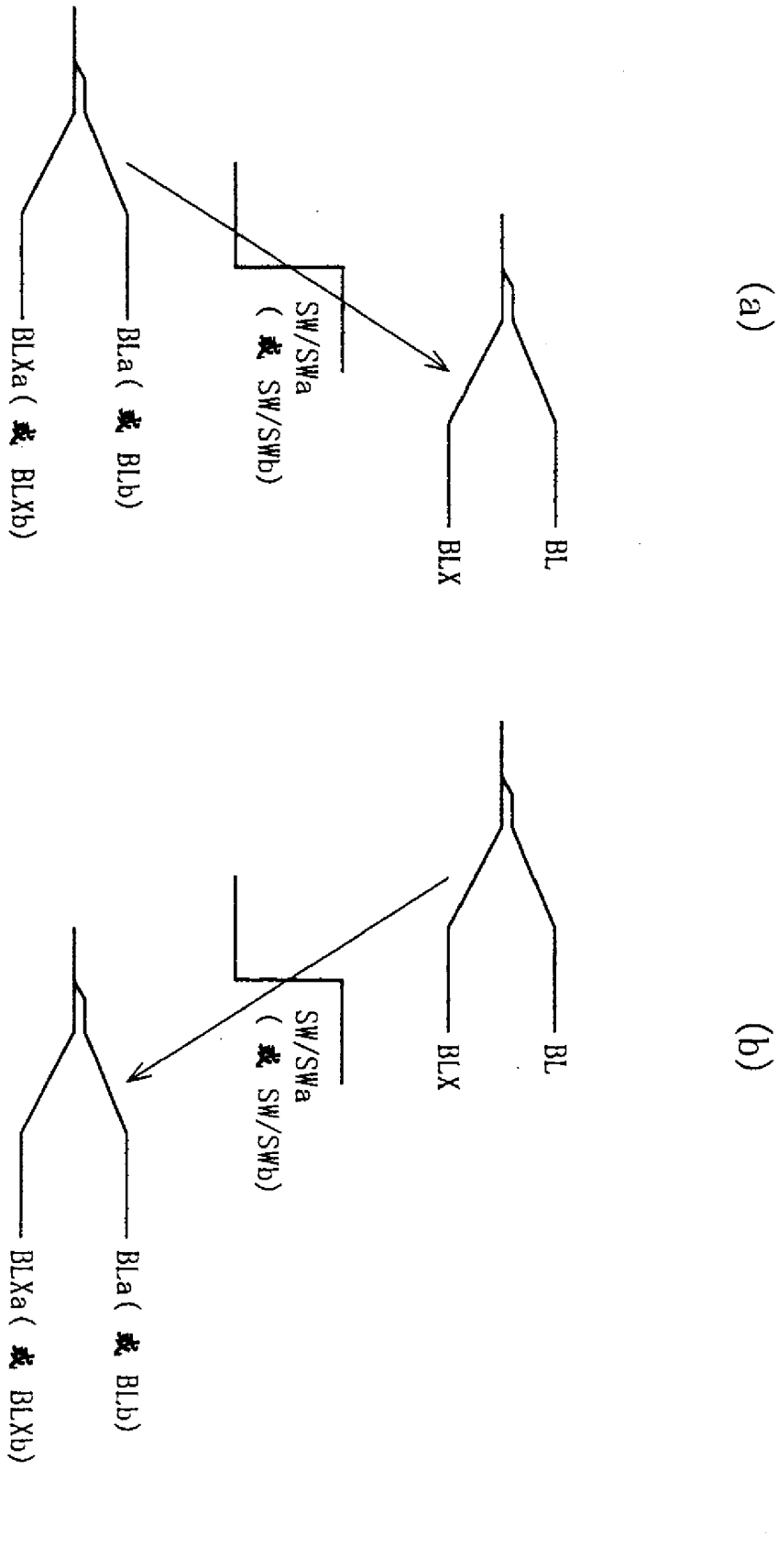

(a)
BL
BLX
SW/SWa
(或 SW/SWb)
BLa(或 BLb)
BLXa(或 BLXb)
(b)
BL
BLX
SW/SWa
(或 SW/SWb)
BLa(或 BLb)
BLXa(或 BLXb)

圖 7