

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成16年12月9日(2004.12.9)

【公表番号】特表2001-500658(P2001-500658A)

【公表日】平成13年1月16日(2001.1.16)

【出願番号】特願平10-512612

【国際特許分類第7版】

G 1 1 C 16/02

G 1 1 C 16/04

【F I】

G 1 1 C 17/00 6 1 2 C

G 1 1 C 17/00 6 2 1 C

【手続補正書】

【提出日】平成16年1月19日(2004.1.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

手 続 補 正 書

16.1.19

平成 年 月 日 

特許庁長官 今 井 康 夫 殿

1. 事件の表示 平成10年特許願第512612号

2. 補正をする者

事件との関係 出 願 人

名 称 マクロニクス インターナショナル
カンパニー リミテッド

3. 代 理 人

住 所 東京都千代田区丸の内3丁目3番1号
電話(代) 3211-8741

氏 名 (5995) 弁理士 中 村 稔



4. 補正命令の日付 自 発

5. (本補正により請求の範囲に記載された請求項の数は合計「25」
となりました。)

6. 補正対象書類名 明細書

7. 補正対象項目名 請求の範囲

8. 補正の内容 別紙記載の通り



請求の範囲

1. 浮遊ゲートメモリセルのブロックを、該ブロックの消去の準備としてプリプログラミングする方法において、上記ブロック内のメモリセルは、半導体基体の絶縁ウェル内のチャネルウェルに形成されており、浮遊ゲート、ソース、ドレイン、及び制御ゲートを有し、上記方法は、

上記ブロック内のメモリセルの上記制御ゲートに結合されているワードラインをプリプログラムワードライン電位にセットするステップと、

プリプログラムチャネル電位を上記ブロック内のメモリセルの上記チャネルウェルに印加して、電子の転送を誘起させて上記ブロック内のセルの上記浮遊ゲート内に電荷レベルをセットし、上記メモリセルの浮遊ゲート内の上記電荷レベルに上記ブロック内のメモリセルのプリプログラムされた状態を確立させるステップと、

上記ブロック内のメモリセルの上記プリプログラミングを検査するステップと、

を備えていることを特徴とする方法。

2. 上記ブロックは、セルの複数の行及び列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記ワードラインを上記プリプログラムワードライン電位にセットするステップは、上記複数の行に対応するワードラインを、上記プリプログラムワードライン電位にセットするステップを含むことを特徴とする請求項1に記載の方法。
3. 上記ブロックは、セルの複数の行及び複数の列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記プリプログラミングを検査するステップは、検査電位を上記複数の行に対応するワードラインに印加するステップと、
上記複数の列内のセルの1つの列に対応する少なくとも1つのビットラインを感知し、上記列内の、且つ上記複数の行内のメモリセルが上記プリプログラムされた状態にあることを検査するステップと、
を含むことを特徴とする請求項1に記載の方法。

4. 上記ブロックは、セルの複数の行及び複数の列を含み、上記ブロック内のセルの行は対応するワードラインに結合され、上記ブロック内のセルの列は対応するビットラインに結合され、上記プリプログラミングを検査するステップは、検査電位を上記複数の行に対応するワードラインに印加するステップと、上記複数の列内のセル内の少なくとも8つの列に対応する1組のビットラインを感知し、上記少なくとも8つの列内の、且つ上記複数の行内のメモリセルが上記プリプログラムされた状態にあることを検査するステップと、を含むことを特徴とする請求項1に記載の方法。
5. 上記プリプログラムチャンネル電位は、 -4 V 乃至 -8 V の範囲内の値を有することを特徴とする請求項1に記載の方法。
6. 上記プリプログラムワードライン電位は、約 $+3\text{ V}$ 乃至 $+10\text{ V}$ の範囲内の値を有していることを特徴とする請求項5に記載の方法。
7. もし、上記ブロック内のセルが上記検査ステップに合格しなければ、全てのセルが検査ステップに合格するか、または再試行限度に到達するまで、上記印加ステップ及び検査ステップを再試行するステップ、を含むことを特徴とする請求項1に記載の方法。
8. 上記検査ステップは、上記ブロック内のメモリセルをバイト毎に読み出すステップを含むことを特徴とする請求項1に記載の方法。
9. 上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記セットするステップの前に、プリプログラムされるブロックを選択するステップを含むことを特徴とする請求項1に記載の方法。
10. 上記複数のブロック内の1つより多くのブロックが1つのチャンネルウェルを共用しており、上記印加ステップの前に、選択されたブロックとチャンネルウェルを共有している選択されていないブロック内の行に対応するワードラインをプリプログラム禁止電位にセットするステップを含むことを特徴とする請求項9に記載の方法。
11. 上記プリプログラム禁止電圧は、約 -4 V 乃至 -8 V の範囲内の値を有していることを特徴とする請求項10に記載の方法。
12. プリプログラムソース電位を、上記ブロック内のメモリセルのソースに印加

するステップを更に含むことを特徴とする請求項1に記載の方法。

13. 上記プリプログラムソース電位は、ほぼ接地乃至 -8 V の値を有していることを特徴とする請求項12に記載の方法。
14. プリプログラムドレイン電位を、上記ブロック内のメモリセルのドレインに印加するステップを更に含むことを特徴とする請求項1に記載の方法。
15. 上記プリプログラムドレイン電位は、ほぼ接地乃至 -8 V の値を有していることを特徴とする請求項14に記載の方法。
16. 浮遊ゲートメモリセルのブロックを消去する方法において、上記ブロックはセルの複数の行及び列を含み、上記ブロック内のメモリセルは半導体基体内の絶縁ウェル内のチャンネルウェル内に形成されており、上記ブロック内の浮遊ゲートメモリセルはそれぞれ浮遊ゲート、制御ゲート、ソース、ドレイン、及びチャンネルを有し、上記方法は、

上記セルを並列にバイアスすることによって電子のトンネリングを誘起させ、上記ブロック内のセルの上記浮遊ゲート内に上記ブロック内のセルのプリプログラムされた状態に対応する電荷状態を確立させて上記セルのブロックをプリプログラムするステップと、

上記プリプログラミングのステップの後に、上記セルを並列にバイアスすることによって電子のトンネリングを誘起させ、上記ブロック内のセルの上記浮遊ゲート内に上記ブロック内のセルの消去された状態に対応する電荷状態を確立させて上記セルのブロックを消去するステップと、

を備えることを特徴とする方法。
17. 上記プリプログラミングのステップは、第1のプリプログラミング電位を上記チャンネルウェルに印加し、第2のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記チャンネルと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項16に記載の方法。
18. 上記第1のプリプログラミング電位は、約 0 V 乃至 -12 V の範囲内にある値を有し、上記第2のプリプログラミング電位は、約 0 V 乃至 $+12\text{ V}$ の範囲内にある値を有していることを特徴とする請求項17に記載の方法。

19. 上記プリプログラミングのステップは、第1のプリプログラミング電位を上記ブロック内のセルのソースに印加し、第2のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記ソースと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項16に記載の方法。
20. 上記第1のプリプログラミング電位は、約0 V乃至-12 Vの範囲内の値を有し、上記第2のプリプログラミング電位は、約0 V乃至+12 Vの範囲内の値を有し、上記ドレインは浮かしてあり、約0 V乃至-12 Vの範囲内の値を有する第3のプリプログラミング電位を上記チャンネルウェルに印加するステップを含むことを特徴とする請求項19に記載の方法。
21. 上記プリプログラミングのステップは、第1のプリプログラミング電位を上記ブロック内のセルのドレインに印加し、第2のプリプログラミング電位を上記ブロック内のセルの上記制御ゲートに印加することによって、上記ブロック内のセルの上記ドレインと上記浮遊ゲートとの間にプリプログラミング電界を確立するステップを含むことを特徴とする請求項16に記載の方法。
22. 上記第1のプリプログラミング電位は、約0 V乃至-12 Vの範囲内の値を有し、上記第2のプリプログラミング電位は、約0 V乃至+12 Vの範囲内の値を有し、上記ソースは浮かしてあり、約0 V乃至-12 Vの範囲内の値を有する第3のプリプログラミング電位を上記チャンネルウェルに印加するステップを含むことを特徴とする請求項21に記載の方法。
23. 上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記プリプログラミングのステップの前に、消去されるブロックを選択するステップを含むことを特徴とする請求項16に記載の方法。
24. 上記半導体基体上には浮遊ゲートメモリセルの複数のブロックが存在しており、上記複数のブロック内の1つより多くのブロックが1つのチャンネルウェルを共有しており、上記プリプログラミングステップ前に、
消去される1つまたはそれ以上のブロックを選択するステップと、
選択されたブロックとチャンネルウェルを共用している選択されていないブロック内のセルの制御ゲートを、プリプログラム禁止電位にセットするステップ

と、を含むことを特徴とする請求項17に記載の方法。

25. 上記プリプログラム禁止電圧は、約 0 V 乃至 - 1 2 V の範囲内の値を有していることを特徴とする請求項23に記載の方法。