

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：96121889

※ 申請日期：96.6.15

※IPC 分類：H01L 23/528 (2006.01)

H01L 21/60 (2006.01)

H01L 21/04 (2006.01)

一、發明名稱：(中文/英文)

堆疊式晶片封裝 / STACK DIE PACKAGES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

邁威爾世界貿易有限公司 / Marvell World Trade Ltd.

代表人：(中文/英文)

史帝文 派克 / Steven Parker

住居所或營業所地址：(中文/英文)

巴貝多國 BB14027 聖麥可市布靈頓山莊砲台路 L 層 /

L'Horizon, Gunsite Road, Brittons Hill, St. Michael, Barbados BB14027

國 籍：(中文/英文)

巴貝多 / Barbados

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 吳宗澤 / Albert Wu

2. 高華宏 / Huahang Kao

國 籍：(中文/英文)

1. 美國 / USA

2. 中華民國 / ROC

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國 、 2006 年 6 月 15 日 、 60/813,778
2. 美國 、 2007 年 5 月 9 日 、 11/801,317

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種具有相應方法的積體電路封裝，其包括：包含第一電性接觸的基板；第一引線接合積體電路晶片，其機械地耦接到基板，且包括第二電性接觸，其藉由第一導電引線，電性耦接到基板的第一電性接觸；覆晶積體電路晶片，其包括第三電性接觸，其藉由導電凸塊而電性耦接至第一引線接合積體電路晶片的第二電性接觸；以及第二引線接合積體電路晶片，其機械地耦接到覆晶積體電路晶片，且包括第四電性接觸，其藉由第二導電引線，電性耦接到第一引線接合積體電路晶片的第二電性接觸，或電性耦接到基板的第一電性接觸，或電性耦接至此兩者。

六、英文發明摘要：

Integrated circuit packages having corresponding methods comprise: a substrate comprising first electric contacts; a first wirebond integrated circuit die mechanically coupled to the substrate and comprising second electric contacts electrically coupled to the first electric contacts of the substrate by first electrically conductive wires; a flip-chip integrated circuit die comprising third electric contacts electrically coupled to the second electric contacts of the first wirebond integrated circuit die by electrically conductive bumps; and a second wirebond integrated circuit die mechanically coupled to the flip-chip integrated circuit die and comprising fourth electric contacts electrically coupled to the second electric contacts of the first wirebond integrated circuit die, or the first electric contacts of the substrate, or both, by second electrically conductive wires.

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100	積體電路封裝
102	基板
104	引線接合積體電路晶片
106	覆晶積體電路晶片
108	引線接合積體電路晶片
110	電性接觸
112	引線接合墊
114	焊球
116	電性接觸
120	導電凸塊
122	再分佈層
124A	導電引線
124B	導電引線
124C	導電引線
126	密封劑

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬技術領域】

本發明通常涉及積體電路製造。更特定而言，本發明涉及將多個積體電路晶片包括於單一封裝中。

【先前技術】

在積體電路技術中，令人期望將多個積體電路晶片包括於單一封裝中，例如用以減小封裝的佔用面積（footprint），並確保晶片經歷遭受相同的環境情況。達成這兩個目的的一種方法是將此等晶片堆疊在彼此之頂上。

【發明內容】

通常，在一個方面中，本發明的特徵為一種積體電路封裝，其包括：包含第一電性接觸的基板；第一引線接合（wirebond）積體電路晶片，其機械地耦接到基板，並包括第二電性接觸，其藉由第一導電引線而電性耦接到基板的第一電性接觸；覆晶（flip-chip）積體電路晶片，其包括第三電性接觸，其藉由導電凸塊而電性耦接到第一引線接合積體電路晶片的第二電性接觸；以及第二引線接合積體電路晶片，其機械地耦接到覆晶積體電路晶片，並包括第四電性接觸，藉由第二導電引線而電性耦接到第一引線接合積體電路晶片的第二電性接觸、或電性耦接到基板的第一電性接觸，或電性耦接至兩者。

在某些實施例中，第一引線接合積體電路晶片包括再分佈層，該再分佈層包括跡線，其將導電凸塊電性耦接到第一引線接合積體電路晶片的第二電性接觸。在某些實施例中，第二引線接合積體電路晶片更包括：第五電性接觸，其置靠近第二引線接合積體電路晶片的第一邊緣；以及再分佈層，其包括設置於第二引線接合積體電路晶片的第二邊緣附近的第六電性接觸，與電性耦接第五和第六電性接觸的跡線；其中第四電性接觸設置靠近此第二引線接合積體電路晶片的第二邊緣；以及其中，第六電性接觸藉由第二導電引線，而電性耦接到第一引線接合積體電路晶片的第二電性接觸，或基板的第一電性接觸，或電性耦接到兩者。在某些實施例中，基板

和第一引線接合積體電路晶片藉由第一黏著劑而機械地耦接；以及其中，覆晶積體電路晶片和第二引線接合積體電路晶片藉由第二黏著劑而機械地耦接。某些實施例包括密封劑，其圍繞第一引線接合積體電路晶片、覆晶積體電路晶片、第二引線接合積體電路晶片，及導電引線。在某些實施例中，第一引線接合積體電路晶片包括系統晶片（SoC）電路；其中覆晶積體電路晶片包括快閃記憶體；並且其中第二引線接合積體電路晶片包括同步動態隨機存取記憶體（SDRAM）。

通常，在一個方面中，本發明的特徵為一種用於製造積體電路封裝的方法，此方法包括：提供包括第一電性接觸的基板；提供包括第二電性接觸的第一引線接合積體電路晶片；將第一引線接合積體電路晶片機械地耦接到基板；使用第一導電引線將第一引線接合積體電路晶片的第二電性接觸電性耦接到基板的第一電性接觸；提供包括第三電性接觸的覆晶積體電路晶片；藉由使用導電凸塊，將覆晶積體電路晶片的第三電性接觸、電性耦接到第一引線接合積體電路晶片的第二電性接觸；提供包括第四電性接觸的第二引線接合積體電路晶片；將第二引線接合積體電路晶片機械地耦接到覆晶積體電路晶片；以及使用第二導電引線，將第二引線接合積體電路晶片的第四電性接觸、電性耦接到第一引線接合積體電路晶片的第二電性接觸，或基板的第一電性接觸，或電性耦接到兩者。

某些實施例包括在第一引線接合積體電路晶片上提供再分佈層，該再分佈層包括跡線，其將導電凸塊電性耦接到第一引線接合積體電路晶片的第二電性接觸。某些實施例包括：提供第五電性接觸，其設置靠近第二引線接合積體電路晶片的第一邊緣；提供再分佈層，其包括第六電性接觸、設置靠近第二引線接合積體電路晶片的第二邊緣，以及跡線，電性耦接第五和第六電性接觸；其中第四電性接觸設置靠近第二引線接合積體電路晶片的第二邊緣；並且藉由第二導電引線，將再分佈層的第六電性接觸電性耦接到第一引線接合積體電路晶片的第二電性接觸，或基板的第一電性接觸，或電性耦接到兩者。某些實施例包括：使用第一黏著劑機械地耦接基板與第一引線接合積體電路晶片；以及使用第二黏著劑機械地耦接覆晶積體電路晶片與第二引線接合積體電路晶片。某些實施例包括以密封劑圍繞

第一引線接合積體電路晶片、覆晶積體電路晶片、第二引線接合積體電路晶片、及導電引線。在某些實施例中，第一引線接合積體電路晶片包括系統晶片(SoC)電路；其中覆晶積體電路晶片包括快閃記憶體；並且其中第二引線接合積體電路晶片包括同步動態隨機存取記憶體(SDRAM)。

在所附圖式與以下的描述中說明一或更多個實現方式的細節。根據說明書和附圖以及申請專利範圍，其他特徵將是顯而易見的。

【實施方式】

在此說明書中使用的每個參考號碼的首位數字顯示該參考號碼在其中首次出現的圖式的編號。

本發明此等實施例所提供之積體電路封裝包括積體電路晶片之堆疊。根據某些實施例，此積體電路封裝包括：基板；在基板頂上的引線接合積體電路晶片；在引線接合積體電路晶片之上的覆晶積體電路晶片；以及在覆晶積體電路晶片之上的第二引線接合積體電路晶片。下部引線接合積體電路晶片的接觸被引線接合到基板的接觸。藉由導電凸塊將覆晶積體電路晶片的接觸連接到第一引線接合積體電路晶片的接觸，覆晶積體電路晶片的接觸可以是球格柵陣列(BGA)接觸。上部引線接合積體電路晶片的接觸被引線接合到下部引線接合積體電路晶片的接觸，或基板的接觸，或此兩種接觸。

再分佈層可以使用於兩個引線接合積體電路晶片之一或二者的頂部上。再分佈層可以使用於下部引線接合積體電路晶片的頂部，而將導電凸塊連接到下部引線接合積體電路晶片上的引線接合墊。例如，當上部引線接合積體電路晶片太大，以致於只能從一個邊緣進行引線接合時，可在上部引線接合積體電路晶片的頂部上使用另一再分佈層，從而將上部引線接合積體電路晶片的一個邊緣將引線接合墊連接到另一邊緣上的引線接合墊。

可以使用黏著劑(adhesive)將下部引線接合積體電路晶片機械地耦接到基板，且將上部引線接合積體電路晶片機械地耦接至覆晶積體電路晶片。雖然可藉由導電凸塊達成下部引線接合積體電路晶片和覆晶積體電路

晶片之間的機械耦接，但是可藉由採用黏著劑的底部填充（underfill）技術來增強該機械地耦接。黏著劑可包含銀環氧樹脂及類似物。可以使用密封劑以圍繞積體電路晶片的堆疊和引線接合引線。

在某些實施例中，下部引線接合積體電路晶片包括系統晶片(SoC)電路，覆晶積體電路晶片包括快閃記憶體，並且上部引線接合積體電路晶片包括同步動態隨機存取記憶體(SDRAM)。在其他實施例中，可使用其他的積體電路。

第 1 圖為側視圖，其顯示根據本發明的某些實施例的、並無須依比例繪製的包括三個積體電路晶片的堆疊的積體電路封裝 100。積體電路封裝 100 包括基板 102、引線接合積體電路晶片 104、覆晶積體電路晶片 106，以及引線接合積體電路晶片 108。

基板 102 具有可連接到其他裝置、終端機或類似物的電性接觸 110。引線接合積體電路晶片 104 具有藉由導電引線 124A 連接到基板 102 的電性接觸 110 的電性接觸（即，引線接合墊）112。導電引線 124A 可以用金線或類似物來執行。

覆晶積體電路晶片 106 具有藉由導電凸塊 120 連接到引線接合積體電路晶片 104 的引線接合墊 112 的電性接觸（即，焊球）114。在某些實施例中，再分佈層（RDL）122 被用於將導電凸塊 120 連接到一些或全部的引線接合墊 112。

第 2 圖顯示根據本發明的某些實施例的第 1 圖的再分佈層 122 的俯視圖。再分佈層 122 包含：電性接觸（即，凸塊墊）202，用於連接到覆晶積體電路晶片 106 的各個導電凸塊 120；電性接觸 204，用於連接到引線接合積體電路晶片 104 的各個引線接合墊 112；以及導電跡線 206，其連接各個凸塊墊 202 與電性接觸 204。

再次參考第 1 圖，引線接合積體電路晶片 108 具有電性接觸（即，引線接合墊）116。引線接合墊 116 可以藉由導電引線 124B 而連接到基板 102 的電性接觸 110，或藉由導電引線 124C 而連接到引線接合積體電路晶片 104 的引線接合墊 112，或連接到以上兩者。導電引線 124B-C 可以用金線或類似物來執行。

在各種實施例中，引線接合積體電路晶片 104 上的一些或全部引線接合墊 112 被電性耦接到引線接合積體電路晶片 104 中的積體電路。然而在某些實施例中，一些引線接合墊 112 並未被耦接到積體電路，而是被提供用於積體電路封裝 100 的其他元件之間的連接。例如，可以使用某些引線接合墊 112 以提供覆晶積體電路晶片 106 的焊球 114、與基板 102 的電性接觸 110 之間的連接。又如另一示例，在未使用導電引線 124B 的實施例中，可以使用某些引線接合墊 112，以提供引線接合積體電路晶片 108 的引線接合墊 116、與基板 102 的電性接觸 110 之間的連接。

可以藉由密封劑 126 而圍繞積體電路晶片 104-108 和導電引線 124。

雖然第 1 圖描述每個積體電路晶片 104-108 的兩個邊緣上的連接，但是如第 1 圖所示，可以連接三個或更多邊緣。然而，在某些實施例中，最上面的引線接合積體電路晶片 108 是如此的大，以致於其一個或更多個邊緣不能被引線接合。在此等實施例中，使用在最上面的引線接合積體電路晶片 108 之頂上之再分佈層，而從其他邊緣連接電性接觸 116。

第 3 圖為側視圖，其顯示根據本發明的某些實施例的、並無須依比例繪製的包括三個積體電路晶片的堆疊且在頂部晶片之上具有再分佈層的積體電路封裝 300。如同可以從第 3 圖中看出，頂部晶片（即，引線接合積體電路晶片 108）的左側邊緣伸出超過下部引線接合積體電路晶片 104，以致於不能夠引線接合連接那個邊緣上的電性接觸 116。在此種實施例中，使用再分佈層（RDL）302 將左側邊緣上的引線接合墊 116 連接到右側邊緣上的某些引線接合墊 116。

第 4 圖顯示根據本發明的某些實施例的第 3 圖的再分佈層 302 的俯視圖。再分佈層 302 包括：電性接觸 402，用於連接到引線接合積體電路晶片 108 的左側邊緣上的各個引線接合墊 116；電性接觸 404，用於連接到引線接合積體電路晶片 108 的右側邊緣上的各個引線接合墊 116；以及導電跡線 406，連接各個電性接觸 402 與 404。

第 5 圖顯示根據本發明的實施例用於製造積體電路封裝的過程 500。例如，可以使用過程 500 以製造第 1 圖的積體電路封裝 100 與第 3 圖的積體電路封裝 300。為了清楚起見，參考第 1 圖的積體電路封裝 100 來討論過程

500。雖然在所說明的實施例中，過程 500 的元件呈現於一配置中，然而對於相關技術領域中的技術人員而言，在閱讀此說明之後，其他實施例特徵之其他配置將是顯而易見的。

參考第 5 圖，過程 500 提供包括電性接觸 110 的基板 102 (步驟 502)。過程 500 還提供包括引線接合墊 112 的引線接合積體電路晶片 104 (步驟 504)。過程 500 例如藉由使用諸如銀環氧樹脂和類似物之類的黏著劑、將引線接合積體電路晶片 104 機械地耦接到基板 102 (步驟 506)。過程 500 還藉由使用導電引線 124A，將引線接合積體電路晶片 104 的引線接合墊 112 電性耦接到基板 102 的電性接觸 110 (步驟 508)。

過程 500 亦提供包括焊球 114 的覆晶積體電路晶片 106 (步驟 510)，並藉由使用導電凸塊 120 將焊球 114 電性耦接到引線接合積體電路晶片 104 的引線接合墊 112 (步驟 512)。如以上參考第 2 圖所詳細說明，在某些實施例中，使用再分佈層 122 將引線接合墊 112 電性耦接到導電凸塊 120。

過程 500 亦提供包括引線接合墊 116 的引線接合積體電路晶片 108 (步驟 514)，並例如藉由使用諸如銀環氧樹脂和類似物之類的黏著劑，將引線接合積體電路晶片 108 機械地耦接到覆晶積體電路晶片 106 (步驟 516)。過程 500 還藉由使用導電引線 124C，將引線接合積體電路晶片 108 的引線接合墊 116，電性耦接到引線接合積體電路晶片 104 的引線接合墊 112 (步驟 518)，或藉由使用導電引線 124B，將引線接合墊 116 電性耦接到基板 102 的電性接觸 110 (步驟 520)，或電性耦接至此兩者。如以上參考第 4 圖所詳細說明，在某些實施例中，使用再分佈層 302 將引線接合積體電路晶片 108 的一個邊緣上的引線接合墊 116、電性耦接到另一邊緣上的引線接合墊 116。

最後，過程 500 用密封劑 126 圍繞積體電路晶片 104-108 和導電引線 124 (步驟 522)。

以上已經描述本發明的若干實施方式。然而，應理解可做出各種修正而不會偏離本發明的精神和範圍。因此，其他的實施方式是在以下申請專利範圍之範圍中。

【圖式簡單說明】

第 1 圖顯示根據本發明的某些實施例的、並無須依比例繪製的包括三個積體電路晶片堆疊之的積體電路封裝的側視圖；

第 2 圖顯示根據本發明的某些實施例的第 1 圖的再分佈層的俯視圖；

第 3 圖顯示根據本發明的某些實施例的、並無須依比例繪製的包括三個積體電路晶片的堆疊並且在頂部晶片上具有再分佈層的積體電路封裝的側視圖；

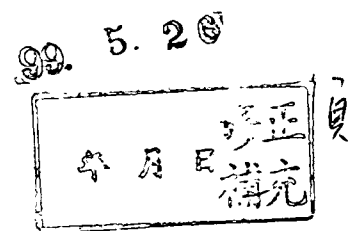
第 4 圖顯示根據本發明的某些實施例的第 3 圖的再分佈層的俯視圖；
以及

第 5 圖顯示根據本發明的實施例用於製造積體電路封裝的過程。

【主要元件符號說明】

100	積體電路封裝
102	基板
104	引線接合積體電路晶片
106	覆晶積體電路晶片
108	引線接合積體電路晶片
110	電性接觸
112	引線接合墊
114	焊球
116	電性接觸
120	導電凸塊
122	再分佈層
124A	導電引線
124B	導電引線
124C	導電引線
126	密封劑

202	電性接觸
204	電性接觸
206	導電跡線
300	積體電路封裝
302	再分佈層
402	電性接觸
404	電性接觸
406	導電跡線
500	過程
502、504、506、508、510、 512、514、516、518、522	步驟



十、申請專利範圍：

1. 一種積體電路封裝，包括：

一基板，其包括第一電性接觸；

一第一引線接合積體電路晶片，其機械地耦接到該基板，並包括第二電性接觸，其藉由第一導電引線電性耦接到該基板的第一電性接觸；

一覆晶積體電路晶片，其包括第三電性接觸，其藉由導電凸塊電性耦接到該第一引線接合積體電路晶片的該等第二電性接觸；以及

一第二引線接合積體電路晶片，其機械地耦接到該覆晶積體電路晶片，並包括第四電性接觸，其藉由第二導電引線電性耦接到該基板的該等第一電性接觸以及該第一引線接合積體電路晶片的該等第二電性接觸，

其中，該第二引線接合積體電路晶片更包括一再分佈層，該再分佈層包括：

第五電性接觸，其設置在靠近該第二引線接合積體電路晶片的第一邊緣；

第六電性接觸，係電性耦接到該等第四電性接觸，並設置在靠近該第二引線接合積體電路晶片的第二邊緣；以及

跡線，其電性耦接該等第五和第六電性接觸。

2. 如申請專利範圍第 1 項所述之積體電路封裝，其中

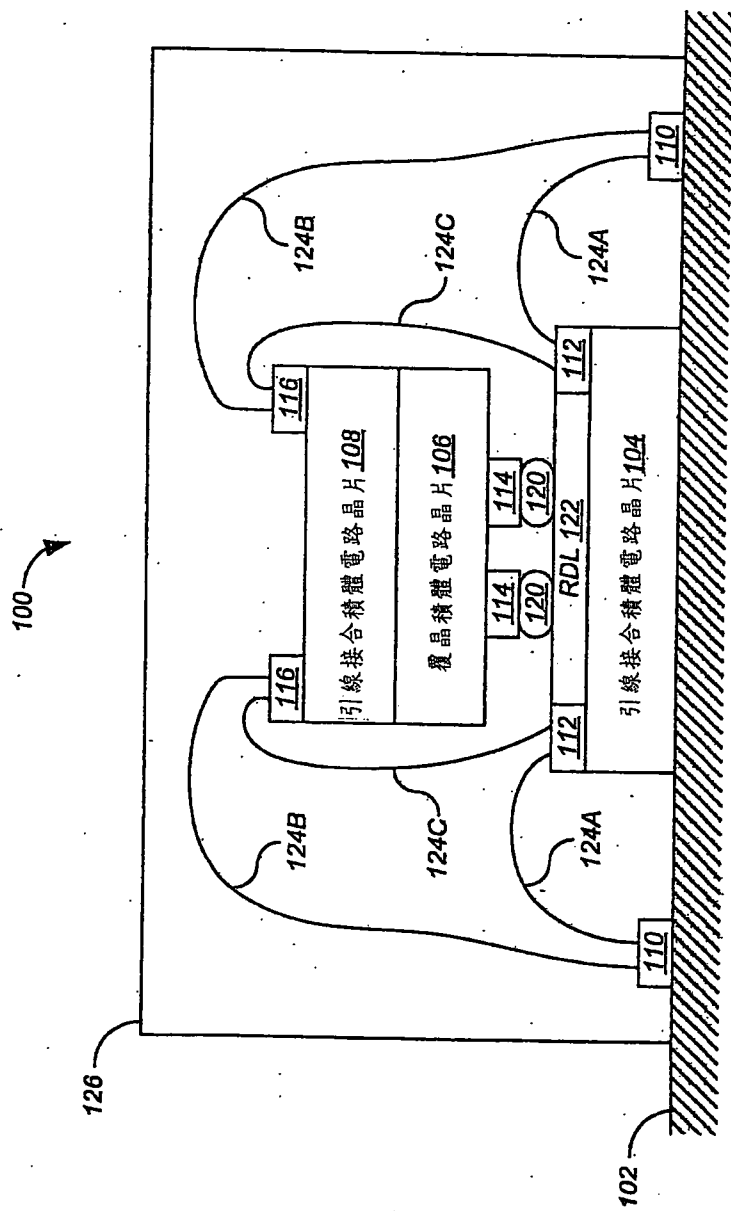
該第一引線接合積體電路晶片包括一再分佈層，該再分佈層包括跡線，該等跡線將該導電凸塊電性耦接到該第一引線接合積體電路晶片的該第二電性接觸。

3. 如申請專利範圍第 1 項所述之積體電路封裝，其中

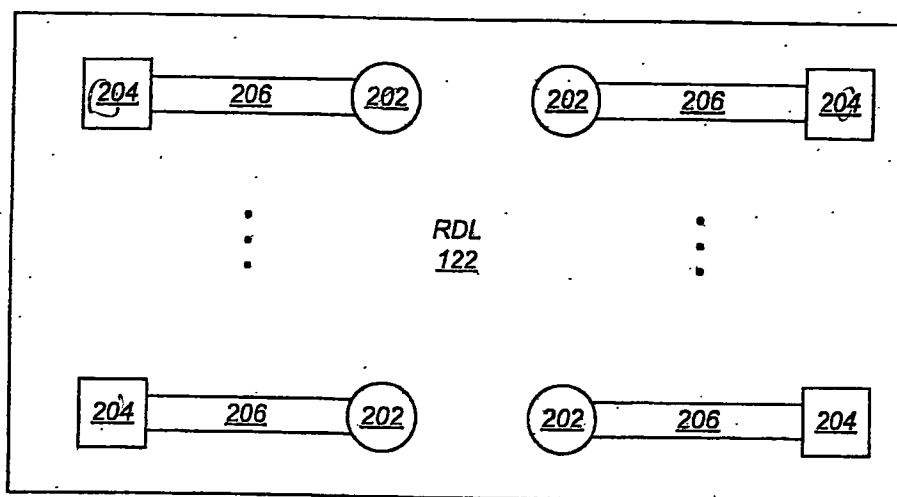
該等第四電性接觸設置靠近該第二引線接合積體電路晶片的該第二邊緣；以及

藉由該第二導電引線以及該第一導電引線將該等第四電性接觸電性耦接到該等第一電性接觸。

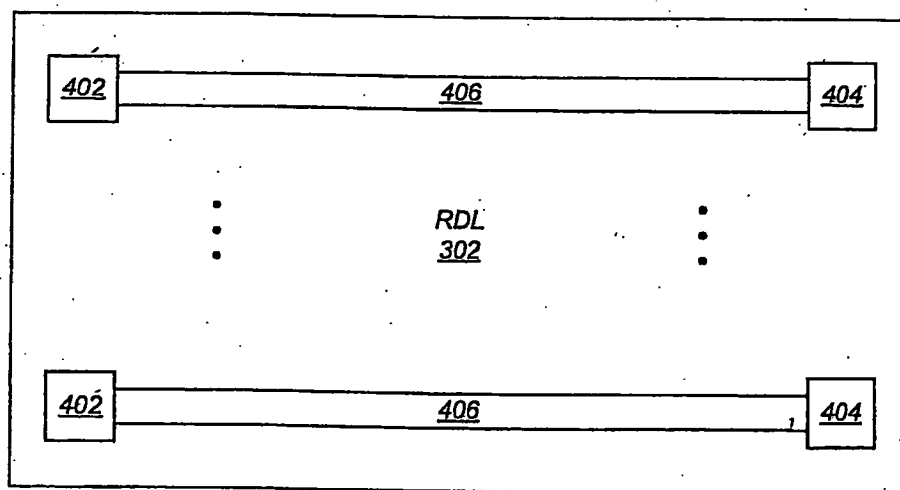
4. 如申請專利範圍第1項所述之積體電路封裝，其中，
該基板和該第一引線接合積體電路晶片藉由一第一黏著劑而機械地耦接；以及
該覆晶積體電路晶片和該第二引線接合積體電路晶片藉由一第二黏著劑而機械地耦接。
5. 如申請專利範圍第1項所述之積體電路封裝，更包括
一密封劑，其圍繞該第一引線接合積體電路晶片、該覆晶積體電路晶片、
該第二引線接合積體電路晶片以及該等導電引線。
6. 如申請專利範圍第1項所述之積體電路封裝，其中，
該第一引線接合積體電路晶片包括一系統晶片（SoC）電路；
該覆晶積體電路晶片包括一快閃記憶體；以及
該第二引線接合積體電路晶片包括一同步動態隨機存取記憶體（SDRAM）。
7. 如申請專利範圍第1項所述之積體電路封裝，其中該等第四電性接觸藉由第二導電引線電性耦接到該等第二電性接觸，並藉由第三導電引線電性耦接到該等第一電性接觸。



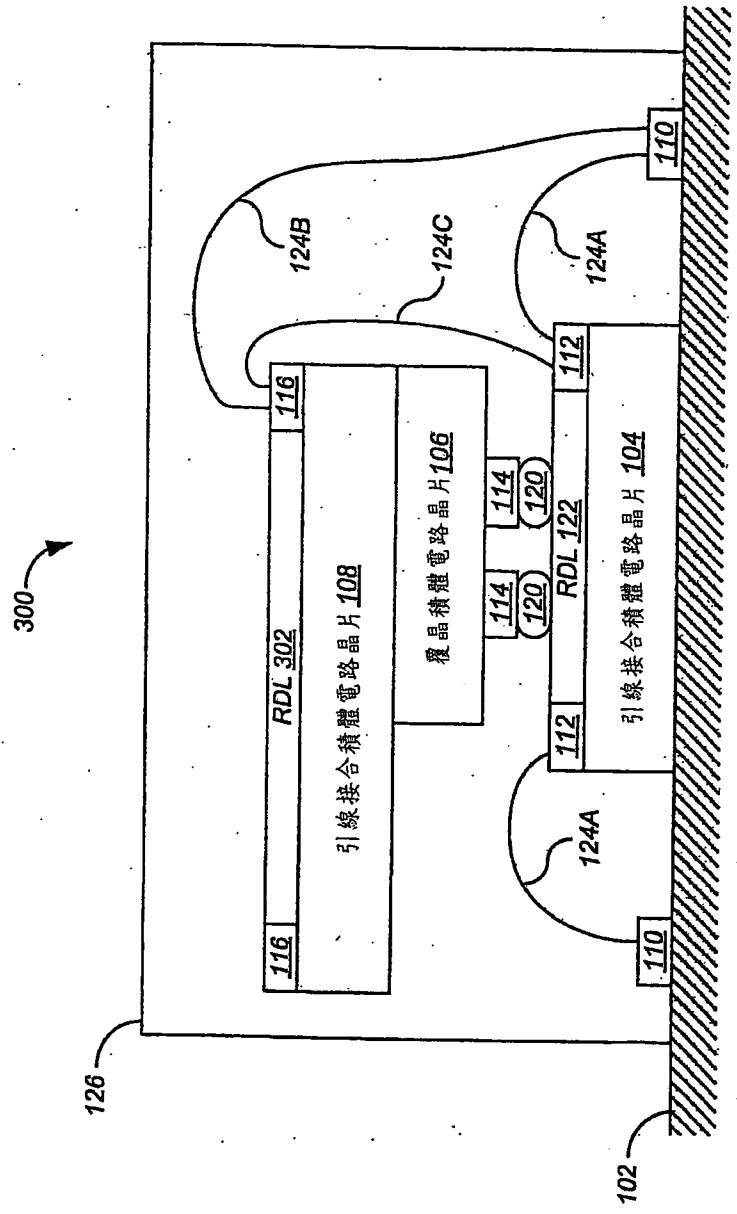
第 1 圖



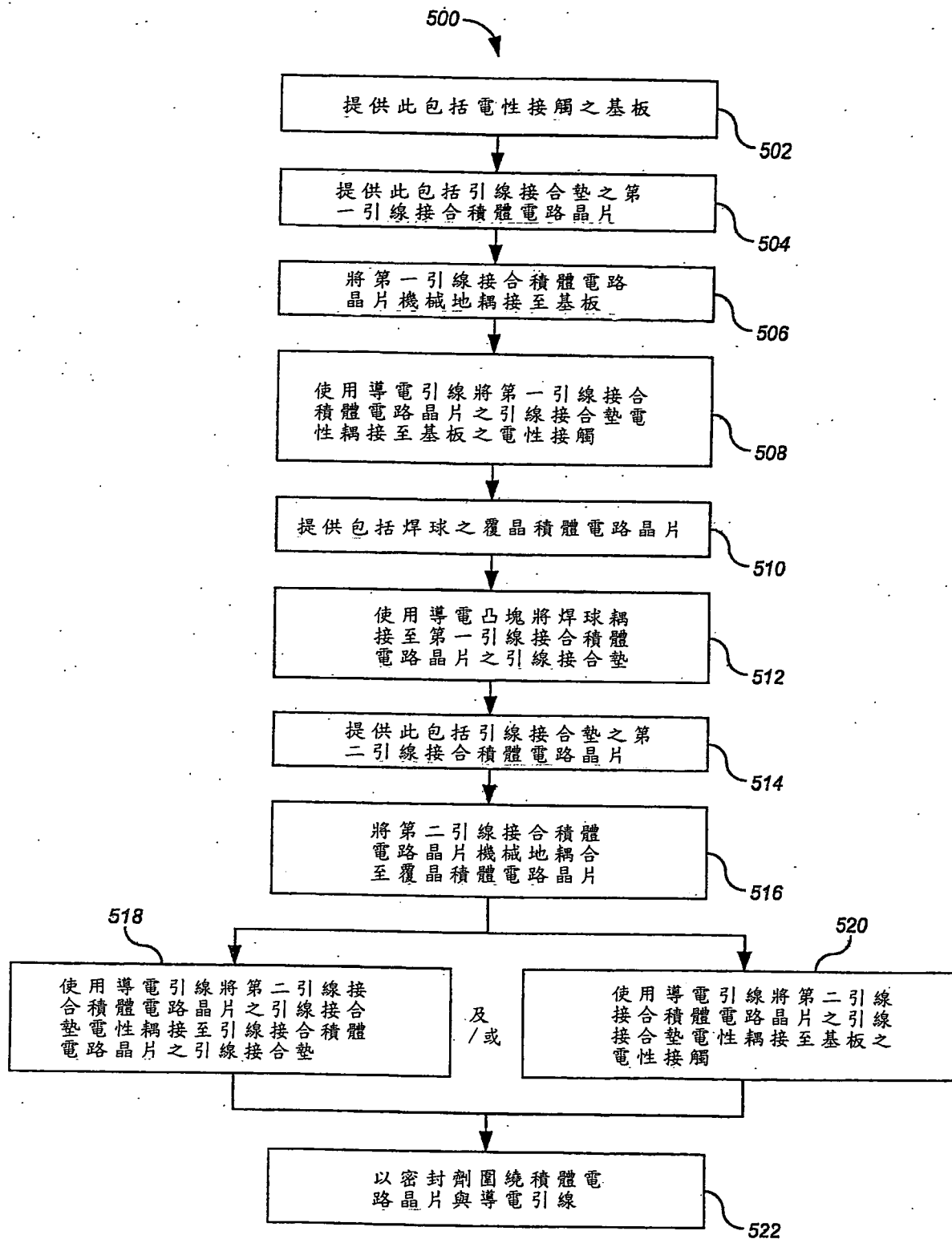
第 2 圖



第 4 圖



第 3 圖



第 5 圖