

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7313477号  
(P7313477)

(45)発行日 令和5年7月24日(2023.7.24)

(24)登録日 令和5年7月13日(2023.7.13)

(51)国際特許分類	F I
H 0 4 B 1/18 (2006.01)	H 0 4 B 1/18 D
H 0 3 H 11/04 (2006.01)	H 0 3 H 11/04 P

請求項の数 11 (全13頁)

(21)出願番号	特願2021-565741(P2021-565741)	(73)特許権者	598036300
(86)(22)出願日	令和1年5月8日(2019.5.8)		テレフオンアクチーボラゲット エルエム
(65)公表番号	特表2022-532525(P2022-532525 A)		エリクソン(パブル)
(43)公表日	令和4年7月15日(2022.7.15)		スウェーデン国 ストックホルム エス - 1 6 4 8 3
(86)国際出願番号	PCT/EP2019/061777	(74)代理人	100109726
(87)国際公開番号	WO2020/224771		弁理士 園田 吉隆
(87)国際公開日	令和2年11月12日(2020.11.12)	(74)代理人	100161470
審査請求日	令和4年1月6日(2022.1.6)		弁理士 富樫 義孝
		(74)代理人	100194294
			弁理士 石岡 利康
		(74)代理人	100194320
			弁理士 藤井 亮
		(74)代理人	100150670
			弁理士 小椋 晴美

最終頁に続く

(54)【発明の名称】 マルチバンドイコライザ

(57)【特許請求の範囲】

【請求項1】

マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザ(100、401、402)であって、前記マルチバンドイコライザは、複数の共振器(101、102、103)であって、各共振器は第1、第2および第3の端子を備える、複数の共振器(101、102、103)

を備え、

各共振器は、

前記第1および第2の端子の間に接続されたインダクタ(L<sub>1</sub>)と、

前記第1の端子と第2の端子との間に直列に接続された2つのプログラム可能キャパシタ(C<sub>11</sub>/C<sub>12</sub>)であって、前記2つのプログラム可能キャパシタの相互接続はタップアウトされて前記第3の端子に接続される、2つのプログラム可能キャパシタ(C<sub>11</sub>/C<sub>12</sub>)と

を備え、

前記複数の共振器は、先行する共振器の前記第3の端子が後続の共振器の前記第1の端子に接続されるように直列接続され、前記受信機において使用されるとき、第1の共振器の前記第1の端子が前記受信機の信号ノードに接続されるとともに最後の共振器の前記第3の端子が信号接地に接続され、または、前記第1の共振器の前記第1の端子が信号接地に接続されるとともに前記最後の共振器の前記第3の端子が前記受信機の信号ノードに接続される、マルチバンドイコライザ(100、401、402)。

## 【請求項 2】

請求項 1 に記載のマルチバンドイコライザを 2 つ備える差動マルチバンドイコライザ ( 4 0 2 ) であって、2 つの対応する共振器におけるインダクタのペアは、トランスフォーマによって実装される、差動マルチバンドイコライザ ( 4 0 2 ) 。

## 【請求項 3】

請求項 1 に記載のマルチバンドイコライザを 2 つ備える差動マルチバンドイコライザ ( 4 0 1 ) 。

## 【請求項 4】

前記複数の共振器における前記プログラム可能キャパシタの容量を調整することによって、利得および共振周波数の両方が調整可能である、請求項 1 から 3 のいずれか一項に記載のマルチバンドイコライザ ( 1 0 0 、 2 0 0 、 4 0 1 、 4 0 2 ) 。

10

## 【請求項 5】

マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザ ( 2 0 0 ) であって、前記マルチバンドイコライザは、

複数の共振器 ( 2 0 1 、 2 0 2 、 2 0 3 ) であって、各共振器は第 1 、第 2 および第 3 の端子を備える、複数の共振器 ( 2 0 1 、 2 0 2 、 2 0 3 ) を備え、

各共振器は、

前記第 1 および第 2 の端子の間に接続されたインダクタ (  $L_1$  ) であって、前記インダクタは、異なるインダクタンスを有する 2 つ以上のタップアウトされた端子を有し、前記 2 つ以上のタップアウトされた端子は、前記第 3 の端子に選択的に接続される、インダクタ (  $L_1$  ) と、

20

前記第 1 および第 2 の端子の間に接続された 1 つのプログラム可能キャパシタ (  $C_1$  ) とを備え、

前記複数の共振器は、先行する共振器の前記第 3 の端子が後続の共振器の前記第 1 の端子に接続されるように直列接続され、前記受信機において使用されるとき、第 1 の共振器の前記第 1 の端子が前記受信機の信号ノードに接続されるとともに最後の共振器の前記第 3 の端子が信号接地に接続され、または、前記第 1 の共振器の前記第 1 の端子が信号接地に接続されるとともに前記最後の共振器の前記第 3 の端子が前記受信機の信号ノードに接続される、マルチバンドイコライザ ( 2 0 0 ) 。

## 【請求項 6】

請求項 5 に記載のマルチバンドイコライザを 2 つ備える差動マルチバンドイコライザ。

30

## 【請求項 7】

請求項 5 に記載のマルチバンドイコライザを 2 つ備える差動マルチバンドイコライザであって、2 つの対応する共振器におけるインダクタのペアは、トランスフォーマによって実装される、差動マルチバンドイコライザ。

## 【請求項 8】

各共振器に関して、前記プログラム可能キャパシタの容量を調整することによって、および/または、その共振器における前記インダクタの前記タップアウトされた端子を選択することによって、その共振器の利得および共振周波数が調整可能である、請求項 5 から 7 のいずれか一項に記載のマルチバンドイコライザ ( 2 0 0 ) 。

40

## 【請求項 9】

前記マルチバンドイコライザの周波数ノッチは、前記プログラム可能キャパシタの前記容量を調整することによって、および/または、前記複数の共振器における前記インダクタの前記タップアウトされた端子を選択することによって制御される、請求項 8 に記載のマルチバンドイコライザ ( 1 0 0 、 2 0 0 、 4 0 1 、 4 0 2 ) 。

## 【請求項 10】

請求項 1 から 9 のいずれか一項に記載のマルチバンドイコライザ ( 1 0 0 、 2 0 0 、 4 0 1 、 4 0 2 ) を備える電子デバイス ( 1 1 0 0 ) 。

## 【請求項 11】

受信機、トランシーバ、基地局、ユーザ機器、またはセルラ通信システムのための無線

50

通信デバイスのうちのいずれか1つである、請求項10に記載の電子デバイス(1100)。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書における実施形態は、マルチバンドイコライザに関する。特に、本明細書における実施形態は、通信デバイスにおいてマルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザに関する。

【背景技術】

【0002】

無線通信デバイスまたは機器は、通常、送信機と受信機とを備えたトランシーバを備える。典型的には、送信機は、送信のために、ベースバンド信号を無線周波数(RF)信号にアップコンバートし、受信機は、更なる処理のために、受信されたRF信号をベースバンド信号にダウンコンバートする。

【0003】

セルラ基地局のような無線機器において、受信機および送信機の非常に広帯域な実装態様への傾向がある。より集積されたソリューション、すなわち、集積回路でのオンチップでより多くの機能を実装することへの傾向もある。これらの傾向は、コストを減少させ、ソリューションの柔軟性を増加させることを目的とする。この傾向による広帯域の集積された受信機は、広帯域増幅器とアナログ-デジタル変換器(ADC)とから成る。しかしながら、全ての周波数が通信のために使用されるものではなく、使用される全ての周波数帯域が同じ信号強度で基地局に到達するものでもない。このことに対処するために、いくつかのオフチップコンポーネントが使用される。これらは、トリプレクサ、クワッドプレクサなどのマルチバンドフィルタである。こうして、集積回路は、異なるフィルタチャネルのために個別の利得可変増幅器(VGA)を有し得、次いで、これらは、信号コンパイナに供給される。高性能のために、低雑音増幅器(LNA)が、マルチバンドフィルタの前に使用される。故に、信号パスはLNA入力においてLNAチップに入り、マルチバンドフィルタの入力に接続するためにLNAチップに存在し、次いで、複数のVGA入力において再びVGAチップに入る。次いで、信号コンパイナがオンチップで実装され得るならば、残りの信号パスはオンチップである。以上から分かるように、チャネル強度を等化するコストはかなり高く、信号パスは複数のチャネルでオフチップになり次いでオンチップになるうえに、オフチップのカスタマイズされたマルチバンドフィルタのコストもかかる。ソリューションの多くの柔軟性も、固定的な周波数帯域を有するマルチバンドフィルタによって失われる。しかしながら、チャネル強度を等化しないと、ADCにおける追加的なダイナミックレンジが必要であり、これは達成が非常に困難で、電力消費において高コストとなる。異なる周波数帯域が基地局において使用されるべきであるならば、マルチバンドフィルタが交換される必要があり、新たなカスタマイズされたフィルタ設計が必要である。故に、固定的な周波数のオフチップフィルタを使用したマルチバンドフィルタソリューションは柔軟性に欠ける。このソリューションの別の主要な問題は雑音であり、というのは、VGAの出力信号を合成するとき、出力信号の雑音もまた合成されるからである。VGAはその出力において雑音を生み、これはVGA自体のチャネルの周波数に現れるだけでなく、他のチャネルにも現れる。この結果、マルチバンドフィルタアーキテクチャの信号合成に起因して有効受信機雑音指数が増加する。

【発明の概要】

【0004】

本明細書における実施形態は、柔軟性、コスト、サイズおよび/または雑音性能において性能が向上された、信号強度を調節するためのイコライザを提供する。

【0005】

本明細書における実施形態の一態様によると、マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザが提供される。マルチバン

10

20

30

40

50

ドイコライザは、複数の共振器を備え、各共振器は第1、第2および第3の端子を備える。各共振器は、第1および第2の端子の間に接続されたインダクタと、第1の端子と第2の端子との間に直列に接続された2つのプログラム可能キャパシタとを備える。2つのプログラム可能キャパシタの相互接続はタップアウトされて第3の端子に接続される。複数の共振器は、先行する共振器の第3の端子が後続の共振器の第1の端子に接続されるように直列接続される。受信機において使用されるとき、第1の共振器の第1の端子が受信機の信号ノードに接続されるとともに最後の共振器の第3の端子が信号接地に接続され、または、第1の共振器の第1の端子が信号接地に接続されるとともに最後の共振器の第3の端子が受信機の信号ノードに接続される。

**【0006】**

本明細書における実施形態の一態様によると、マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザが提供される。マルチバンドイコライザは、複数の共振器を備え、各共振器は第1、第2および第3の端子を備える。各共振器は、第1および第2の端子の間に接続されたインダクタを備える。インダクタは、異なるインダクタンスを有する2つ以上のタップアウトされた端子を有し、2つ以上のタップアウトされた端子は、第3の端子に選択的に接続される。各共振器は、第1および第2の端子の間に接続されたプログラム可能キャパシタを更に備える。複数の共振器は、先行する共振器の第3の端子が後続の共振器の第1の端子に接続されるように直列接続される。受信機において使用されるとき、第1の共振器の第1の端子が受信機の信号ノードに接続されるとともに最後の共振器の第3の端子が信号接地に接続され、または、第1の共振器の第1の端子が信号接地に接続されるとともに最後の共振器の第3の端子が受信機の信号ノードに接続される。

**【0007】**

換言すれば、本明細書における実施形態によるマルチバンドイコライザは、タッピングを有する、複数の直列接続されたインダクタキャパシタ(LC)共振器を備える。サポートされ得る同時的な帯域の数は、LC共振器の数に等しい。タッピングは、誘導性または容量性であり得、プログラム可能である。各周波数帯域の中心周波数および利得の両方は、プログラム可能キャパシタの容量を調整することによって、および/または、インダクタのタップアウトされた端子を選択することによって調整され得る。プログラム可能なタッピングを使用して利得を制御することによって、共振器の帯域幅に影響を与えることなく利得が変更され得る。

**【0008】**

本明細書における実施形態によるマルチバンドイコライザは、LNAおよびVGAなどの広帯域増幅器の信号チェーンに含まれ得、2つの増幅器ステージの間の信号ノードは、イコライザを接続するために使用される。第1の共振器は信号ノードに接続され得、最後の共振器は信号接地に接続され得る。こうして、信号ノードは、プログラム可能なインピーダンスを有し、そのピークは共振器の中心周波数にある。

**【0009】**

本明細書におけるいくつかの実施形態によるマルチバンドイコライザは柔軟であり、というのは、帯域の周波数が、容量をプログラムすることによって変更され得るからである。負荷によってではなくタッピングによって利得を制御することによって、品質係数、すなわち共振器の帯域幅は、利得設定に依存しない。

**【0010】**

完全に受動的なイコライザ構造を使用することで、結果として、高ダイナミックレンジおよび低電力消費がもたらされる。

**【0011】**

本明細書における実施形態によるマルチバンドイコライザは、オンチップ集積に適している。

**【0012】**

同時的な周波数帯域の数は、構造においてより多くの共振器を含むことによって増やさ

10

20

30

40

50

れ得る。

【 0 0 1 3 】

いくつかの実施形態において、単一の増幅器チェーンが使用され得、雑音問題に関連する信号合成を有する並列パスは必要ない。

【 0 0 1 4 】

従って、本明細書における実施形態は、柔軟性、コスト、サイズおよび/または雑音において性能が向上されたマルチバンドイコライザを提供する。

【 0 0 1 5 】

本明細書における実施形態の例が、添付の図面を参照して、より詳細に説明される。

【 図面の簡単な説明 】

10

【 0 0 1 6 】

【 図 1 】 本明細書における第 1 の実施形態によるマルチバンドイコライザの概略図である。

【 図 2 】 本明細書における第 2 の実施形態によるマルチバンドイコライザの概略図である。

【 図 3 】 本明細書における実施形態によるマルチバンドイコライザが実装される受信機の前端の概略的なブロック図である。

【 図 4 】 本明細書における実施形態による差動マルチバンドイコライザの概略的な図である。

【 図 5 】 本明細書における実施形態による、容量性タッピングを有するマルチバンドイコライザに関するシミュレーション結果を示す図である。

【 図 6 】 本明細書における実施形態による、誘導性タッピングを有するマルチバンドイコライザの周波数調整に関するシミュレーション結果を示す図である。

20

【 図 7 】 本明細書における実施形態による、誘導性タッピングを有するマルチバンドイコライザの利得調整に関するシミュレーション結果を示す図である。

【 図 8 】 本明細書における実施形態によるマルチバンドイコライザを有する受信機の前端に関する利得、雑音指数、および入力マッチのシミュレーション結果を示す図である。

【 図 9 】 本明細書における実施形態によるマルチバンドイコライザを有する受信機の前端に関する 3 次インターセプションポイント I I P 3 および利得のシミュレーション結果を示す図である。

【 図 1 0 】 本明細書における実施形態によるタップを有する例示的なインダクタレイアウトを示す図である。

30

【 図 1 1 】 本明細書における実施形態によるマルチバンドイコライザが実装され得る通信デバイスを示すブロック図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

図 1 は、本明細書における第 1 の実施形態による、マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザ 1 0 0 を図示する。マルチバンドイコライザは、複数の ( n 個の ) 共振器 1 0 1、1 0 2、1 0 3 . . . を備える。各共振器は、第 1 の端子 1、第 2 の端子 2 および第 3 の端子 3 を有する。各共振器は、第 1 および第 2 の端子の間に接続されたインダクタ  $L_n$  (  $n = 1、2、3 . . .$  ) と、第 1 の端子と第 2 の端子との間に直列に接続された 2 つのプログラム可能キャパシタ  $C_{n1} / C_{n2}$  (  $n = 1、2、3 . . .$  ) とを備える。2 つのプログラム可能キャパシタの相互接続はタップアウトされて第 3 の端子に接続される。

40

【 0 0 1 8 】

複数の共振器は、先行する共振器の第 3 の端子が後続の共振器の第 1 の端子に接続されるように直列接続される。例えば、第 1 の共振器 1 0 1 の第 3 の端子が第 2 の共振器 1 0 2 の第 1 の端子に接続される、などとなる。

【 0 0 1 9 】

図 2 は、本明細書における第 2 の実施形態による、マルチバンド周波数信号を受信する受信機のための信号強度を調節するためのマルチバンドイコライザ 2 0 0 を図示する。

【 0 0 2 0 】

50

マルチバンドイコライザ 200 は、複数の (n 個の) 共振器 201、202、203 . . . を備える。各共振器は、第 1 の端子 1、第 2 の端子 2 および第 3 の端子 3 を有する。各共振器は、第 1 および第 2 の端子の間に接続されたインダクタ  $L_n$  ( $n = 1, 2, 3 . . .$ ) を備え、インダクタは、異なるインダクタンスを有する 2 つ以上のタップアウトされた端子を有する。2 つ以上のタップアウトされた端子は、第 3 の端子に選択的に接続される。

【0021】

各共振器は、第 1 および第 2 の端子の間に接続されたプログラム可能キャパシタ  $C_n$  ( $n = 1, 2, 3 . . .$ ) を更に備える。

【0022】

複数の共振器 201、202、203 は、先行する共振器の第 3 の端子が後続の共振器の第 1 の端子に接続されるように直列接続される。例えば、第 1 の共振器 201 の第 3 の端子が第 2 の共振器 202 の第 1 の端子に接続される、などとなる。

【0023】

マルチバンドイコライザ 100、200 が受信機において使用されるとき、第 1 の共振器の第 1 の端子が受信機の信号ノードに接続され得るとともに最後の共振器の第 3 の端子が信号接地に接続され得、またはこれとは逆に、第 1 の共振器の第 1 の端子が信号接地に接続され得るとともに最後の共振器の第 3 の端子が受信機の信号ノードに接続され得る。

【0024】

マルチバンドイコライザ 100、200 は、LNA および VGA などの広帯域増幅器の信号チェーンに含まれ得、2 つの増幅器ステージの間の信号ノードは、イコライザを接続するために使用され得る。図 3 は、マルチバンドイコライザ 100、200 が VGA の後に使用される例示的な受信機アーキテクチャを図示する。マルチバンドイコライザ 100、200 は、他の増幅器回路 LNA、VGA、AMP とともにオンチップで集積され得る。

【0025】

タップされたインダクタ構造は、イコライザを通して信号ノードにバイアス電流を供給するために使用され得る。これは、イコライザが増幅器ステージへの負荷として使用され得ることを意味する。

【0026】

以下において、マルチバンドイコライザ 100、200 の主な動作が、図 1 を参照して説明される。図から分かるように、マルチバンドイコライザ 100 は、3 つのタップされた共振器を有し、その各々は 1 つのインダクタ  $L_n$  と 2 つのキャパシタ  $C_{n1}$ 、 $C_{n2}$  とから成る。共振器が高いインピーダンスを有する並列共振周波数は、

$$f_{res,n} = \frac{1}{2\pi \sqrt{L_n \frac{C_{n1} \cdot C_{n2}}{C_{n1} + C_{n2}}}} \quad (1)$$

に等しい。

【0027】

共振している共振器のインピーダンスは、

$$R_n = 2 \cdot f_{res,n} \cdot L_n \cdot Q_n \quad (2)$$

に等しい。

【0028】

ここで、 $Q_n$  は LC 共振器の品質係数である。オンチップでの実現のために、これは、典型的には、ほぼ 10 程度であるが、チップ面積および調整範囲とのトレードオフが存在する。

【0029】

共振周波数においてイコライザ入力において見られるこのインピーダンスの量は、共振器におけるタップの設定、すなわち、 $C_{n1}$  および  $C_{n2}$  の比率に依存する。この周波数において、他の共振器は共振せず、それらの直列接続が提供する追加的なインピーダンス

10

20

30

40

50

は低い。従って、ある帯域における総体的なイコライザインピーダンスは、その帯域の共振器およびそのタップ設定によって設定される。関心対象となる帯域の間のような任意の共振器の共振から遠い周波数において、全ての直列接続された共振器が提供するインピーダンスは低い。そのため、イコライザの総体的なインピーダンスは低くなり、帯域間の干渉信号はイコライザを通して接地され、そのため、帯域間干渉の信号レベルは抑制される。そのため、このような周波数における干渉が必要とするADCにおけるヘッドルームは小さく、発生する相互変調歪みが少なくなる。

#### 【0030】

従って、本明細書における実施形態によると、オンチップ集積に適した調整可能なマルチバンドイコライザが実現される。マルチバンドイコライザ100、200は、各周波数帯域の中心周波数および利得の両方が調整され得るように、複数の、直列接続された、タップされたLC共振器を備える。利得および共振周波数の両方は、複数の共振器におけるプログラム可能キャパシタの容量を調整することによって調整可能である。各共振器に関して、プログラム可能キャパシタの容量を調整することによって、および/または、その共振器におけるインダクタのタップアウトされた端子を選択することによって、その共振器の利得および共振周波数が調整可能である。サポートされ得る同時的な帯域の数は、共振器の数に等しい。調整可能なマルチバンドイコライザ100、200が受信機における信号ノードに接続されたとき、信号ノードは、プログラム可能なインピーダンスを有し、そのピークは共振器の中心周波数にあり、ピークの大きさは、インダクタタッピングポイント選択または容量比率設定によって制御される。

#### 【0031】

図1および図2において図示されるように、タッピングは誘導性または容量性であり得る。誘導性タッピングの場合、各インダクタはスイッチによって選択される複数のタップを有し、容量性タッピングの場合、2つの直列接続されたプログラム可能キャパシタが各共振器において使用され、その間にタップがある。

#### 【0032】

誘導性タッピングでは、共振周波数はプログラム可能キャパシタ $C_n$ を使用して設定され、利得は誘導性タップをプログラムすることによって設定される。故に、周波数および利得の調整は2つの異なるコンポーネントに分けられ、そのため2つのパラメータは独立的に調整され得る。これは、回路のより容易な制御を提供し、競合する同時的調整範囲に起因するトレードオフはより小さい。しかしながら、結果として、インダクタレイアウトは僅かではあるがより複雑になる。しかしながら、最も高い品質係数はいずれにせよ、典型的には、必要がないので、これは重大な妥協なく実現され得る。

#### 【0033】

容量性タッピングでは、共振周波数および利得の両方は、キャパシタによって設定され、従って、キャパシタ $C_{n1}$ 、 $C_{n2}$ の間の比率を変更することによって利得を制御するとき、直列接続されたキャパシタの容量は、共振周波数を変えないように依然として維持されるべきであり、またはその逆である。この場合、2つのパラメータの同時的調整範囲に、誘導性タッピングでは存在しない、いくつかの限界があるが、その一方で、容量性タッピングではインダクタはより単純なレイアウトを有する。

#### 【0034】

図1および図2において図示されるマルチバンドイコライザ100、200はシングルエンド式である。本明細書におけるいくつかの実施形態によると、差動マルチバンドイコライザは、マルチバンドイコライザ100、200のうちの2つを備え得る。図4は、容量性タッピングを有するマルチバンドイコライザ100のうちの2つを備える差動マルチバンドイコライザの例を図示し、a)は、2つのシングルエンド式のイコライザを備え、2つの対応する共振器におけるインダクタが別個に実装されている擬似差動マルチバンドイコライザ401を図示し、b)は、チップ面積を節約するために、2つの対応する共振器におけるインダクタのペアがトランスフォーマT1、T2、T3によって実装されている差動マルチバンドイコライザ402を図示する。同じように、差動マルチバンドイコラ

イザは、誘導性タッピングを有するマルチバンドイコライザ 200 のうちの 2 つを備え得、2 つの対応する共振器におけるインダクタのペアは、別個に、またはトランスフォーマによって実装され得る。

#### 【0035】

マルチバンドイコライザ 100、200、401、402 の性能を評価し、実証するために、3 つの同時的帯域を有する、例えば 2 から 6.5 GHz の広帯域受信機に関するシミュレーションが実施される。容量性タッピングを有するマルチバンドイコライザ 100 のシミュレーション結果が図 5 において図示されており、上の図は第 1 の周波数帯域、例えば 2 から 3.2 GHz の調整を図示し、中央の図は第 2 の周波数帯域、例えば 3.5 から 5 GHz の調整を図示し、下の図は第 3 の周波数帯域、例えば 5.4 から 7.5 GHz の調整を図示する。図から分かるように、各帯域の周波数および利得は、他の帯域に影響を与えることなく設定され得る。周波数 / 振幅制御は直交的ではないが、これはイコライザのコントローラにおけるデジタルドメインにおいて解決され得るような軽微な問題である。しかしながら、周波数および利得の同時的調整範囲において限界がある。

10

#### 【0036】

誘導性タッピングを有するマルチバンドイコライザ 200 のシミュレーション結果が図 6 および図 7 において図示されており、図 6 は各帯域の周波数調整を図示し、図 7 は各帯域の利得調整を図示する。図から分かるように、各帯域の周波数 / 振幅は、他の 2 つの帯域に影響を与えることなく独立的に制御され得る。図において、直交周波数 / 振幅設定が本質的に達成されていることは明白である。

20

#### 【0037】

シミュレーションは、図 3 において図示されるような、マルチバンドのタップされたインダクタイコライザ 200 が V G A の後に追加された受信機の前端において実施された。性能を比較するために、マルチバンドイコライザ 200 の接続は絶たれ、共振しているイコライザのおおよその最大インピーダンスである 170 の抵抗に交換された。受信機の利得 (上の 2 つの曲線)、雑音指数 (N F) (中央の曲線)、入力マッチ (S 1 1) (下の曲線) のシミュレーション結果が、図 8 において図示される。図から分かるように、イコライザは、N F および入力マッチに対して無視し得る影響を有しつつも、所望される 3 つの通過帯域を導入している。

#### 【0038】

マルチバンドイコライザ 100、200、401、402 は、スイッチとして動作するトランジスタを含む受動的要素によって実装され、従って線形である。マルチバンドイコライザを含む受信機チェーンの線形性を調べるために、トーン周波数間隔が 20 MHz に等しい 2 トーンシミュレーションが実施された。2 つのトーンの周波数は、所望の R F 周波数にわたって、例えば 2 から 6 GHz にわたって掃引された。シミュレーション結果は図 9 において図示されている。この図は、受信機の前端の 3 次インターセプションポイント I I P 3 および利得の両方を図示している。明白に分かるように、イコライザ阻止帯域フィルタリング、すなわち、例えば 2.8 GHz、4.2 GHz 周辺の異なる周波数におけるノッチ深度、によって、I I P 3 は向上される。

30

#### 【0039】

従って、本明細書におけるいくつかの実施形態によると、マルチバンドイコライザ 100、200 の周波数ノッチは、プログラム可能キャパシタの容量を調整することによって、および / または、複数の共振器におけるインダクタのタップアウトされた端子を選択することによって、制御され得る。

40

#### 【0040】

容量性タッピングまたは容量性分割器に基づくイコライザの実施態様は単純明快である。これは、スイッチされるキャパシタに基づき得、キャパシタは、金属酸化物半導体 (M O S) トランジスタを使用してイコライザの中または外にスイッチされる。容量値をこのようにプログラムすることによって、共振周波数を設定する有効容量、および利得を設定するキャパシタ比率の両方が制御され得る。キャパシタの調整範囲は、周波数および利得

50

範囲の両方を同時にカバーするように選ばれ、次いで、デジタル制御における適切な数のビットが、必要な解像度を提供するように選ばれる。その一方で、タップされたインダクタの実施態様は、必要とされる利得ステップおよび範囲のために、より注意深く設計される必要がある。これは、利得ステップの数は、インダクタレイアウトに直接的に関係するからであり、多くの利得ステップは、多くのタップを有するインダクタを必要とする。タップされたインダクタの有り得る実施態様の例が図10において図示され、ここで、インダクタは、最も上の金属層において実現され得、上から二番目の層における配線は、タップのために使用され得る。図から分かるように、この例においては、5つのタップが存在する。

#### 【0041】

要約すると、本明細書における実施形態は、広帯域受信機における使用のためのオンチップのマルチバンドイコライザを提供し、関心対象となる周波数帯域の周波数および利得の両方がプログラムされ得る。マルチバンドイコライザは、例えば、受信機における2つの増幅器ステージの間で、信号ノードに接続され得る。次いで、これは、関心対象となる帯域を選択し、これらの利得は、共振器のプログラム可能タッピングを使用して、帯域幅を変更することなくプログラムされ得る。タップされたLC共振器を直列接続することによって、ステージの間にバッファが必要なくなり、マルチバンドイコライザの完全に受動的な構造は、高いダイナミックレンジと、極めて低い電力消費とを提供する。誘導性タッピングを使用することで、利得および周波数は独立的に制御され得る。本明細書における実施形態によるマルチバンドイコライザは、干渉に起因する相互変調歪みを減少させ、関心対象となる信号の信号強度を等化することによってADCにおいて必要なダイナミックレンジを減少させる。更に、単一の増幅器チェーンが使用され得、雑音問題に関連する信号合成を有する並列パスは必要ない。

#### 【0042】

マルチバンドイコライザ100、200、401、402は、様々な集積回路、電子回路もしくはデバイス、通信デバイスもしくは装置において用いられ得る。図11は、電子デバイス1100のブロック図を図示する。電子デバイス1100は、マルチバンドイコライザ100、200、401、402を備えるトランシーバ1110を備える。電子デバイス1100は他のユニットを備え得、メモリ1120、処理ユニット1130が図示されている。電子デバイス1100は、ユーザ機器もしくはモバイルデバイス、無線通信デバイス、またはセルラ通信システムのための無線基地局であり得る。

#### 【0043】

当業者は、本明細書における実施形態によるマルチバンドイコライザ100、200、401、402は、任意の半導体技術、例えば、バイポーラ、N型金属酸化物半導体(NMOS)、P型金属酸化物半導体(PMOS)、相補型金属酸化物半導体(CMOS)、完全空乏シリコンオンインシュレータ(FDSOI)、または、微小電気機械システム(MEMS)技術などによって実装され得ることを理解されよう。

#### 【0044】

本明細書において使用されるとき、「備える」または「備えている」という語は非制限的に解釈されるべきであり、すなわち、「少なくとも～から成る」を意味する。

#### 【0045】

本明細書における実施形態は、上述された好ましい実施形態に限定されるものではない。様々な代替例、修正例、および均等物が使用され得る。従って、上記の実施形態は本発明の範囲を限定するものと捉えられるべきではなく、本発明の範囲は添付の特許請求の範囲によって規定される。

10

20

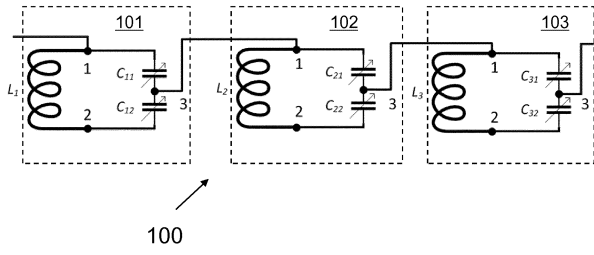
30

40

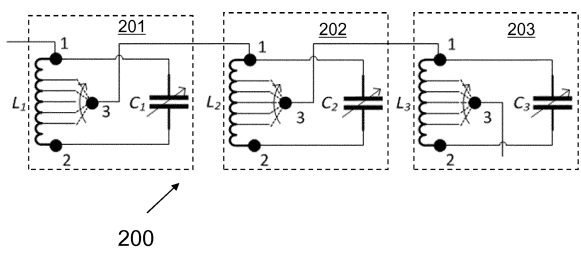
50

【図面】

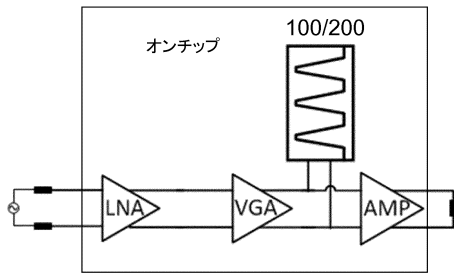
【図 1】



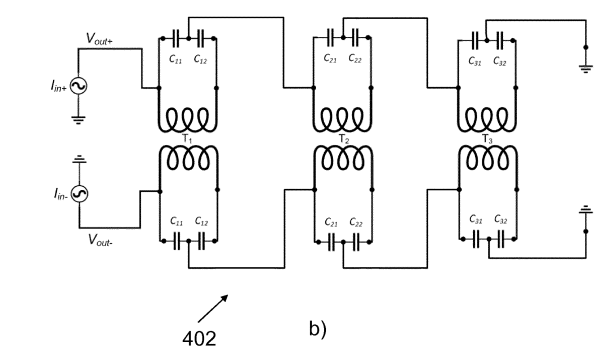
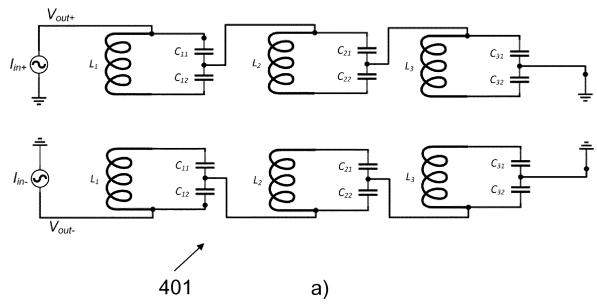
【図 2】



【図 3】



【図 4】



10

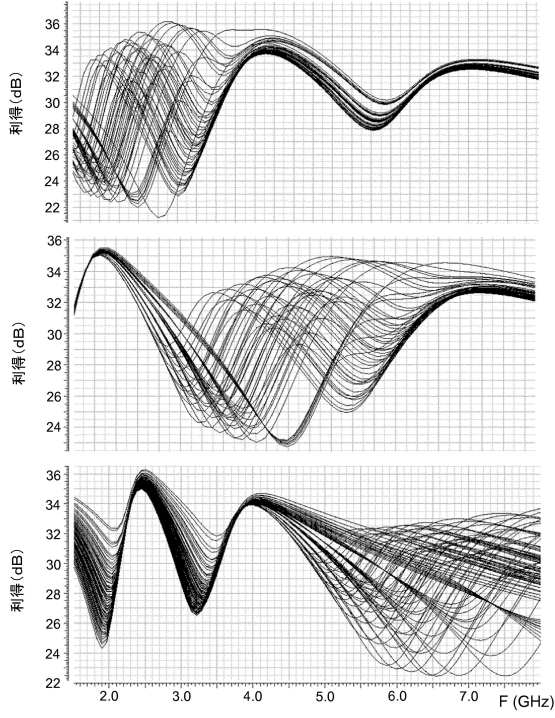
20

30

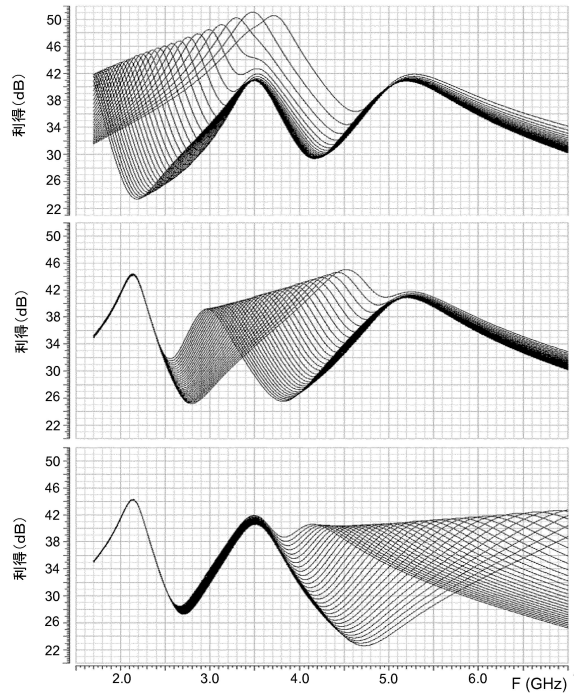
40

50

【図5】



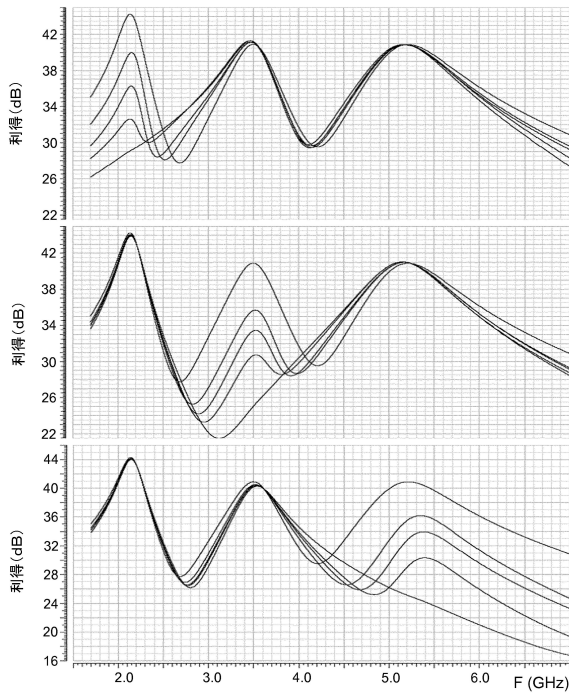
【図6】



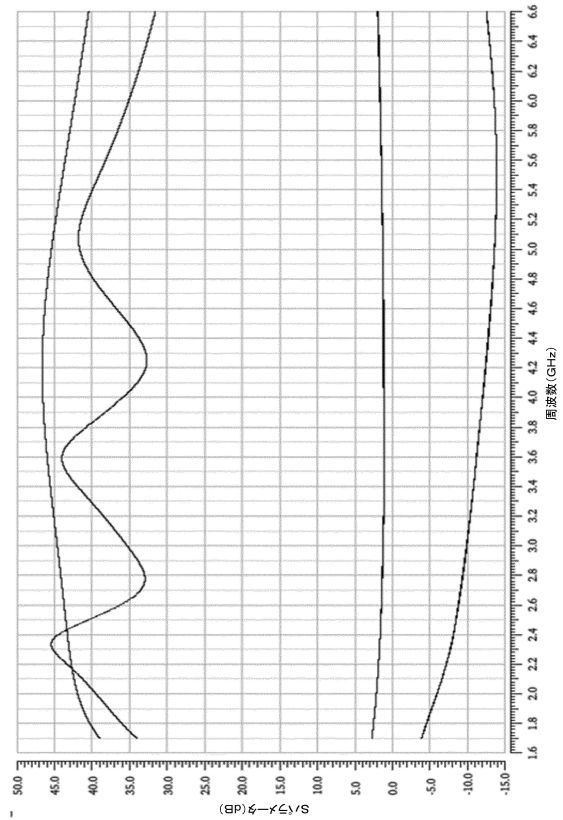
10

20

【図7】



【図8】

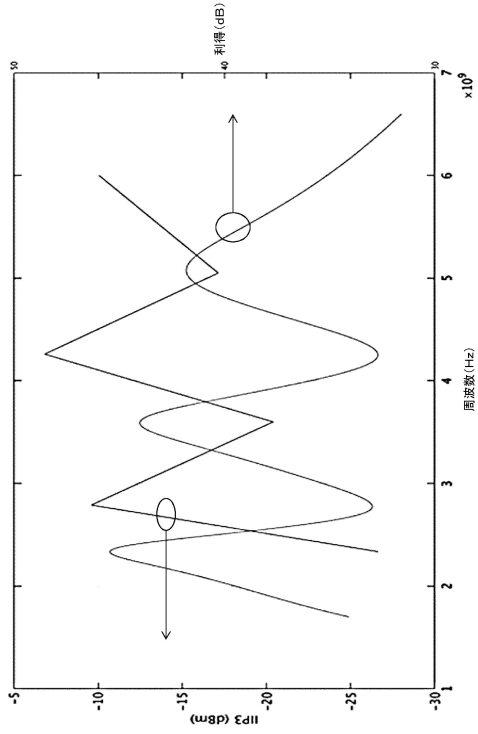


30

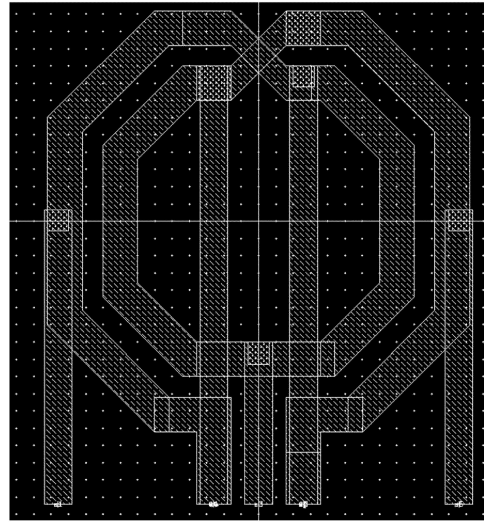
40

50

【図 9】



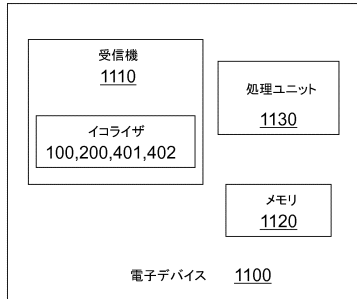
【図 10】



10

20

【図 11】



30

40

50

## フロントページの続き

(72)発明者 ショーランド, ヘンリク  
スウェーデン国 エスエー - 2 2 4 6 8 ルンド, ソプラングレンデン 7

(72)発明者 アブドルアジズ, モハメド  
スウェーデン国 エスエー - 2 2 4 7 2 ルンド, イリヨンブランド 9 3

審査官 川口 貴裕

(56)参考文献 特開2009 - 253989 (JP, A)  
特開2008 - 160471 (JP, A)  
特表2017 - 508385 (JP, A)  
特表2019 - 506778 (JP, A)  
特表2017 - 528100 (JP, A)  
米国特許出願公開第2015 / 0214985 (US, A1)  
国際公開第2008 / 062753 (WO, A1)  
中国特許出願公開第102638239 (CN, A)

(58)調査した分野 (Int.Cl., DB名)

H04B 1 / 18  
H03H 11 / 04