

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2002-531888 (P2002-531888A)

【公表日】平成 14 年 9 月 24 日 (2002.9.24)

【出願番号】特願 2000-585740 (P2000-585740)

【国際特許分類第 7 版】

G 0 6 F 13/00

G 0 6 F 13/12

H 0 4 L 29/08

// G 0 6 F 5/00

【F I】

G 0 6 F 13/00 3 0 1 A

G 0 6 F 13/12 3 3 0 E

H 0 4 L 13/00 3 0 7 C

G 0 6 F 5/00 S

【手続補正書】

【提出日】平成 16 年 6 月 4 日 (2004.6.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】請求項 5

【補正方法】変更

【補正の内容】

【請求項 5】 前記ネットワーク装置が、

(a) 前記データキャラクタを受け取り、どのクロック速度が前記ビットストリームのデータ転送速度と対応するかを決定し、同ビットストリームのデータ転送速度を示す制御信号を生成するパターン認識ロジック、及び、

(b) 前記パターン認識ロジックと前記デシリアライザに接続されたデシリアライザ制御回路であって、同パターン認識ロジックから制御信号を受け取り、同デシリアライザにクロック制御信号を送り、同デシリアライザ制御回路からの制御信号に従って同デシリアライザのクロック速度を設定するデシリアライザ制御回路を有する請求項 1 に記載のポート。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】 前記ファイバ・チャネルのプロトコル装置が、

(a) 前記データキャラクタを受け取り、どのクロック速度が前記ビットストリームのデータ転送速度と対応するかを決定し、同ビットストリームのデータ転送速度を示す制御信号を生成するパターン認識ロジック、及び

(b) 前記パターン認識ロジックと前記デシリアライザに接続されたデシリアライザ制御回路であって、同パターン認識ロジックから制御信号を受け取り、同デシリアライザにクロック制御信号を送り、同デシリアライザ制御回路からの制御信号に従って同デシリアライザのクロック速度を設定するデシリアライザ制御回路を有する請求項 7 に記載のポート。