

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 27 年 8 月 27 日 (2015.8.27)

【公表番号】特表 2014-522118 (P2014-522118A)
 【公表日】平成 26 年 8 月 28 日 (2014.8.28)
 【年通号数】公開・登録公報 2014-046
 【出願番号】特願 2014-523379 (P2014-523379)
 【国際特許分類】

H 0 1 L 27/146 (2006.01)

H 0 4 N 5/374 (2011.01)

【F I】

H 0 1 L 27/14 A

H 0 4 N 5/335 7 4 0

【手続補正書】
 【提出日】平成 27 年 7 月 8 日 (2015.7.8)
 【手続補正 1】
 【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更
 【補正の内容】
 【特許請求の範囲】
 【請求項 1】

入力イベントに応答して、電荷を生成する半導体材料の層と、
 前記半導体材料の層内に形成され、前記半導体材料の層において生成された電荷を収集する複数の画素が 2 次元で空間的に分散された画素のアレイと、

前記複数の画素に接続され、前記複数の画素からの収集された前記電荷を表す信号を、読み出し回路に供給する複数のトラックと、を備え、

前記アレイの前記複数の画素は、前記アレイの全体に空間的に分散された複数の画素の複数のラインにグループ化され、複数の画素のライン内の全ての前記複数の画素は、同じトラックに接続され、

それらの画素のみに重なるのに十分なサイズの 1 つの入力イベントによって生成された電荷収集の領域により重ねられる n 個の隣接する画素の任意のグループが、前記複数の画素のグループに固有の n 個のトラックからなる組み合わせに接続されるように、前記複数の画素の複数のラインが織り合わせられ、

前記 n は、2、3 または 4 のうちの何れか一つの値を有し、

前記複数の画素のラインは、少なくとも 3 つの複数の画素のサブアレイへとグループ化され、

前記サブアレイそれぞれ内の前記複数の画素のラインは、前記複数の画素のアレイにわたって、前記サブアレイごとに異なる方向に空間的に分散される、半導体検出装置。

【請求項 2】

前記複数の画素のアレイは、規則的な矩形のアレイであり、前記複数の画素のラインは、直線状に配列された前記複数の画素のラインである、請求項 1 に記載の半導体検出装置。

【請求項 3】

複数の画素の前記少なくとも 3 つのサブアレイは、各ラインの前記複数の画素が、前記矩形のアレイの行方向に空間的に分散するサブアレイと、各ラインの前記複数の画素が、前記矩形のアレイの列方向に分散するサブアレイと、各ラインの前記複数の画素が、前記矩形のアレイの斜め方向に空間的に分散されるサブアレイと、を含む、請求項 2 に記載の

半導体検出装置。

【請求項 4】

前記複数の画素のラインは、複数の画素の3つのサブアレイへとグループ化される、請求項3に記載の半導体検出装置。

【請求項 5】

前記複数の画素のアレイは、前記半導体検出装置の領域にわたって連続して分散する、請求項 1 から 4 の何れか一項に記載の半導体検出装置。

【請求項 6】

前記複数の画素は、前記複数の画素により収集された前記電荷が蓄積するボルタモードで動作するように設けられ、

前記複数の画素はそれぞれ、前記画素によって収集された前記電荷を表す信号をバッファするバッファ装置構成をさらに有し、

前記複数のトラックは、バッファされた前記信号を受信するべく、前記バッファ装置構成と接続される、請求項 1 から 5 の何れか一項に記載の半導体検出装置。

【請求項 7】

前記複数の画素はそれぞれ、前記画素をリセットするために、前記画素にリセット電圧を選択的に印加するリセット装置構成をさらに有する、請求項6に記載の半導体検出装置。

【請求項 8】

前記半導体検出装置は、C M O S 構造を備える、請求項 6 または 7 に記載の半導体検出装置。

【請求項 9】

前記複数の画素は、前記複数の画素によって収集された前記電荷が電流として測定される導電モードで動作する、請求項 1 から 5 の何れか一項に記載の半導体検出装置。

【請求項 10】

前記半導体材料の層は、入射粒子から電荷を生成し、

前記複数の画素はそれぞれ、コンタクトを有し、

前記コンタクトは、前記半導体材料の層において生成された電荷を収集するために、前記半導体材料の層の一方の面上に、ドーピングされた半導体材料の能動領域を含む、請求項 9 に記載の半導体検出装置。

【請求項 11】

請求項 1 から 10 の何れか一項に記載の半導体検出装置と、

前記複数のトラックに接続された読み出し回路と、を備え、

前記読み出し回路は、少なくとも n 個の前記トラックからなる組み合わせにおける時間的に一致する信号を検出し、検出された前記複数のトラックの前記組み合わせに対応する電荷収集の領域の位置を示す信号を出力する、検出器。