

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7008410号

(P7008410)

(45)発行日 令和4年1月25日(2022.1.25)

(24)登録日 令和4年1月13日(2022.1.13)

(51)国際特許分類

F I

G 0 6 F 12/00 (2006.01)

G 0 6 F 12/00 5 5 0 B

G 1 1 C 11/406 (2006.01)

G 1 1 C 11/406 1 4 0

G 0 6 F 12/02 (2006.01)

G 0 6 F 12/02 5 9 0 A

請求項の数 11 (全15頁)

(21)出願番号 特願2017-23473(P2017-23473)
 (22)出願日 平成29年2月10日(2017.2.10)
 (65)公開番号 特開2018-128991(P2018-128991
 A)
 (43)公開日 平成30年8月16日(2018.8.16)
 審査請求日 令和2年2月6日(2020.2.6)

(73)特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74)代理人 110003281
 特許業務法人大塚国際特許事務所
 (72)発明者 栗林 肇
 東京都大田区下丸子3丁目30番2号
 キヤノン株式会社内
 審査官 酒井 恭信

最終頁に続く

(54)【発明の名称】 メモリコントローラおよび方法

(57)【特許請求の範囲】

【請求項1】

ROWアドレスが複数のグループに分けられたDRAMを制御するメモリコントローラであって、

ROWアドレスと該ROWアドレスに対してActivateコマンドが発行されると更新されるカウント値とを対応付けて保持する第1保持手段であって、ROWアドレスを保持可能なエントリの数がROWアドレスの総数よりも小さい、第1保持手段と、

前記第1保持手段に保持されるカウント値が所定の条件を満たすに対応するROWアドレスに関するTarget Row Refreshコマンドを発行する制御手段と、

ROWアドレスの複数のグループそれぞれに対応する複数のカウント値を保持する第2保持手段と、を備え、

前記制御手段は、前記第1保持手段に保持されていないROWアドレスである第1ROWアドレスに対してActivateコマンドが発行され、かつ、前記第1保持手段に空いているエントリがない場合、前記第1保持手段に保持されているROWアドレスのなかからカウント値に関する所定の基準にしたがい選択されたROWアドレスである第2ROWアドレスを前記第1ROWアドレスで置き換えると共に、前記第2ROWアドレスが属するグループと前記第1ROWアドレスが属するグループとが異なる場合には、前記第2保持手段に保持されている複数のカウント値の内、前記第1ROWアドレスが属するグループに対応するカウント値を参照して前記第1ROWアドレスに対応するカウント値を設定し、前記第2ROWアドレスが属するグループと前記第1ROWアドレスが属するグルー

ブとが同一である場合は、前記第 2 R O W アドレスに対応して前記第 1 保持手段に保持されているカウント値を更新して、当該更新したカウント値を前記第 1 R O W アドレスに対応するカウント値として設定するメモリコントローラ。

【請求項 2】

前記制御手段は、前記第 2 R O W アドレスに対応して前記第 1 保持手段に保持されているカウント値と前記第 2 R O W アドレスが属するグループに対応して前記第 2 保持手段に保持されているカウント値とを比較することにより前記第 2 保持手段を更新する請求項 1 に記載のメモリコントローラ。

【請求項 3】

前記制御手段は、前記第 2 R O W アドレスが属するグループに対応して前記第 2 保持手段に保持されているカウント値を、前記第 2 R O W アドレスに対応して前記第 1 保持手段に保持されているカウント値で更新する請求項 2 に記載のメモリコントローラ。

10

【請求項 4】

前記制御手段は、前記第 1 保持手段に空いているエントリがある場合、前記第 1 R O W アドレスを該エントリに登録すると共に、前記第 1 R O W アドレスが属するグループに対応して前記第 2 保持手段に保持されているカウント値を参照して前記第 1 R O W アドレスに対応するカウント値を設定する請求項 1 から 3 のいずれか一項に記載のメモリコントローラ。

【請求項 5】

前記第 2 R O W アドレスは、前記第 1 保持手段に保持されているカウント値のなかで前記所定の条件を満たすために必要な更新の回数が最も多いカウント値に対応する R O W アドレスである請求項 1 から 4 のいずれか一項に記載のメモリコントローラ。

20

【請求項 6】

R O W アドレスが複数のグループに分けられた D R A M を制御するメモリコントローラであって、

R O W アドレスと該 R O W アドレスに対して A c t i v a t e コマンドが発行されると更新されるカウント値とを対応付けて保持する第 1 保持手段であって、R O W アドレスを保持可能なエントリの数が R O W アドレスの総数よりも小さい、第 1 保持手段と、

前記第 1 保持手段に保持されるカウント値が所定の条件を満たすと対応する R O W アドレスに関する T a r g e t R o w R e f r e s h コマンドを発行する制御手段と、

30

R O W アドレスの複数のグループそれぞれに対応する複数のカウント値を保持する第 2 保持手段と、を備え、

前記制御手段は、前記第 1 保持手段に保持されていない R O W アドレスである第 1 R O W アドレスに対して A c t i v a t e コマンドが発行され、かつ、前記第 1 保持手段に空いているエントリがある場合、前記第 1 R O W アドレスを該エントリに登録すると共に、前記第 2 保持手段に保持されている複数のカウント値の内、前記第 1 R O W アドレスが属するグループに対応するカウント値を参照して前記第 1 R O W アドレスに対応するカウント値を設定するメモリコントローラ。

【請求項 7】

前記第 1 保持手段は、R O W アドレスと該 R O W アドレスが属するグループを特定する I D と該 R O W アドレスに対して A c t i v a t e コマンドが発行されると更新されるカウント値とを対応付けて保持し、

40

前記制御手段は、前記第 1 保持手段に保持される I D を参照することで前記第 1 R O W アドレスが属するグループを特定する請求項 1 から 6 のいずれか一項に記載のメモリコントローラ。

【請求項 8】

R O W アドレスのグループはバンクに対応する請求項 1 から 7 のいずれか一項に記載のメモリコントローラ。

【請求項 9】

前記 D R A M は L P D D R 4 に準拠する請求項 1 から 8 のいずれか一項に記載のメモリコ

50

ントローラ。

【請求項 10】

ROWアドレスが複数のグループに分けられたDRAMを制御するメモリコントローラが実行する方法であって、

ROWアドレスと該ROWアドレスに対してActivateコマンドが発行されると更新されるカウント値とを対応付けて第1保持手段に保持することであって、ROWアドレスを保持可能なエントリ数がROWアドレスの総数よりも小さい、保持することと、前記第1保持手段に保持されるカウント値が所定の条件を満たすと対応するROWアドレスに関するTarget Row Refreshコマンドを発行することと、ROWアドレスの複数のグループそれぞれに対応する複数のカウント値を第2保持手段に保持することと、

10

前記第1保持手段に保持されていないROWアドレスである第1ROWアドレスに対してActivateコマンドが発行され、かつ、前記第1保持手段に空いているエントリがない場合、前記第1保持手段に保持されているROWアドレスのなかからカウント値に関する所定の基準にしたがい選択されたROWアドレスである第2ROWアドレスを前記第1ROWアドレスで置き換えると共に、前記第2ROWアドレスが属するグループと前記第1ROWアドレスが属するグループとが異なる場合には、前記第2保持手段に保持されている複数のカウント値の内、前記第1ROWアドレスが属するグループに対応するカウント値を参照して前記第1ROWアドレスに対応するカウント値を設定し、前記第2ROWアドレスが属するグループと前記第1ROWアドレスが属するグループとが同一である場合は、前記第2ROWアドレスに対応して前記第1保持手段に保持されているカウント値を更新して、当該更新したカウント値を前記第1ROWアドレスに対応するカウント値として設定することと、を含む方法。

20

【請求項 11】

ROWアドレスが複数のグループに分けられたDRAMを制御するメモリコントローラが実行する方法であって、

ROWアドレスと該ROWアドレスに対してActivateコマンドが発行されると更新されるカウント値とを対応付けて第1保持手段に保持することであって、ROWアドレスを保持可能なエントリ数がROWアドレスの総数よりも小さい、保持することと、前記第1保持手段に保持されるカウント値が所定の条件を満たすと対応するROWアドレスに関するTarget Row Refreshコマンドを発行することと、ROWアドレスの複数のグループそれぞれに対応する複数のカウント値を第2保持手段に保持することと、

30

前記第1保持手段に保持されていないROWアドレスである第1ROWアドレスに対してActivateコマンドが発行され、かつ、前記第1保持手段に空いているエントリがある場合、前記第1ROWアドレスを該エントリに登録すると共に、前記第2保持手段に保持されている複数のカウント値の内、前記第1ROWアドレスが属するグループに対応するカウント値を参照して前記第1ROWアドレスに対応するカウント値を設定することと、を含む方法。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、メモリコントローラおよび方法に関する。

【背景技術】

【0002】

近年、DRAM (Dynamic Random Access Memory) の製造プロセスの微細化が進んでいる。DRAMの製造プロセスが40nmを下回り、密度が増加すると、隣接するワードラインに対するクロストーク等の電氣的影響により、隣接するワードラインへつながるメモリセルへのリーク電流の影響が顕著となる。これにより、メモリコントローラによる特定のROWに対するActivateコマンドの発行が集中した場合、DRAMのメモ

50

リセル内部のデータが破損する虞がある。これを、ROW HAMMER問題という。

【0003】

ROW HAMMER問題への対策として、LPDDR4の規格にはTarget Row Refreshコマンド(以下、TRRと称す)が定義されている。TRRは、DRAMのあるROWに対するActivateコマンドの発行数が、一定期間内に上限値に達した場合、該当するROWに対してメモリコントローラから特定のシーケンスを実行する操作である。この上限値はMAC(Maximum Activate Count)と呼ばれる。TRRを実施すると、メモリセル内部のデータ破損を回避することができる。

【0004】

しかしながら、TRRの機能をメモリコントローラに実装する際には、各ROWへのActivateコマンドの発行数を計測しなければならない。LPDDR4の場合、MACの値は最大70万(20bit長のカウンタが必要)であり、DRAMのROW数は最小容量である4Gbitの場合でもチャンネルあたり131K個となる。そのため、単純な実装を行うと、回路規模が大きくなる。これに対応して特許文献1では、回路規模を抑制しながら、Activateコマンドの発行数を計測し、TRRを実行する方法が提案されている。

10

【先行技術文献】

【特許文献】

【0005】

【文献】米国特許出願公開第2014/0006704号明細書

20

【発明の概要】

【発明が解決しようとする課題】

【0006】

特許文献1に示されている手法では、メモリコントローラは、ROWアドレスと、各ROWアドレスへのActivateコマンドの発行数とを対応付けて保持するテーブルを持つ。このテーブルのエントリ数は、一定期間内でMACに達することの可能なROWの個数に基づいており、前述の単純な実装と比較して、回路規模を削減することができる。

【0007】

しかしながら、特許文献1に示されている手法は、テーブルのエントリ数を減らす代わりに発行数の正確さを犠牲にしている。したがって、ROWアドレスへの実際のActivateコマンドの発行数と、テーブルに保持されている発行数と、の間に乖離が生じうる。この乖離により無駄なTRRが発生し、性能の低下につながる虞がある。

30

【0008】

本発明はこうした課題に鑑みてなされたものであり、その目的は、TRRを実装したメモリコントローラにおいて、回路規模を抑制しつつ無駄なTRRの発生を抑制できる技術の提供にある。

【課題を解決するための手段】

【0009】

本発明のある態様はメモリコントローラに関する。このメモリコントローラは、ROWアドレスが複数のグループに分けられたDRAMを制御するメモリコントローラであって、ROWアドレスと該ROWアドレスに対してActivateコマンドが発行されると更新されるカウント値とを対応付けて保持する第1保持手段であって、ROWアドレスを保持可能なエントリ数がROWアドレスの総数よりも小さい、第1保持手段と、第1保持手段に保持されるカウント値が所定の条件を満たすと対応するROWアドレスに関するTarget Row Refreshコマンドを発行する制御手段と、ROWアドレスの複数のグループそれぞれに対応する複数のカウント値を保持する第2保持手段と、を備え、制御手段は、第1保持手段に保持されていないROWアドレスである第1ROWアドレスに対してActivateコマンドが発行され、かつ、第1保持手段に空いているエントリがない場合、第1保持手段に保持されているROWアドレスのなかからカウント値に関する所定の基準にしたがい選択されたROWアドレスである第2ROWアドレスを第1R

40

50

OWアドレスで置き換えると共に、第2 ROWアドレスが属するグループと第1 ROWアドレスが属するグループとが異なる場合には、第2保持手段に保持されている複数のカウント値の内、第1 ROWアドレスが属するグループに対応するカウント値を参照して第1 ROWアドレスに対応するカウント値を設定し、第2 ROWアドレスが属するグループと第1 ROWアドレスが属するグループとが同一である場合は、第2 ROWアドレスに対応して第1保持手段に保持されているカウント値を更新して、更新したカウント値を第1 ROWアドレスに対応するカウント値として設定する。

【発明の効果】

【0010】

本発明によれば、T R Rを実装したメモリコントローラにおいて、回路規模を抑制しつつ無駄なT R Rの発生を抑制できる。

10

【図面の簡単な説明】

【0011】

【図1】実施の形態に係るメモリコントローラの機能及び構成を示すブロック図。

【図2】図1のアドレス保持部、カウント値保持部およびバンク毎最大値保持部の一例を示すデータ構造図。

【図3】本実施の形態におけるアドレスグループとバンク・ROWアドレスとの対応関係を示す説明図。

【図4】図1のメモリコントローラにおける一連の処理の流れを示すフローチャート。

【図5】あるシナリオでの制御部の動作を説明するための図。

20

【図6】あるシナリオでの制御部の動作を説明するための図。

【図7】あるシナリオでの制御部の動作を説明するための図。

【図8】あるシナリオでの制御部の動作を説明するための図。

【図9】図9(a)、(b)は、ROWアドレスの分け方の例を示す図。

【発明を実施するための形態】

【0012】

以下、各図面に示される同一または同等の構成要素、部材、処理、信号には、同一の符号を付するものとし、適宜重複した説明は省略する。また、各図面において説明上重要ではない部材の一部は省略して表示する。

【0013】

30

特許文献1に記載の手法では、メモリコントローラがA c t i v a t eコマンドを発行した際、次のように動作する。まず、テーブルの管理部は、もしA c t i v a t eコマンドの発行先のROWアドレスがテーブルに存在せず、かつ、テーブルに空きがない場合、最も小さいA c t i v a t eコマンド発行数を持つROWアドレスのエントリを置換する。この時、テーブルの管理部は、置換前のエントリに関連付けられているA c t i v a t eコマンド発行数を、置換後のエントリに関連付けられるA c t i v a t eコマンド発行数にコピーし、続いてそのA c t i v a t eコマンド発行数をインクリメントする。つまり、置換後のROWアドレスに対して発行された、置換時点までのA c t i v a t eコマンド発行数の大小によらず、置換前のROWアドレスに対して関連付けられていたA c t i v a t eコマンド発行数に1を足した値が置換後のROWアドレスに対して関連付けられる。

40

【0014】

この仕組みにおける問題は、テーブルの管理部が、置換時にA c t i v a t eコマンド発行数にのみ着目している点である。例えば、D R A MのB a n k 0のROWアドレスへアクセスが頻発し、テーブルに空きがなく、B a n k 0のROWアドレスで占められている状況を考える。この時、初めてB a n k 1のROWアドレスへアクセスが発生した場合、テーブルの管理部は、テーブル内の最小のA c t i v a t eコマンド発行数と関連付けられたB a n k 0のROWアドレスのエントリをB a n k 1のROWアドレスで置換する。実際はB a n k 1のROWアドレスへA c t i v a t eコマンドが発行されたのは初めてであるにも関わらず、置換によりテーブルに格納されるB a n k 1のROWアドレスには

50

、実際より多くの A c t i v a t e コマンド発行数が関連付けられる。このように、B a n k 1 の R O W アドレスへのアクセスの実態と保持されるコマンド発行数との間に乖離が発生する。乖離が発生すると、無駄な T R R が発生して、性能低下が生じうる。

【 0 0 1 5 】

特許文献 1 に記載の技術では、ある R O W アドレスに対して A c t i v a t e コマンド（以下、A C T と称す）が発行された時、テーブルに空きがなく、かつテーブル内に同じ R O W アドレスのエントリがない場合、テーブル外へエントリ（R O W アドレスと A C T 発行数カウントとから成る）が追い出される。これに対して、実施の形態に係るメモリコントローラでは、追い出されたエントリのうちの A C T 発行数カウントを保持する保持部が設けられる。この保持部は、バンクやアドレスレンジごとに用意され、追い出されたエントリの R O W アドレスのバンク / アドレスレンジに対応する保持部に、追い出されたエントリの A C T 発行数カウントが登録される。また、あるバンク / アドレスレンジの R O W アドレスへの A C T 発行があった場合、そのバンク / アドレスレンジに対応して保持部に保持されている A C T 発行数カウントがテーブルに書き戻され、インクリメントされる。これにより、特許文献 1 に記載の技術と比較して、実際の R O W アドレスへのアクセス数と A C T 発行数との乖離を抑制することができ、無駄な T R R の発生を抑制することができる。

10

【 0 0 1 6 】

図 1 は、実施の形態に係るメモリコントローラ 1 0 0 の機能及び構成を示すブロック図である。メモリコントローラ 1 0 0 は、発行部 1 0 1 と、制御部 1 0 2 と、テーブル 1 0 6 と、バンク毎最大値保持部 1 0 5 と、を備える。メモリコントローラ 1 0 0 は、D R A M 1 1 0 に接続され、D R A M 1 1 0 に D R A M コマンド C M D を送信することで D R A M 1 1 0 を制御する。D R A M 1 1 0 は、メモリコントローラ 1 0 0 から受信した D R A M コマンド C M D に従い、動作する。D R A M 1 1 0 は L P D D R 4 に準拠する。D R A M 1 1 0 は複数のバンクを有し、D R A M 1 1 0 の R O W アドレスは、複数のバンクに対応する複数のアドレスグループに分けられている。

20

【 0 0 1 7 】

発行部 1 0 1 は、メモリコントローラ 1 0 0 が受信したメモリアクセス要求 M A R に応じて、D R A M コマンド C M D を発行する。発行部 1 0 1 は、例えば外部の C P U などからメモリアクセス要求 M A R を受信すると、受信したメモリアクセス要求 M A R に含まれる R O W アドレスに関する D R A M コマンド C M D を生成し、D R A M 1 1 0 に送信する。制御部 1 0 2 は、発行部 1 0 1 が発行する D R A M コマンド C M D のうち、A C T がどの R O W アドレスに発行されたかを監視する。

30

【 0 0 1 8 】

テーブル 1 0 6 は、R O W アドレスと該 R O W アドレスが属するバンクを特定するバンク I D と該 R O W アドレスに対して A C T が発行されると更新されるカウント値とを対応付けて保持する。バンクとアドレスグループとは一対一に対応するので、バンク I D は対応するアドレスグループを特定する I D でもある。テーブル 1 0 6 について、R O W アドレスを保持可能なエントリ数は D R A M 1 1 0 の R O W アドレスの総数よりも小さい。

【 0 0 1 9 】

テーブル 1 0 6 は、アドレス保持部 1 0 3 と、カウント値保持部 1 0 4 と、を含む。アドレス保持部 1 0 3 は制御部 1 0 2 によって制御される。制御部 1 0 2 は、発行部 1 0 1 が発行した A C T の発行先のバンクと R O W アドレスとの組をアドレス保持部 1 0 3 に登録する、または格納する。以下、バンクと R O W アドレスとの組をバンク・R O W アドレスと表記する。本実施の形態ではバンク・R O W アドレスは「バンク 0、R O W アドレス 0 x 0 0 0」のように表されるが、他の例として R O W アドレス 0 x 0 0 0 の左から 3 桁目をバンク I D として利用してもよい。すなわち、0 x 0 0 0 はバンク 0 の R O W アドレス、0 x 1 0 0 はバンク 1 の R O W アドレス、という表記でもよい。

40

【 0 0 2 0 】

カウント値保持部 1 0 4 は制御部 1 0 2 によって制御される。制御部 1 0 2 は、アドレス

50

保持部 103 に保持されている各 ROW アドレスについて、その ROW アドレスに対して A C T が発行されると、カウント値保持部 104 に保持される対応するカウント値をインクリメントする。

バンク毎最大値保持部 105 は制御部 102 によって制御され、アドレスグループ（すなわちバンク）ごとに最大カウント値を保持する。

【0021】

図2は、アドレス保持部103、カウント値保持部104およびバンク毎最大値保持部105の一例を示すデータ構造図である。アドレス保持部103およびカウント値保持部104はそれぞれ、MVC (Maximum Victim Count) (特許文献1参照) 以下の個数のエントリを持つ。MVCは、DRAM110のリフレッシュ周期内に、メモリコントローラ100がACTを可能な限り発行したとき、MACに到達することのできるROWアドレスの個数である。この値はtREFW、tRC、MACの値に基づいて計算される。例えば、tREFWが32ms、tRCが42ns、MACが200K回の場合、ROWアドレスへのACTは、 $32\text{ms} / 42\text{ns} = \text{約}762\text{K回}$ となる。メモリコントローラ100は、ひとつのリフレッシュ周期の間に約762K回のACTを発行することができる。この場合において、ひとつのリフレッシュ周期内にMACに到達することのできるROWアドレスの個数は、 $762\text{K} / 100\text{K} = \text{約}7.62\text{個}$ となる。よって、この場合にアドレス保持部103およびカウント値保持部104のエントリは、8個必要となる。バンク毎最大値保持部105はアドレスグループの数＝バンクの数個のエントリを持つ。

【0022】

図3は、本実施の形態における、アドレスグループ301とバンク・ROWアドレス302との対応関係を示す説明図である。図3に示される通り、1つのアドレスグループに1つのバンクが割り当てられる。

【0023】

以上の構成によるメモリコントローラ100の動作を説明する。

図4は、メモリコントローラ100における一連の処理の流れを示すフローチャートである。発行部101がACTを発行すると、制御部102はアドレス保持部103およびカウント値保持部104のそれぞれの状態に依存して図4に示される処理を実行する。S401で制御部102は、発行部101が発行するDRAMコマンドCMDを監視し、ACTが発行されたか否かを判定する。ACTが発行されなかった場合、制御部102はS401を繰り返す。ACTが発行された場合、S402で制御部102はアドレス保持部103を参照し、発行されたACTの発行先のバンク・ROWアドレスがアドレス保持部103に存在するか否かを判定する。

【0024】

S402で存在すると判定された場合、S403で制御部102はカウント値保持部104を参照し、発行先のバンク・ROWアドレスと同じアドレス保持部103のエントリに対応してカウント値保持部104に保持されているカウント値を読み出す。制御部102は、読み出されたカウント値がしきい値、この場合MAC/2-1、に等しいか否かを判定する。S403で等しくない、すなわちしきい値未満であると判定された場合、S404で制御部102は読み出されたカウント値をインクリメント（例えば+1）する。制御部102は、インクリメント後のカウント値をカウント値保持部104に登録することでカウント値保持部104を更新する。その後、処理はS401に戻る。

【0025】

S403で等しいと判定された場合、S405で発行部101は、ACTの発行先のバンク・ROWアドレスを対象とするTRRを発行する。S406で制御部102は、TRRの発行先のバンクに対応してバンク毎最大値保持部105に保持されている最大カウント値をリセットする、または初期化する。例えば、最大カウント値は0や1などの初期値となる。その後、処理はS401に戻る。

【0026】

S402で存在しないと判定された場合、S407で制御部102は、アドレス保持部1

10

20

30

40

50

03に空いているエントリ（以下、空きエントリと称す）があるか否かを判定する。S407であると判定された場合、S408で制御部102は、ACTの発行先のバンク・ROWアドレスを新たにアドレス保持部103の空きエントリに登録する。S409で制御部102は、ACTの発行先のバンクに対応してバンク毎最大値保持部105に保持されている最大カウント値を読み出す。S410、S411で制御部102は、読み出された最大カウント値を参照して、ACTの発行先のバンク・ROWアドレスに対応するカウント値を設定する。S410で制御部102は、読み出された最大カウント値をインクリメントする。S411で制御部102は、インクリメント後の値を、ACTの発行先のバンク・ROWアドレスに対応するカウント値としてカウント値保持部104に登録する。その後、処理はS401に戻る。

10

【0027】

S407で空きエントリないと判定された場合、S412で制御部102は、カウント値保持部104に保持されるカウント値のなかから、最小のカウント値を特定する。S413で制御部102は、アドレス保持部103に保持されるバンク・ROWアドレスのなかから、特定された最小のカウント値に対応するバンク・ROWアドレスを選択する。S414で制御部102は、選択されたバンク・ROWアドレスを、ACTの発行先のバンク・ROWアドレスで置き換える。

【0028】

S415で制御部102は、置換の前後でバンクが異なるか否かを判定する。すなわち、制御部102は、S413で選択されたバンク（置換前のバンク）と、ACTの発行先のバンク（置換後のバンク）と、の異同を判定する。S415で同じであると判定された場合、S416で制御部102はS412で特定された最小のカウント値をインクリメントする。制御部102は、インクリメント後のカウント値をACTの発行先のバンク・ROWアドレスに対応付けてカウント値保持部104に登録することでカウント値保持部104を更新する。その後、処理はS401に戻る。

20

【0029】

S415で異なると判定された場合、S417で制御部102は、S413で選択されたバンクに対応してバンク毎最大値保持部105に保持されている最大カウント値を読み出す。S412で特定された最小のカウント値はS413で選択されたバンク・ROWアドレスに対応し、後のS411の処理で上書きされる（追い出される）ので、以下、追い出されるカウント値、と表現する。S418で制御部102は、追い出されるカウント値がS417で読み出された最大カウント値よりも大きいかなかを判定する。S418で大きいと判定された場合、S419で制御部102は、S413で選択されたバンクに対応する最大カウント値を追い出されるカウント値で上書きすることで、バンク毎最大値保持部105を更新する。S418で大きくないと判定された場合またはS419の後、制御部102はS409、S410、S411を行うことでACTの発行先バンク・ROWアドレスに対応するカウント値に登録する。その後、処理はS401に戻る。

30

【0030】

以降、図5から図8を参照し、図4で説明した各条件における、制御部102の動作の詳細を説明する。これらの例は、発行部101がバンク0、ROWアドレス0x100に対してACT501を発行した時の制御部102の動作を示している。制御部102は、アドレス保持部103およびカウント値保持部104のそれぞれの状態を確認し、その状態に応じた処理を実施する。

40

【0031】

制御部102は、発行部101からのACT501の発行を検出すると、そのACT501の発行先であるバンク・ROWアドレスが、アドレス保持部103に存在するかどうかを判定する（図4のS402）。この状態に応じて、制御部102は続きの処理を決定する。

【0032】

図5は、あるシナリオでの制御部102の動作を説明するための図である。図5の例では

50

、制御部 102 がアドレス保持部 103 内を検索 (符号 502) した結果、アドレス保持部 103 のエントリにバンク 0、ROW アドレス 0×100 の組を発見する。制御部 102 は、発見されたバンク 0、ROW アドレス 0×100 の組に対応するカウント値保持部 104 のエントリを確認する (符号 503)。その結果、制御部 102 はバンク 0、ROW アドレス 0×100 の組に対応するカウント値が「999999」 (= MAC / 2 - 1) となっていることを見出す (図 4 の S403)。

【0033】

この条件において、制御部 102 は、アドレス保持部 103 からバンク 0、ROW アドレス 0×100 の組のエントリを削除し (符号 504)、そのエントリに対応するカウント値保持部 104 のエントリを削除する (符号 505)。続いて、制御部 102 は、発行部 101 に対し、TRR を発行するよう指示する (符号 506)。発行部 101 は制御部 102 からの指示を受けて DRAM 110 に対して TRR を発行する (図 4 の S405)。

10

【0034】

図 6 は、あるシナリオでの制御部 102 の動作を説明するための図である。図 6 の例では、制御部 102 がアドレス保持部 103 内を検索 (符号 601) した結果、アドレス保持部 103 のエントリにバンク 0、ROW アドレス 0×100 の組を発見する。制御部 102 は、発見されたバンク 0、ROW アドレス 0×100 の組に対応するカウント値保持部 104 のエントリを確認する (符号 602)。その結果、制御部 102 はバンク 0、ROW アドレス 0×100 の組に対応するカウント値が MAC / 2 - 1 未満であることを見出す (図 4 の S403)。

20

【0035】

この条件において、制御部 102 は、アドレス保持部 103 のバンク 0、ROW アドレス 0×100 に対応してカウント値保持部 104 に保持されるカウント値をインクリメントする (図 4 の S404)。制御部 102 は、バンク 0、ROW アドレス 0×100 の組に対応するカウント値保持部 104 のエントリに、インクリメントの結果である「80001」を書き込む (符号 603)。このインクリメントの結果、カウント値保持部 104 のカウント値は、MAC / 2 に到達しないため、これ以外の処理は行われない。

【0036】

図 7 は、あるシナリオでの制御部 102 の動作を説明するための図である。図 7 の例では、制御部 102 がアドレス保持部 103 内を検索 (符号 701) した結果、アドレス保持部 103 のエントリにバンク 0、ROW アドレス 0×100 の組を発見しない。また制御部 102 は、アドレス保持部 103 に空きエントリが存在すると判定する (図 4 の S407)。

30

【0037】

この条件において、制御部 102 は、アドレス保持部 103 の空きエントリに、バンク 0、ROW アドレス 0×100 のエントリを新規に作成する (符号 702、図 4 の S408)。制御部 102 は、バンク 0 (アドレスグループ 0) に対応してバンク毎最大値保持部 105 に保持される最大カウント値 (「0」) を読み出す (符号 703、図 4 の S409)。制御部 102 は、読み出された最大カウント値をインクリメントする ($0 + 1 = 1$)。制御部 102 は、インクリメントの結果得られる値 (「1」) を、バンク 0、ROW アドレス 0×100 に対応するカウント値としてカウント値保持部 104 に登録する (符号 704、図 4 の S411)。

40

【0038】

図 8 は、あるシナリオでの制御部 102 の動作を説明するための図である。図 8 の例では、制御部 102 がアドレス保持部 103 内を検索 (符号 801) した結果、アドレス保持部 103 のエントリにバンク 0、ROW アドレス 0×100 の組を発見しない。また制御部 102 は、アドレス保持部 103 に空きエントリが存在しないと判定する (図 4 の S407)。

【0039】

この条件において、制御部 102 はカウント値保持部 104 を参照して最小のカウント値

50

を特定し、特定された最小のカウント値に対応してアドレス保持部 103 に保持されるエントリを特定する。制御部 102 は、特定されたエントリを、ACT501 の発行先のバンク・ロウアドレスの組で置換する（図 4 の S414）。この図 8 ではバンク 1、ROW アドレス 0×98 のエントリが、バンク 0、ROW アドレス 0×100 の組で置換される（符号 802）。制御部 102 は、置換後のバンク・ROW アドレスの組（バンク 0、ROW アドレス 0×100 ）に対応してバンク毎最大値保持部 105 に保持される最大カウント値（「100」）を読み出す（符号 803）。制御部 102 は読み出された値をインクリメントする（ $100 + 1 = 101$ ）。制御部 102 は、インクリメントの結果得られる値（「101」）を、置換後のバンク・ROW アドレスの組に対応するカウント値保持部 104 のエントリに書き込む（図 4 の S411）。この図 8 では、バンク毎最大値保持部 105 のアドレスグループ 0 のエントリから「100」が読み出され、インクリメントされて「101」となり、カウント値保持部 104 の最小のカウント値「15000」がその値「101」で上書きされる（符号 804）。

10

【0040】

制御部 102 は、追い出されたバンク 1 のカウント値「15000」と、バンク 1（アドレスグループ 1）に対応してバンク毎最大値保持部 105 に保持されている最大カウント値（「14500」）と、を比較する（図 4 の S418）。 $15000 > 14500$ なので、制御部 102 はバンク 1 に対応する最大カウント値を 15000 で置き換える（符号 805）。

【0041】

20

本実施の形態に係るメモリコントローラ 100 によると、制御部 102 がアドレス保持部 103、カウント値保持部 104 およびバンク毎最大値保持部 105 を上述のように制御することで、実際の ROW アドレスへのアクセス数と ACT の発行数との乖離を抑制することができる。その結果、無駄な TRR の発生を抑制することができる。

【0042】

以上、実施の形態に係るメモリコントローラ 100 の構成と動作について説明した。この実施の形態は例示であり、その各構成要素や各処理の組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0043】

30

実施の形態では ROW アドレスのアドレスグループが DRAM 110 のバンクに対応する場合について説明したが、これに限られない。ROW アドレスが複数のグループに分けられていればよく、その分け方は任意でよい。図 9（a）、（b）は、ROW アドレスの分け方の例を示す図である。図 9（a）の符号 1001 で示されるように、ROW アドレスによる区分を用いてもよい。または、図 9（b）の符号 1002 に示されるように、マスタ毎の区分（マスタによってアクセス先のアドレスが固定されている場合）を用いてもよい。このように、任意の割り当て方法を採用することができる。

【0044】

実施の形態では、カウント値がインクリメントされる場合について説明したが、これに限られず、ROW アドレスに対して ACT が発行されるとカウント値を更新する態様であれば他の態様が用いられてもよい。例えば、ACT の発行に対してカウント値がデクリメントされてもよい。この場合、図 4 の S403 や S418 における判定基準も合わせて変更されてもよい。

40

【0045】

実施の形態では、カウント値がしきい値 $= MAC / 2 - 1$ に達すると TRR が発行される場合について説明したが、これに限られず、他のしきい値が用いられてもよいし、しきい値以外の他の条件が用いられてもよい。

【0046】

実施の形態では、図 4 の S412 において最小のカウント値が特定され、S413 において特定されたカウント値に対応するバンク・ROW アドレスが選択される場合について説

50

明したが、これに限られない。アドレス保持部 103 に保持されているバンク・ROW アドレスのなかからカウント値に関する所定の基準にしたがいバンク・ROW アドレスが選択されてもよい。例えば、極小のカウント値が特定されてもよい。あるいはまた、カウント値保持部 104 から小さい方から 3 つのカウント値を選択し、該 3 つのカウント値のなかからランダムに選択したひとつに対応してアドレス保持部 103 に保持されるバンク・ROW アドレスを選択してもよい。

【0047】

S412 における最小のカウント値は、カウント値保持部 104 に保持されるカウント値のなかで、 $MAC/2 - 1$ に到達するという条件を満たすために必要なインクリメントの回数が最も多いカウント値であると言える。すなわち、S412 では、カウント値保持部 104 に保持されているカウント値のなかで TRR 発行の条件を満たすために必要な更新の回数が最も多いカウント値を特定しているといえる。

10

【0048】

実施の形態では、図 4 の S406 において TRR の発行を契機として対応するバンクの最大カウント値をリセットする場合について説明したが、これに限られない。例えば、バンク毎最大値保持部 105 に保持される最大カウント値は経時的に自動的に減少してもよいし、またはバンク毎最大値保持部 105 から最大カウント値を読み出したことを契機としてその最大カウント値がリセットされてもよい。

【0049】

実施の形態では、DRAM110 が LPDDR4 に準拠する場合について説明したが、これに限られず、ROW アドレスが複数のグループに分けられる任意の DRAM に本実施の形態に係る技術的思想を適用可能である。

20

【符号の説明】

【0050】

100 メモリコントローラ、 101 発行部、 102 制御部、 103 アドレス保持部、 104 カウント値保持部、 105 バンク毎最大値保持部、 110 DRAM。

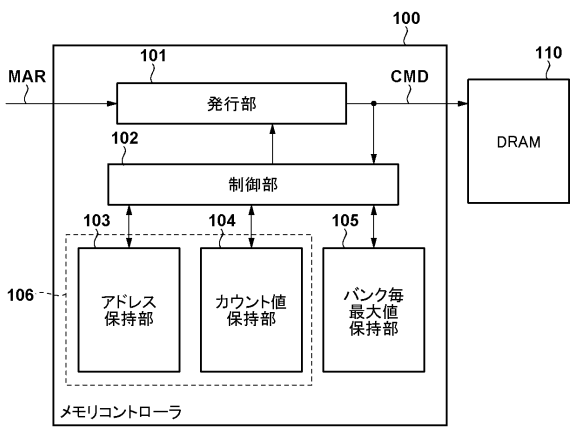
30

40

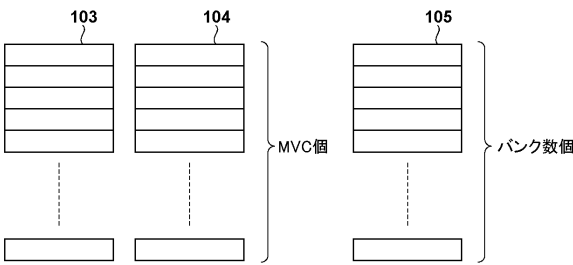
50

【図面】

【図 1】

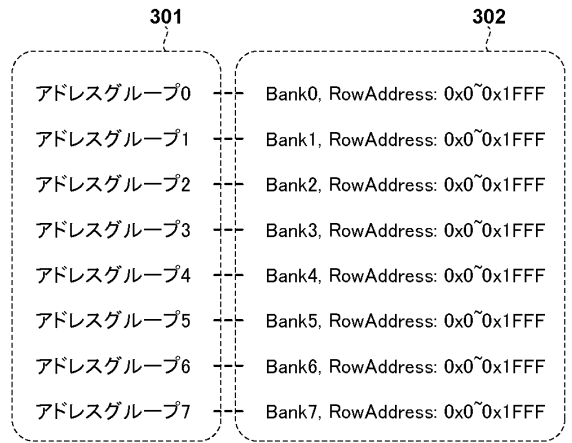


【図 2】

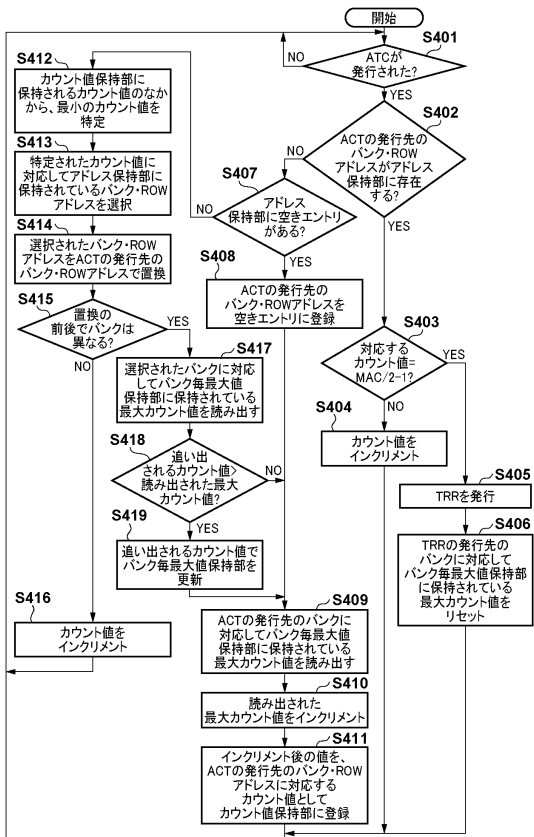


10

【図 3】



【図 4】



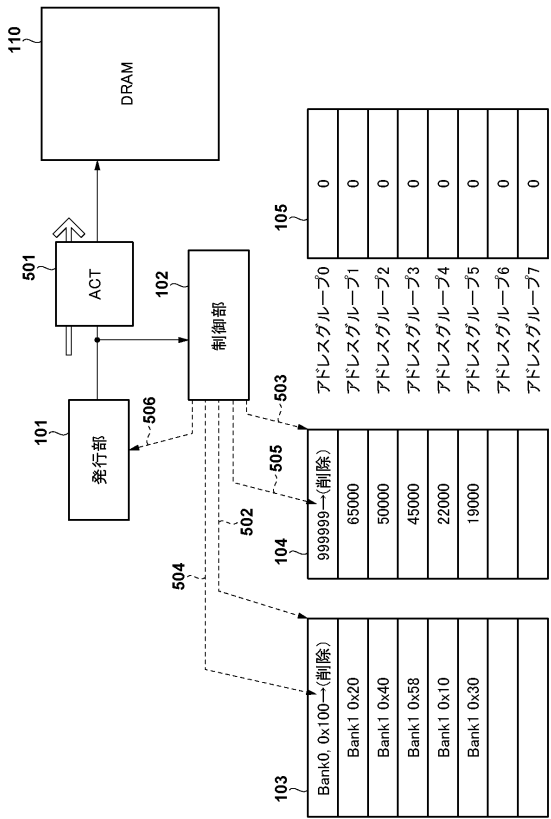
20

30

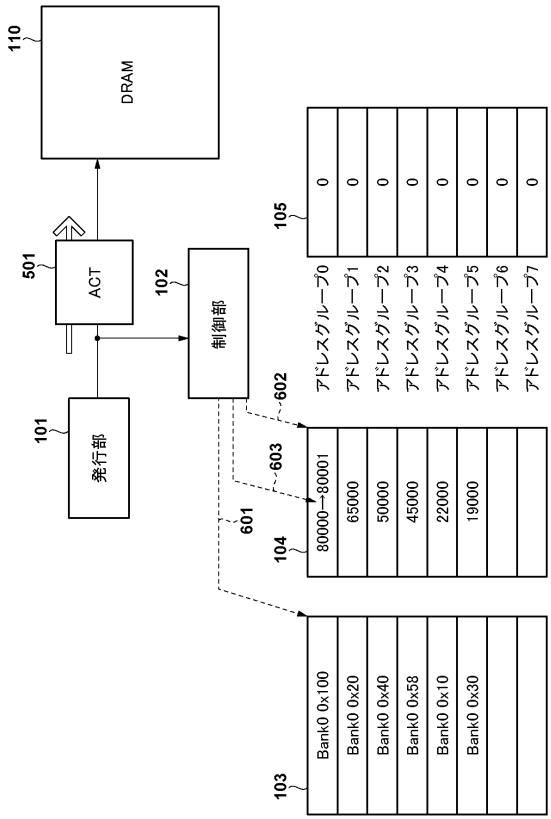
40

50

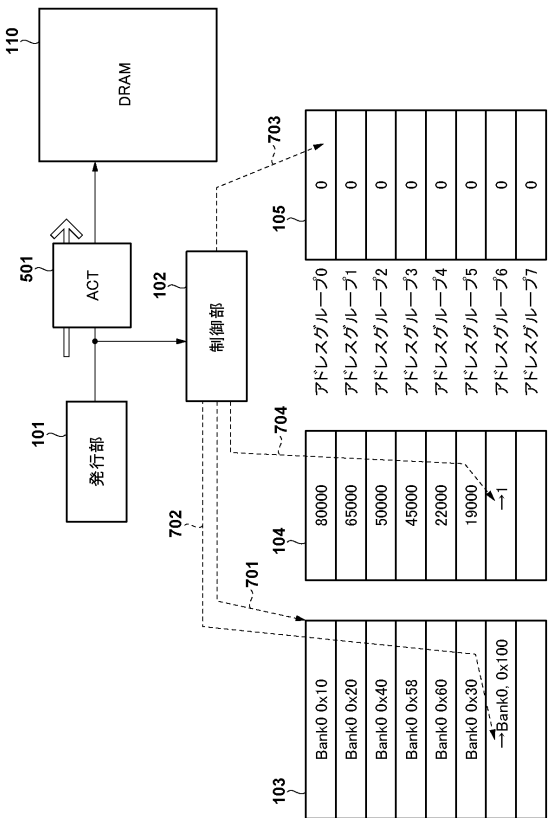
【図 5】



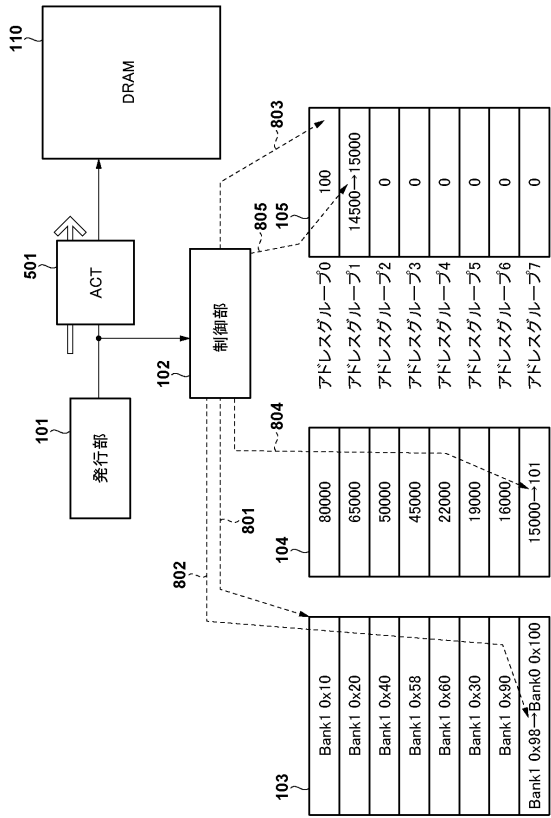
【図 6】



【図 7】



【図 8】



10

20

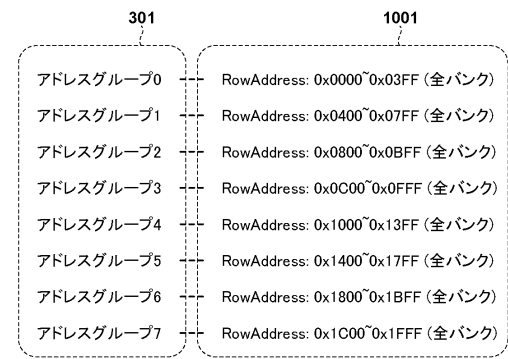
30

40

50

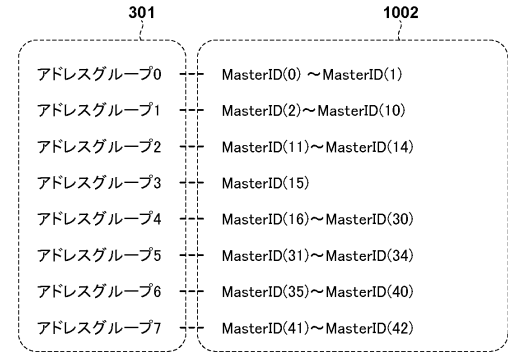
【図 9】

(a)



10

(b)



20

30

40

50

フロントページの続き

- (56)参考文献 特表 2 0 1 6 - 5 0 4 7 0 2 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 1 5 6 9 2 3 (U S , A 1)
 米国特許出願公開第 2 0 1 4 / 0 0 0 6 7 0 4 (U S , A 1)
 国際公開第 2 0 1 4 / 0 0 4 1 1 1 (W O , A 1)
 特開 2 0 1 5 - 1 3 3 1 1 9 (J P , A)
 米国特許出願公開第 2 0 1 4 / 0 1 7 7 3 7 0 (U S , A 1)
- (58)調査した分野 (Int.Cl. , D B 名)
 G 0 6 F 1 2 / 0 0 - 1 2 / 0 6
 G 1 1 C 1 1 / 4 0 1 - 1 1 / 4 0 9 9