

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6962308号
(P6962308)

(45) 発行日 令和3年11月5日(2021.11.5)

(24) 登録日 令和3年10月18日(2021.10.18)

| | |
|------------------------|--------------|
| (51) Int.Cl. | F 1 |
| HO3K 17/0812 (2006.01) | HO3K 17/0812 |
| HO3K 17/567 (2006.01) | HO3K 17/567 |
| HO2M 1/08 (2006.01) | HO2M 1/08 A |

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2018-230804 (P2018-230804)
 (22) 出願日 平成30年12月10日 (2018.12.10)
 (65) 公開番号 特開2020-96222 (P2020-96222A)
 (43) 公開日 令和2年6月18日 (2020.6.18)
 審査請求日 令和2年9月28日 (2020.9.28)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町1丁目1番地
 (74) 代理人 110000567
 特許業務法人 サトー国際特許事務所
 (72) 発明者 山内 一輝
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 (72) 発明者 千田 康隆
 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内
 審査官 工藤 一光

最終頁に続く

(54) 【発明の名称】ゲート駆動回路

(57) 【特許請求の範囲】

【請求項 1】

ゲート駆動形スイッチング素子(1、1a)のゲートにゲート駆動信号を与える一つの
みの出力素子(3)と、

前記ゲート駆動形スイッチング素子のゲートに前記ゲート駆動信号を定電流で与えるよ
うに前記出力素子を制御する定電流駆動回路(20、20a、20b、20c、20x)と、

前記ゲート駆動形スイッチング素子のゲートに前記ゲート駆動信号を定電圧で与えるよ
うに前記出力素子を制御する定電圧駆動回路(30、30a、30b、30c、30y、
30z)とを備えたゲート駆動回路。

【請求項 2】

前記定電流駆動回路および前記定電圧駆動回路は、いずれか一方の出力が前記出力素子に
与えられ、他方の出力が前記一方の入力として与えられるように接続される請求項1に記
載のゲート駆動回路。

【請求項 3】

前記定電流駆動回路は、前記ゲート駆動形スイッチング素子に対して、ゲート電圧を所
定の定電圧に達するまで定電流により一定の電圧上昇率で上昇させ、

前記定電圧駆動回路は、前記ゲート駆動形スイッチング素子に対して、ゲート電圧が所
定の定電圧に達した後は定電圧で保持するように駆動制御される請求項2に記載のゲート
駆動回路。

【請求項 4】

前記定電流駆動回路は、

第1参照電圧を発生させる第1参照電源(22、22x)と、

電源から前記出力素子に至る経路に設けられるシャント抵抗(2、2x)と、

前記シャント抵抗と前記出力素子との間の電圧が前記第1参照電圧に近づくように前記出力素子を制御し、前記出力素子に前記シャント抵抗の抵抗値と前記第1参照電圧とによって決まるシャント電流を流すように制御する第1差動アンプ(21、21a)とを備えた請求項1から3のいずれか一項に記載のゲート駆動回路。

【請求項 5】

前記定電圧駆動回路は、

10

第2参照電圧を発生させる第2参照電源(32、32y)と、

前記ゲート駆動形スイッチング素子のゲート電圧が前記第2参照電圧に近づくように前記出力素子を制御する第2差動アンプ(31、31a)とを備えた請求項1から4のいずれか一項に記載のゲート駆動回路。

【請求項 6】

前記定電流駆動回路(20a、20x)は、前記出力素子の前記シャント電流値を調整可能に設けられる請求項1から5のいずれか一項に記載のゲート駆動回路。

【請求項 7】

前記定電圧駆動回路(30y、30z)は、前記ゲート駆動形スイッチング素子に与えるゲート電圧を調整可能に設けられる請求項1から6のいずれか一項に記載のゲート駆動回路。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、ゲート駆動回路に関する。

【背景技術】**【0002】**

IGBT(Insulated Gate Bipolar Transistor)やパワーMOSFETなどのゲート駆動形スイッチング素子は、短絡等が発生して過電流が流れる場合に、その過電流が流れ続けるとスイッチング素子自身に急激な温度上昇が発生して破壊に至ることがある。スイッチング素子の短絡で過電流が流れるときに発生する短絡エネルギーは、例えばIGBTではゲート-エミッタ間に発生しているゲート電圧が高いほど大きくなる。このため、スイッチング素子を駆動するゲート駆動回路においては、短絡エネルギーを低減して破壊を防止することを目的として、オン駆動時にゲート電圧を一定に制御することが求められる。

30

【0003】

このようなスイッチング素子を駆動するゲート駆動回路としては、定電圧制御型のものや定電流制御型のものがある。この場合、定電圧制御型のものは、定電圧制御回路のみでゲート電圧を一定に制御しながらスイッチングオン駆動可能である。このため定電圧制御型のものは、定電流駆動型よりも素子点数を少なくできるためコストを抑えられるメリットがあるが、スイッチング損失が大きいという課題がある。

40

【0004】

一方、定電流制御型のものは、定電圧駆動型よりもスイッチング損失が小さいというメリットがあるが、上流に電源回路を設ける必要があり、一般的には複数の出力パワー素子を直列に接続する必要があるため、コストが高くなるという課題がある。

【先行技術文献】**【特許文献】****【0005】**

【特許文献1】特開2014-140270号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0006】

本発明は、上記事情を考慮してなされたもので、その目的は、定電圧および定電流の2つの制御機能を備え、且つ駆動部の出力素子を増設することがない低成本な構成のゲート駆動回路を提供することにある。

【課題を解決するための手段】

【0007】

請求項1に記載のゲート駆動回路は、ゲート駆動形スイッチング素子のゲートにゲート駆動信号を与える一つのみの出力素子と、前記ゲート駆動形スイッチング素子のゲートに前記ゲート駆動信号を定電流で与えるように前記出力素子を制御する定電流駆動回路と、前記ゲート駆動形スイッチング素子のゲートに前記ゲート駆動信号を定電圧で与えるように前記出力素子を制御する定電圧駆動回路とを備えている。10

【0008】

上記構成を採用することにより、ゲート駆動形スイッチング素子のゲートに対して、二つのみの出力素子によりゲート駆動信号を与える構成で、定電流駆動回路はゲート駆動信号を定電流で与えるように制御し、定電圧駆動回路はゲート駆動信号を定電圧で与えるように制御する。これにより、ゲート駆動形スイッチング素子は、ゲート電圧が定電流により一定の電圧上昇率で上昇し、この後所定のゲート電圧に達すると、定電圧を保持するように制御される。そして、この場合に、定電流制御および定電圧制御のいずれも一つのみの出力素子を介して実施することができ、低成本で構成することができる。20

【図面の簡単な説明】

【0009】

【図1】第1実施形態を示す電気的構成図

【図2】第1実施形態を示す適用装置の全体の電気的構成図

【図3】第1実施形態を示すタイムチャート

【図4】第2実施形態を示す電気的構成図

【図5】第3実施形態を示す電気的構成図

【図6】第4実施形態を示す電気的構成図

【図7】第5実施形態を示す電気的構成図

【図8】第6実施形態を示す電気的構成図（その1）

30

【図9】第6実施形態を示す電気的構成図（その2）

【図10】第7実施形態を示す電気的構成図（その1）

【図11】第7実施形態を示す電気的構成図（その2）

【発明を実施するための形態】

【0010】

（第1実施形態）

以下、本発明の第1実施形態について、図1～図3を参照して説明する。

電気的構成を示す図1において、ゲート駆動回路10は、ゲート駆動形スイッチング素子としてのIGBT1を駆動するものである。ゲート駆動回路10は、入力端子Aに直流電源VDから電流検出用のシャント抵抗2を介して給電され、出力素子としてのPチャンネル型のMOSFET3のソース-ドレイン間を介して出力端子Bにゲート駆動信号を出力する。出力端子Bはゲート抵抗4を介してIGBT1のゲートに接続される。40

【0011】

ゲート駆動回路10は、定電流駆動回路20および定電圧駆動回路30を備えている。定電流駆動回路20は、第1差動アンプ21および第1参照電源22を有する。第1差動アンプ21の反転入力端子には入力端子Aからシャント抵抗2を介して直流電源VDから入力電圧Vinが入力され、非反転入力端子には直流電源VDから第1参照電源22を介して第1参照電圧Vref1が入力される。

【0012】

定電圧駆動回路30は、3入力型の第2差動アンプ31、第2参照電源32および分圧

50

抵抗33、34を備えている。分圧抵抗33および34は直列接続することで分圧回路を構成し、出力端子Bとグランドとの間に接続される。分圧抵抗33および34の共通接続点Pは、出力端子Bの出力電圧Voutを分圧した電圧を出力する。第2差動アンプ31の反転入力端子には第2参照電源32の第2参照電圧Vref2が入力され、第1非反転入力端子には第1差動アンプ21の出力信号が入力され、第2非反転入力端子には分圧抵抗33を介して出力電圧Voutの分圧電圧が入力される。

【0013】

第2差動アンプ31は、反転入力端子に入力されている第2参照電圧Vref2に対して、第1および第2非反転入力端子のいずれか小さい値との差を演算して差の値に応じた信号を出力する。つまり、第2差動アンプ31は、第1差動アンプ21の出力電圧および出力電圧Voutの分圧電圧のいずれか小さい方の電圧値に対して、第2参照電圧Vref2との差に相当する電圧をMOSFET3のゲートに出力する。10

【0014】

なお、上記構成はIGBT1をオン駆動するための構成であるが、ゲート駆動回路10としては、オフ駆動をするための回路構成も備えている。例えばNチャンネル型のMOSFETが、IGBT1のゲートとグランドとの間に接続され、MOSFET3がオフされた後にオン駆動され、IGBT1のゲート電荷を放電させてオフ動作させるように構成されている。

【0015】

また、上記構成のゲート駆動回路10は、外部からハイレベル（オン）のゲート駆動信号Sgが与えられると、IGBT1にゲート電圧を印加してオン動作させる。同様に、ゲート駆動回路10は、オフ指示のローレベルのゲート駆動信号Sgが与えられると、IGBT1へのゲート電圧印加を停止すると共に、ゲート電荷を放電させてオフ動作させる。20

【0016】

次に、上記構成を採用したゲート駆動回路10の使用形態の一例となる電気的構成を図2により説明する。モータと発電機との機能を兼ね備えた電動発電機100と電力変換装置200からなる構成である。電動発電機100は、電気自動車などで用いられるものである。電力変換装置200は、バッテリ40から三相交流を生成して電動発電機100を回転駆動すると共に、電動発電機100による発電出力を直流に変換してバッテリ40に充電する機能を有する。30

【0017】

電力変換装置200は、直流電源部201および三相インバータ部202を備える。直流電源部201において、直流電源であるバッテリ40にはコンデンサ41が並列に接続されている。バッテリ40から昇圧コイル42にスイッチング素子43および44のオンオフ制御により通電して高圧を発生させ、出力段に接続されたコンデンサ45に充電することで高电压直流電源を生成する。

【0018】

三相インバータ部202は、6個のIGBT1a～1fを備え、三相のインバタ回路を形成している。三相の各アームの出力が電動発電機100の3つの各端子に接続される。6個のIGBT1a～1fは、同様に構成された駆動回路10a～10fによりゲート電圧が与えられて駆動制御される。駆動回路10a～10fは、いずれも図1に示したゲート駆動回路10と同等の構成である。40

【0019】

次に、上記構成の電力変換装置200の動作について簡単に説明をし、その後、ゲート駆動回路10の動作について、図3のタイムチャートも参照して説明する。

電力変換装置200において、直流電源部201は、電動発電機100を回転駆動させる場合には、IGBT43および44をオンオフ制御することにより、バッテリ40の端子電圧を昇圧コイル42により昇圧させてコンデンサ45に充電する。三相インバータ202では、コンデンサ45を直流電源としてIGBT1a～1fをそれぞれの駆動回路10a～10fによりオンオフ駆動され、三相交流を生成して電動発電機100に給電する50

。

【0020】

一方、電動発電機 100 が発電機として機能する場合には、回転により生ずる三相交流を、三相インバータ回路 202 を介して直流に変換してコンデンサ 45 に充電する。コンデンサ 45 の電荷は、直流電源部 201 において IGBT 43 および 44 をオンオフ駆動させることで昇圧コイル 42 を介して降圧した直流電圧でバッテリ 40 に充電する。

【0021】

これにより、電動発電機 100 は、電力変換装置 200 によりバッテリ 40 の電源を三相交流にして給電して回転駆動され、発電機として電力を回生する場合には電力変換装置 200 により直流変換および降圧してバッテリ 40 に戻すことができる。

10

【0022】

次に、ゲート駆動回路 10 の作用について説明する。ゲート駆動回路 10 は、図 3 (a) に示すように、時刻 t_0 で外部からオン指示のハイレベルのゲート駆動信号 S_g が与えられると、時刻 t_1 から動作を開始する。まず、定電流駆動回路 20 においては、直流電源 V_D からシャント抵抗 2 を介して入力端子 A に入力電圧 V_{in} として与えられる。これにより、第 1 差動アンプ 21 は参照電圧 V_{ref1} で設定された電圧よりも高い電圧が反転入力端子に与えられるので、MOSFET 3 をオンさせる。このとき、直流電源 V_D からシャント抵抗 2 に流れる電流 I_g により電圧降下が生じて入力電圧 V_{in} は直流電源 V_D の端子電圧よりも下がる。

【0023】

20

入力電圧 V_{in} は、直流電源 V_D からシャント抵抗 2 に流れる電流 I_g との積で得られる電圧分だけ下がった電圧となるから、シャント抵抗 2 の抵抗値を R_s とすると、入力電圧 V_{in} は、直流電源 V_D の電圧からシャント抵抗 2 での電圧降下分 ($R_s \times I_g$) だけ下がった電圧となる。

【0024】

第 1 差動アンプ 21 は、入力電圧 V_{in} と第 1 参照電圧 V_{ref1} で設定される電圧との差分に応じた信号を出力する。第 1 差動アンプ 21 の出力は、シャント抵抗 2 に第 1 参照電圧 V_{ref1} で設定された所定のゲート電流 I_g が流れるように制御する。この第 1 差動アンプ 21 の出力信号は、定電圧駆動回路 30 の第 2 差動アンプ 31 に入力される。

【0025】

30

定電圧駆動回路 30 においては、出力端子 B の出力電圧 V_{out} が、第 2 参照電圧 V_{ref2} で設定される所定のゲート電圧 V_g となるように制御する。この場合、出力端子 B の出力電圧 V_{out} が所定のゲート電圧 V_g に達していない状態では、第 2 非反転入力端子に与える電圧が低いので、図 3 (e) に示すように、MOSFET 3 をフルオンさせようとする。

【0026】

しかし、第 2 差動アンプ 31 においては、第 1 差動アンプ 21 からの出力信号と第 2 参照電圧 V_{ref2} との差分に相当する値の方が小さいので、図 3 (d) に示すように、第 1 差動アンプ 21 からの出力信号が支配的な制御要素となり、結果として定電流を流すためのゲート信号が MOSFET 3 のゲートに出力される制御状態となる。

40

【0027】

これにより、MOSFET 3 は、図 3 (c) に示すように、ゲート電流 I_g が定電流で流れるように制御され、出力端子 B から IGBT 1 のゲートに出力される。IGBT 1 は、ゲートに定電流 I_g が流れゲート容量に定電流で充電されることで、図 3 (b) に示すように、ゲート電圧 V_g は一定の電圧変化率で上昇する。なお、途中 IGBT 1 のゲート電圧が一定となるミラー期間に入ると、ミラー期間が終了する時刻 t_2 までの期間中、ゲート電圧 V_g はミラー電圧 V_{mr} に固定される。この結果、時刻 t_0 から t_2 までの期間 T_1 は定電流駆動回路 20 による制御が実施される定電流駆動期間となる。

【0028】

時刻 t_2 になってミラー期間が終了すると、IGBT 1 のゲート電圧 V_g は再び一定の

50

電圧変化率で上昇してゆく。この後、IGBT1のゲートへの充電が進んでゲート電圧 V_g が所定レベルに近づくと、MOSFET3のゲート電流 I_g は低下してゆき、時刻 t_3 でゲート電圧 V_g が所定レベルに達する。この結果、時刻 t_2 から t_3 までの期間 T_2 は、定電流駆動の制御状態から定電圧駆動の制御状態に移行する定電流-定電圧移行期間となる。また、期間 T_1 および T_2 の期間中は、定電流駆動回路20により定電流制御が行われ、MOSFET3が定電流出力で制御される状態である。

【0029】

そして、時刻 t_3 以降の状態では、電流 I_g がほとんどゼロになるので、図3(d)に示すように、定電流駆動回路20の第1差動アンプ21はMOSFET3をフルオンさせて電流を流そうとする。一方、定電圧駆動回路30の出力電圧 V_{out} が所定のゲート電圧 V_g に達したことで、第2差動アンプ31においては、第2参照電圧 V_{ref2} とほぼ同じレベルになる。このため、第2差動アンプ31は、MOSFET3をオフさせる出力となる。

【0030】

つまり、時刻 t_3 以降においては、第2差動アンプ31は、第1差動アンプ21からの信号出力にかかわらず、出力電圧 V_{out} が所定電圧に達したことMOSFET3のゲートに対する電流出力を停止する状態となる。これにより、第2差動アンプ31は、以後、図3(e)に示すように、IGBT1のゲート電圧 V_g が変動すると、これに応じてMOSFET3を制御してIGBT1にゲート電流を流してゲート電圧 V_g を保持する制御状態となる。

【0031】

このようにして、IGBT1のゲート電圧を与えるMOSFET3は、ゲート駆動回路10により、オンした直後は定電流駆動回路20の制御により定電流駆動を実施し、この後ゲート電圧 V_g が所定レベルに達すると定電圧駆動回路30により定電圧駆動が実施されるようになる。

【0032】

なお、この後、時刻 t_4 でローレベルのゲート駆動信号 S_g が与えられると、ゲート駆動回路10は、時刻 t_5 でオフ駆動回路によりIGBT1のゲート電荷を放電させて図3(b)示のようにゲート電圧 V_g をゼロまで低下させて、IGBT1をオフ動作させる。この結果、時刻 t_3 から t_5 までの期間 T_3 は、定電圧駆動回路30による制御が実施される定電圧駆動期間となる。

【0033】

このような第1実施形態によれば、共通の出力素子としてMOSFET3を設けて、IGBT1のゲートを定電流駆動回路20および定電圧駆動回路30により自動的に制御を切り替えて駆動することができるので、低コストでゲート駆動回路10を構成することができる。

【0034】

(第2実施形態)

図4は第2実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、ゲート駆動回路10aは、定電流駆動回路20aおよび定電圧駆動回路30aを備え、MOSFET3のゲートに対して定電流駆動回路20aによりゲート信号を出力する構成である。

【0035】

定電流駆動回路20aは、第1差動アンプ21に代えて第1差動アンプ21aを備える。第1差動アンプ21aは、3入力型のもので、第1実施形態における定電圧駆動回路30の第2差動アンプ31に相当する機能を備える。一方、定電圧駆動回路30aは、第2差動アンプ31に代えて2入力の第2差動アンプ31aを備える。この第2実施形態では、第1実施形態における第1差動アンプ21と第2差動アンプ31とを機能的に入れ替えた構成を採用している。

【0036】

10

20

30

40

50

定電流駆動回路 20 aにおいては、第1差動アンプ 21 aは、第1反転入力端子に直流電源 VD からシャント抵抗 2 および入力端子 A を介して入力電圧 Vin が入力される。また、第1差動アンプ 21 aは、第2反転入力端子に第2差動アンプ 31 aの出力信号が入力され、非反転入力端子に直流電源 VD から第1参照電源 22 を介して第1参照電圧 Vref1 が入力される。第1差動アンプ 21 aの出力端子はMOSFET 3 のゲートに接続され、ゲート電圧を印加する。

【0037】

また、定電圧駆動回路 30 aにおいては、第2差動アンプ 31 aは、反転入力端子に第2参照電源 32 の第2参照電圧 Vref2 が入力され、非反転入力端子に分圧抵抗 33 を介して出力電圧 Vout の分圧電圧が入力される。

10

【0038】

第1差動アンプ 21 aは、非反転入力端子に入力されている第1参照電圧 Vref1 に対して、第1および第2反転入力端子の値との差が小さい方の電圧値に対応して第1参照電圧 Vref1 との差に相当する電圧をMOSFET 3 のゲートに出力する。

【0039】

これにより、第1差動アンプ 21 aは、第1実施形態の第2差動アンプ 31 と同様にしてMOSFET 3 に対してゲート駆動信号を生成するようになる。したがって、ゲート駆動回路 10 aは、IGBT 1 がオンした直後は定電流駆動回路 20 aの制御により定電流駆動を実施し、この後ゲート電圧 Vg が所定レベルに達すると定電圧駆動回路 30 aにより定電圧駆動が実施されるようになる。

20

この結果、このような第2実施形態によっても第1実施形態と同様の作用効果を得ることができる。

【0040】

(第3実施形態)

図5は第3実施形態を示すもので、以下、第1実施形態と異なる部分について説明する。この実施形態では、MOSFET 3 は、ソースが入力端子 A を介して直流電源 VD に直接接続され、ドレインはシャント抵抗 2 を介して出力端子 B に接続されている。

【0041】

ゲート駆動回路 10 b は、第1実施形態におけるゲート駆動回路 10 を前提とし、定電圧駆動回路 30 b は、定電圧駆動回路 30 と同等の構成としている。定電流駆動回路 20 b は、第1差動アンプ 21 の両端子間にシャント抵抗 2 の両端子が接続され、シャント抵抗 2 の端子間電圧が入力される。

30

【0042】

上記構成によれば、第1実施形態と同様にしてシャント抵抗 2 に流れる電流 Ig に比例した電圧が発生する。定電流駆動回路 20 b は、第1差動アンプ 21 によりMOSFET 3 のゲートに対して第2参照電圧 Vref2 で設定された定電流 Ig が流れるようにゲート駆動信号を出力する。

【0043】

このとき、定電圧駆動回路 30 b は、出力端子 B の出力電圧 Vout が所定電圧に達していないことで第2差動アンプ 31 への入力信号は小さくなるので、第2参照電圧 Vref2 との差が大きくなる。一方、定電流駆動回路 20 b の第1差動アンプ 21 からの出力信号と第2参照電圧 Vref2 との差は小さくなる。この結果、この状態では、定電流駆動回路 20 b による定電流制御状態となる。

40

【0044】

MOSFET 3 のゲート電圧 Vout が、ミラー期間を過ぎて所定のゲート電圧 Vg に達すると、出力端子 B から定電圧駆動回路 30 b の第2差動アンプ 31 への信号が大きくなり、第2参照電圧 Vref2 との差が小さくなる。一方、これによってゲート電流 Ig がほぼゼロになるので、第1差動アンプ 21 からの出力信号は大きくなる。この結果、この状態では定電圧駆動回路 30 b による定電圧制御状態となる。

したがって、このような第3実施形態によっても第1実施形態と同様の作用効果をえる

50

ことができる。

【0045】

(第4実施形態)

図6は第4実施形態を示すもので、以下、第3実施形態と異なる部分について説明する。この実施形態では、第3実施形態のシャント抵抗2を省略し、ゲート電流 I_g の検出をゲート抵抗4により行う構成としている。

【0046】

この構成によっても、第3実施形態と同様にしてMOSFET3にゲート駆動信号を出力することができ、同様にしてIGBT1の駆動制御を行うことができ、同様の効果を得ることができる。

10

【0047】

また、この構成では、ゲート抵抗4を電流検出に用いるので、ゲート電流検出動作とゲート入力抵抗との機能を兼ね備えることができる場合には、抵抗素子の個数を減らすことができる。

【0048】

(第5実施形態)

図7は第5実施形態を示すもので、以下、第2実施形態と異なる部分について説明する。この実施形態では、ゲート駆動回路10aは、第2実施形態と同様の構成を採用している。また、制御対象となるゲート駆動形スイッチング素子としてIGBT1に代えてnチャネル型のMOSFET1aを駆動する構成である。

20

【0049】

上記構成によれば、MOSFET1aは、第2実施形態と同様にして、オン駆動時にははじめに定電圧駆動回路20aにより定電流駆動制御され、ゲート電圧が所定レベルに達すると定電圧駆動回路30aにより定電圧駆動制御がなされる。

したがって、このような第5実施形態によても、第2実施形態と同様の作用効果を得ることができる。

【0050】

(第6実施形態)

図8および図9は第6実施形態を示すもので、以下、第5実施形態と異なる部分について説明する。第6実施形態においては、図8および図9のそれぞれの定電流駆動制御において、定電流 I_g の値を設定変更することができる構成を採用している。

30

【0051】

図8に示すものでは、第5実施形態のゲート駆動回路10aにおいて、定電流駆動回路20aに代えて定電流駆動回路20xを設けたゲート駆動回路10xとしている。定電流駆動回路20xにおいては、第1参照電圧 V_{ref1} を与える第1参照電源22に代えて、可変第1参照電圧 V_{ref1x} を与える可変第1参照電源22xを設けている。

【0052】

この構成を採用することにより、定電流駆動回路20xでは、MOSFET3のゲートに定電流 I_g を流す場合のレベルを、可変第1参照電圧 V_{ref1x} を調整することで異なるレベルに設定することができる。これによって、MOSFET1aのゲート電圧 V_g を上昇させる場合の電圧変化率を調整することができる。

40

【0053】

また、図9に示すものでは、ゲート駆動回路10aは第5実施形態のままでし、所定のシャント抵抗Rを有するシャント抵抗2に代えて、可変シャント抵抗Rxを設定可能な可変シャント抵抗2xを設ける構成としている。これにより、電流 I_g が同じでも可変シャント抵抗2xの可変シャント抵抗Rxの値が変更されることで入力端子Aの入力電圧 V_{in} が変化する。このため、第1参照電圧 V_{ref1} で設定された定電流のレベルが実質的に異なるレベルに設定されたこととなる。これによって、MOSFET1aのゲート電圧 V_g を上昇させる場合の電圧変化率を調整することができる。

【0054】

50

このような第6実施形態によれば、可変第1参照電圧 V_{ref1x} を可変第1参照電源 V_{22x} で調整したり、あるいは可変シャント抵抗 $2x$ により可変シャント抵抗値 R_x の抵抗値を調整することで、定電流 I_g のレベルを異なるレベルに設定することができる。これにより、MOSFET3の特性や制御対象となるMOSFET1aの特性のばらつきに対応したり、異なる条件での駆動制御を簡単に実施することができる。

【0055】

(第7実施形態)

図10および図11は第7実施形態を示すもので、以下、第5実施形態と異なる部分について説明する。第7実施形態においては、図10および図11のそれぞれの定電圧駆動制御において、定電圧 V_g の値を設定変更することができる構成を採用している。

10

【0056】

図10に示すものでは、第5実施形態のゲート駆動回路10aにおいて、定電圧駆動回路30aに代えて、定電圧駆動回路30yを設けたゲート駆動回路10yとしている。定電圧駆動回路30yにおいては、第2参照電圧 V_{ref2} を与える第2参照電源32に代えて、可変第2参照電圧 V_{ref2y} を与える可変第2参照電源32yを設けている。

【0057】

この構成を採用することにより、定電圧駆動回路30yでは、MOSFET3のゲートに定電圧 V_g を与える場合のレベルを、可変第2参照電圧 V_{ref2y} を調整することで異なるレベルに設定することができる。これによって、MOSFET1aのゲート電圧 V_g をどのレベルに設定するかを調整することができる。

20

【0058】

また、図11に示すものでは、第5実施形態のゲート駆動回路10aにおいて、定電圧駆動回路30aに代えて、定電圧駆動回路30zを設けたゲート駆動回路10zとしている。定電圧駆動回路30zにおいては、出力電圧 V_{out} を検出する分圧抵抗33および34に代えて、可変分圧抵抗33zおよび34zを設ける構成としている。

【0059】

この構成を採用することにより、定電圧駆動回路30zでは、MOSFET3のゲートに定電圧 V_g を与える場合のレベルを、出力端子Bの出力電圧 V_{out} を検出する電圧レベルを調整可能としている。これによって、MOSFET1aのゲート電圧 V_g をどのレベルに設定するかを調整することができる。

30

【0060】

このような第7実施形態によれば、可変第2参照電圧 V_{ref2y} を可変第2参照電源32yで調整したり、可変分圧抵抗33zおよび34zの抵抗値を調整することで出力電圧 V_{out} の検出レベルを異なるレベルに設定することができる。これにより、MOSFET3の特性や制御対象となるMOSFET1aの特性のばらつきに対応したり、異なる条件での駆動制御を簡単に実施することができる。

【0061】

(他の実施形態)

なお、本発明は、上述した実施形態のみに限定されるものではなく、その要旨を逸脱しない範囲で種々の実施形態に適用可能であり、例えば、以下のように変形または拡張することができる。

40

【0062】

第1、第3、第4実施形態において、IGBT1に代えて制御対象をMOSFET1aとすることができます。第5～第7実施形態において、MOSFET1aに代えて制御対象をIGBT1とすることができます。

【0063】

第6実施形態および第7実施形態では、可変第1参照電圧 V_{ref1x} あるいは可変第2参照電圧 V_{ref2y} のレベル設定変更や、可変シャント抵抗 $2x$ あるいは可変分圧抵抗33z、34zの抵抗値の設定変更について、手動によりあるいは電気的に設定可能な構成とすることもできる。また電気的に設定する構成では、所定の制御レベルを達成させ

50

るための自動調整する回路を別途設けることもできる。

第1～第7実施形態は、互いに適宜組み合わせた複合的なゲート駆動回路を構成することができる。

【0064】

本実施形態のゲート駆動回路10、10a、10b、10c、10x、10y、10zは、電動発電機100を駆動する三相インバータ202のIGBT1a～1f以外の回路構成におけるゲート駆動形スイッチング素子にも適用することができる。

【0065】

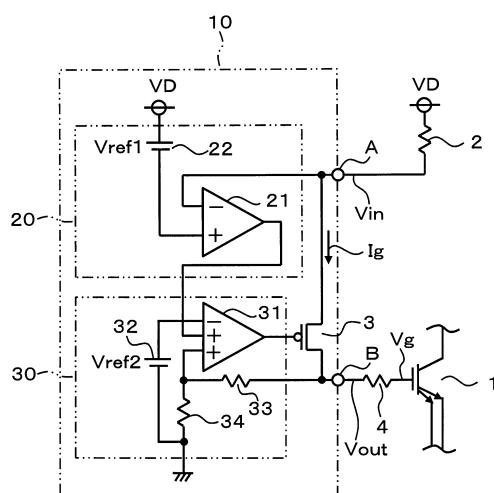
本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。
10

【符号の説明】

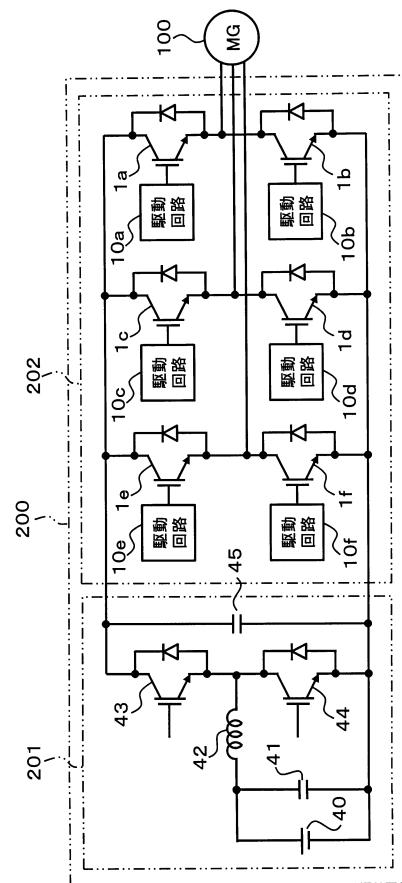
【0066】

図面中、1はIGBT（ゲート駆動形スイッチング素子）、1aはMOSFET（ゲート駆動形スイッチング素子）、2はシャント抵抗、2xは可変シャント抵抗、3はMOSFET（出力素子）、10、10a、10b、10c、10x、10y、10zはゲート駆動回路、20、20a、20b、20c、20xは定電流駆動回路、21、21aは第1差動アンプ、22は第1参照電源、22xは可変第1参照電源（第1参照電源）、30、30a、30b、30c、30y、30zは定電圧駆動回路、31、31aは第2差動アンプ、32は第2参照電源、32yは可変第2参照電源（第2参照電源）、33、34は分圧抵抗、33z、34zは可変分圧抵抗（分圧抵抗）である。
20
200
201

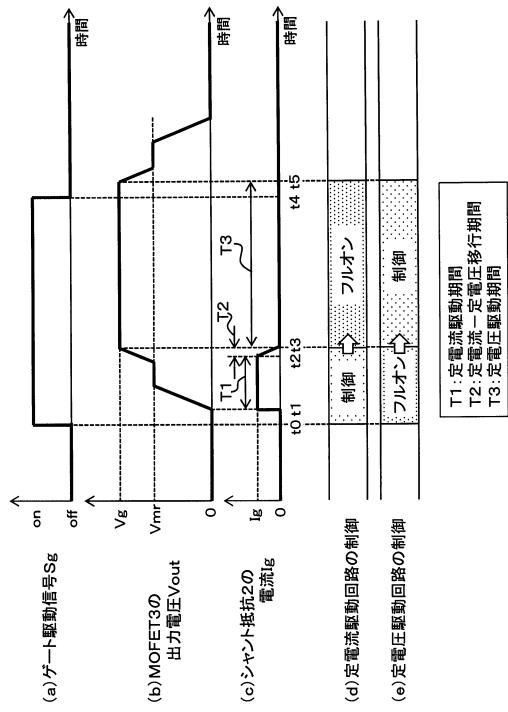
【図1】



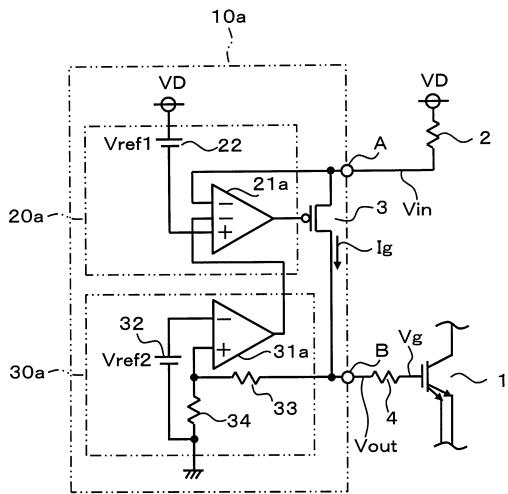
【図2】



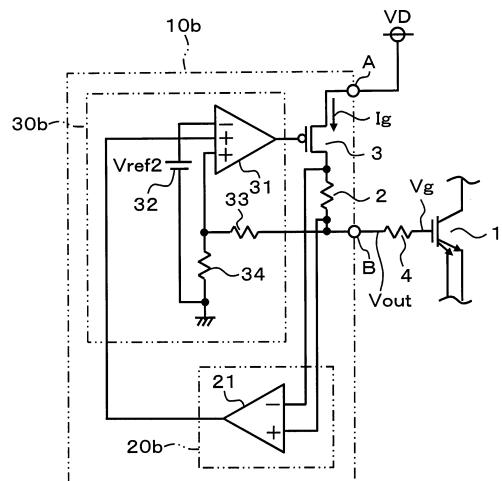
【図3】



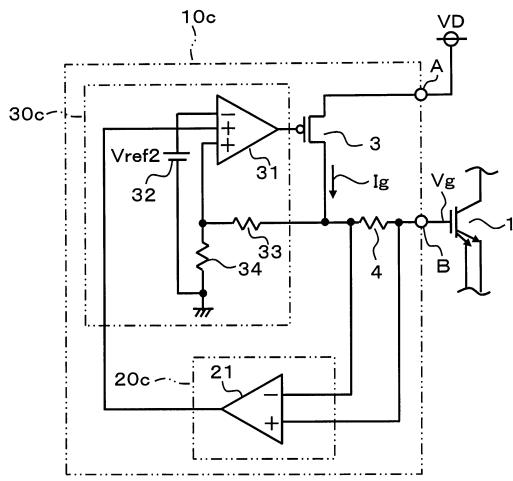
【図4】



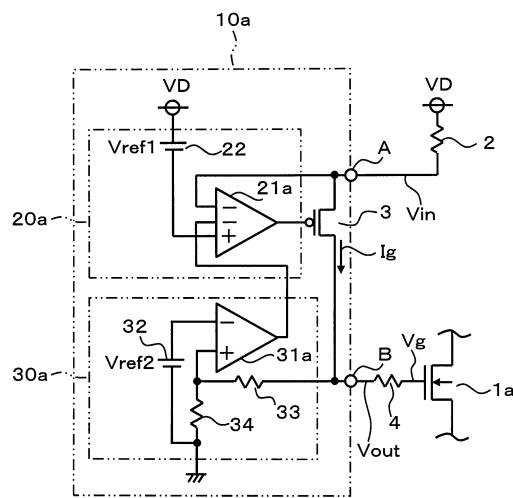
【図5】



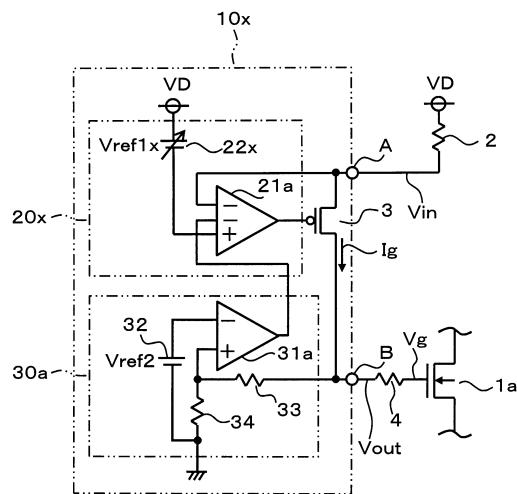
【図6】



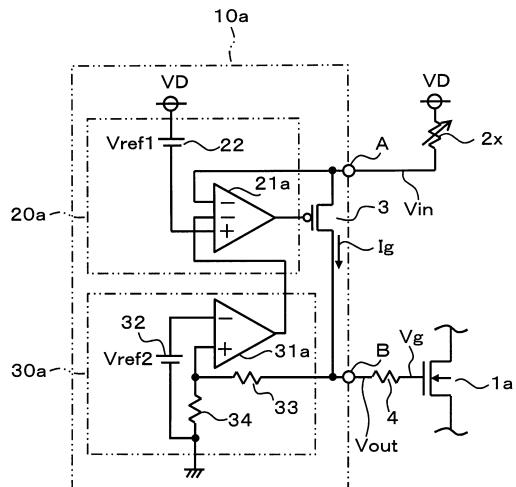
【図7】



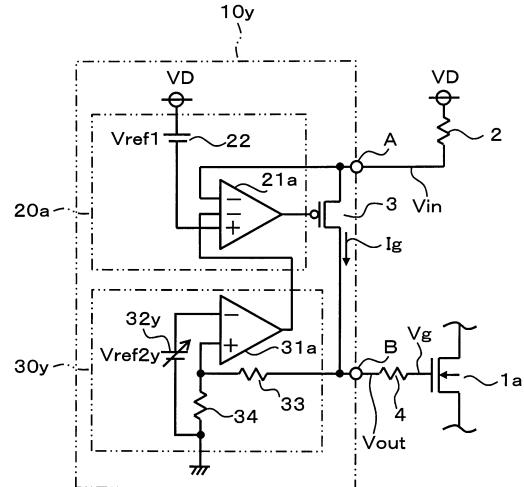
【図8】



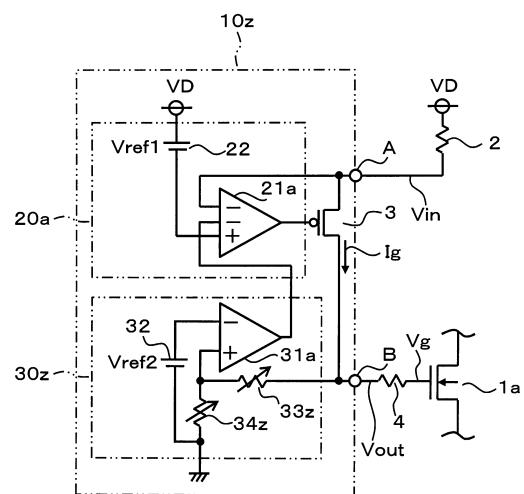
【図9】



【図10】



【図 1 1】



フロントページの続き

(56)参考文献 特開2013-38843(JP,A)
特開2009-11049(JP,A)
特開2014-140270(JP,A)
米国特許出願公開第2014/0239930(US,A1)

(58)調査した分野(Int.Cl., DB名)

H02M1/08-1/096
H02M7/797
H03K17/08-17/082
H03K17/567