

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/423 (2006.01)

H01L 21/28 (2006.01)

H01L 21/336 (2006.01)



# [12] 发明专利申请公开说明书

[21] 申请号 03809784.2

[43] 公开日 2006 年 2 月 1 日

[11] 公开号 CN 1729576A

[22] 申请日 2003.4.28 [21] 申请号 03809784.2

[30] 优先权

[32] 2002.4.30 [33] US [31] 10/135,227

[86] 国际申请 PCT/US2003/012958 2003.4.28

[87] 国际公布 WO2003/094243 英 2003.11.13

[85] 进入国家阶段日期 2004.10.29

[71] 申请人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 W·P·毛萨尔拉

Z·克里沃卡皮奇

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈泊程伟

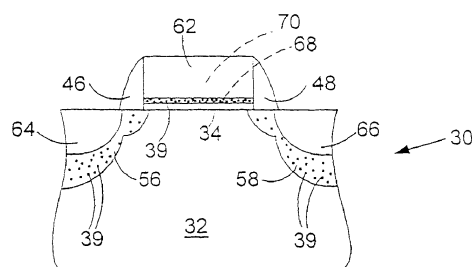
权利要求书 2 页 说明书 7 页 附图 5 页

## [54] 发明名称

使用硅化的金属栅极电极以及其形成方法

## [57] 摘要

本发明提供一种半导体装置，该半导体装置系由提供基材(32)，并在基材(32)上提供介电层(34)而制成。多晶硅体(36)设于介电层(34)上，而金属层(60)则设于多晶硅体(36)上。进行硅化过程以大致上硅化整个多晶硅体(36)，然后在介电层(34)上形成栅极(62)。在另一个制程中，帽罩层(90)设于多晶硅体(86)上，而此帽罩层(90)在硅化过程之前被移除。在二个实施例中，在硅化过程之前，多晶硅体(36、86)掺杂着选定的物种，在硅化过程中掺杂剂(39、89)驱往介电层(34、84)以形成栅极部位(60、150)，其毗邻于电介质(34、84)处具有高浓度的掺杂物。物种的型式与浓度可用作对于决定形成的栅极的工作函数的手段。



1. 一种制造半导体结构的方法，其特征在于：  
提供基材（32）；  
于该基材（32）上提供电介质（34）；  
5 于该电介质（34）上提供多晶硅体（36），该多晶硅体（36）含有掺杂物（39）；  
于该多晶硅体（36）上提供金属层（60）；  
经历硅化过程以实质上在整个该多晶硅体（36）上进行硅化，并于该电介质（34）上提供导电体（62）；以及  
10 于该多晶硅体（36）内选择掺杂物（39），该掺杂物的选择取决于该导电体（62）所需的工作函数。
2. 如权利要求 1 所述的方法，其特征在于经历硅化过程的步骤是用来驱动部分的掺杂物（39），使其实质地毗邻于该电介质（34）。  
15
3. 如权利要求 2 所述的方法，其进一步的特征为提供该导电体（62）的步骤系为提供栅极。
4. 一种制造半导体结构的方法，其特征在于：  
20 提供基材（82）；  
于该基材（82）上提供电介质（84）；  
于该电介质（84）上提供多晶硅体（86）；  
于该多晶硅体（86）上提供帽罩层（90）；  
以该帽罩层（90）和该多晶硅体（86）做为光罩，将掺杂物（98）  
25 导入该基材（82）之内；  
从该多晶硅体（86）上移除该帽罩层（90）；  
于该多晶硅体（86）上提供金属层（120）；以及  
经历硅化过程以实质上在整个该多晶硅体（86）上进行硅化。
- 30 5. 如权利要求 4 所述的方法，其进一步的特征在于在该帽罩层（90）与该多晶硅体（86）的两相对侧设有间隔物（104、106），该

间隔物（104、106）沿着该帽罩层（90）与该多晶硅体（86）充当光罩以将掺杂物（98）导入该基材（82）之内。

6. 如权利要求4所述的方法，其进一步的特征为于该多晶硅体上提供金属层（120）的该步骤系提供超过该多晶硅体（86）厚度一半厚度的镍层。

7. 如权利要求4所述的方法，其进一步的特征在于该经历硅化过程的步骤是用来实质上硅化整个该多晶硅体，以在该电介质（84）上形成栅极（122）。

8. 如权利要求4所述的方法，其特征不在于该提供多晶硅体（86）的步骤中，该多晶硅体（86）含有掺杂物（89）。

9. 一种半导体结构，其特征在于包括：

基材（32）；

电介质（34），设于该基材（32）上；

栅极（62），设于该电介质（34）上，该栅极（62）含有掺杂物（39），该栅极（62）的一部分（68）毗邻该电介质（34），该电介质（34）具有较远离该电介质（34）的栅极（62）的部分的掺杂质（39）的浓度为高的掺杂质（39）的浓度。

10. 如权利要求9所述的半导体结构，其特征在于该栅极（62）包括硅化物。

## 使用硅化的金属栅极电极及其形成方法

### 技术领域

- 5        本发明大致上系关于一种半导体技术，特别是关于与硅化过程有关的半导体装置。

### 背景技术

- 10        目前集成电路制造的普遍趋势是将晶体管的结构尺寸尽可能地做小。为完成高密度集成电路，而必须将诸如导体、源极和漏极接合处，以及互联机（interconnection）至接合处等结构尽可能地做到最小。当结构尺寸减小时，合成的晶体管的尺寸和晶体管之间的互联机亦减小。当晶体管变小，我们就可以在单一整体基材上设置更多的晶体管。因此，相当大的电路可置于单一且相当小的晶粒区域。再者，一般较小的晶体管在运作时，具有较低的导通临限电压、较快的切换速率，并消耗较少的功率。所有这些特征使得较高速集成电路得以实现。

- 20        当我们依比例减少半导体晶体管的尺寸时，会产生若干问题。例如，使用非常薄的栅极电介质，却造成高栅极漏电流，如此弱化了装置的性能。再者，当晶体管依比例减少时，为确保晶体管确实的切断，信道中需要较高位准的掺杂物以减少短信道效应。此一信道中非常高浓度的掺杂物减弱了电流驱动，并导致不需要的漏极至信道穿隧电流（drain-to-channel tunneling current）。

- 25        再者，使用一般多晶硅栅极技术时，亦伴随着额外的问题。例如，多晶硅栅极倾向于遭遇到多晶硅耗尽或硼穿透效应，使得性能退化。
- 30        另外，多晶硅栅极具有固定的工作函数，由特定物种或种类的某一高位准的掺杂质所定义。例如，在一般的制程中：在 N 型晶体管中，栅极、源极和漏极被掺杂着选定（高）浓度的砷，合成的工作函数将近 4.1eV；在 P 型晶体管中，栅极、源极和漏极被掺杂着选定（高）浓度的硼，合成的工作函数将近 5.0eV。尽管此数值对于一般装置是可接受的（例如上述依比例减少的装置），不过在 N 型装置中提高工作函

数数值至某一程度，并在 P 装置中降低工作函数数值至某一程度，对于相同临限电压而言，可以降低信道中掺杂质浓度的位准，克服与上述信道中高掺杂质位准相关的问题。

利用金属取代多晶硅做为晶体管栅极具有许多优点。例如，一般金属比多晶硅具有较高的导电性。再者，我们有机会选择金属，使其特定工作函数适合装置，如此可降低信道中掺杂质浓度的位准。另外，亦可避免多晶硅耗尽或硼穿透等问题，如此我们可使用具有金属栅极的较厚栅极氧化物，实质上降低栅极漏电流。不过，所提的制程一般涉及金属沉积，而非多晶硅沉积，需要复杂的制程整合技术。

因此，我们需要一种可以克服上述问题的方法和装置。

## 发明内容

在本发明的方法中，我们提供基材并在基材上提供电介质以制造半导体结构。多晶硅体设于电介质上，而金属层则设于多晶硅体上。进行硅化过程以大致上硅化整个多晶硅体，然后在电介质上形成栅极。在另一个制程中，帽罩层设于多晶硅体上，而在硅化过程之前移除此帽罩层。在硅化过程之前，多晶硅体掺杂着选定的物种，在硅化过程中掺杂物被驱往电介质以形成栅极部位，此栅极部位毗邻于电介质处具有高浓度的掺杂物。物种的型式与浓度可用作对于决定形成的栅极的工作函数的手段。

阅读以下的详细说明并参照随附的图标，将使我们更了解本发明。透过以下的叙述，本领域技术人员将可轻易地了解本发明，此处所示与所述的本发明的实施例只是用来说明完成本发明的最佳模式。我们需了解到：在不脱离本发明的权利要求的前提下，本发明可以有其它的实施例，其若干细节可以修饰，亦可有多种显而易知的态样。因此，图标和详细说明在本质上用来解说，而非限制本发明。

## 附图说明

随附的申请专利范围记载了本发明的新颖的特征。然而，藉由以上参照实施例的详细说明并配合随附的图标，我们将更了解发明本身的较佳使用模式，以及其目的和优点。

第 1 至 6 图显示本发明第一实施例中的制程步骤；而  
第 7 至 14 图显示本发明第二实施例中的制程步骤。

### 具体实施方式

5        现在，请详细参照本发明的特定实施例，其揭示了发明人完成本发明的最佳模式。

第 1 图显示众所皆知的半导体装置 30，其包含有硅基材 32，在硅基材 32 上设有由栅极氧化物 34 形成的电介质，在栅极氧化物 34 上则依次设有多晶硅层 36。第 2 图显示离子植入的进行过程 38。举例来说，  
10    N 型装置我们可利用砷或 P 型装置我们则利用硼，如此离子 39 可植入硅基材 32 之内（利用多晶硅层 36 和氧化物 34 做为全面性光罩 41），使得多晶硅层 36 与硅基材 32 的区域 40、42 形成轻度掺杂区域。举例来说，就 N 型装置而言，掺杂物砷可以 3keV 的能量位准， $1e15/cm^2$  的剂量位准植入；就 P 型装置而言，掺杂物硼可以 4keV 的能量位准，  
15     $2.5e14/cm^2$  的剂量位准植入。之后，第 3 图显示氧化层 44 沉积在完成的结构上，此氧化层 44 受到非等向性的蚀刻以在多晶硅层 36 的两侧形成间隔物 46、48，如第 4 图所示。

第 4 图亦显示另一个植入步骤 50。再次举例来说，N 型装置我们可利用砷或 P 型装置我们则利用硼，如此离子 39 可植入硅基材 32 之内（利用多晶硅层 36、栅极氧化物 34 和间隔物 46、48 做为全面性光  
20    罩 51）和在多晶硅体内形成重度掺杂区域 52、54。举例来说，就 N 型装置而言，掺杂物砷可以 30keV 的能量位准， $4e15/cm^2$  的剂量位准植入；就 P 型装置而言，掺杂物硼可以 3.5keV 的能量位准， $2e15/cm^2$  的剂量位准植入。

25        植入形成之后，举例来说，我们可以在 1050℃进行积极退火（如快速热退火，rapid thermal anneal）30 秒，以驱使植入物形成装置 30 的源极区域 56 和漏极区域 58。

接下来，如第 5 图中所示，金属层 60（例如镍）沉积在完成的结构（即多晶硅层 36、间隔物 46、48、位在硅基材 32 上的源极区域 56  
30    和漏极区域 58）上。然后，举例来说，完成的结构在 500℃进行快速热退火，导致镍 60 与多晶硅层 36 和硅基材 32 的硅产生反应以生成进

入多晶硅层 36 与进入源极区域 56 和漏极区域 58 的硅化镍 62、64、66。相较于多晶硅层 36 的厚度，镍层 60 足够厚，且经历的硅化步骤足够长，以提供大致上整个多晶硅层 36 的硅化（由于在此过程中，多晶硅层 36 的消耗速率大约是镍层 60 的两倍，所以我们最好选择的镍层 60 厚度为多晶硅层 36 厚度的一半以上。举例来说，对于厚度为 700 埃的多晶硅层 36，我们最好选择厚度超过 350 埃的镍层 60。）此一步骤形成硅化镍栅极 62，以及源极区域 56 和漏极区域 58 内的硅化镍区域 64、66。然后未反应的镍部分被移除，留下第 6 图中的结构。

我们将看到在硅化步骤中，金属栅极 62 透过多晶硅层 36 的完全消耗而形成。如此，我们克服上述关于多晶硅栅极的问题。也就是，相较于多晶硅栅极，栅极的导电性获得改善，而且我们也避免多晶硅耗尽与硼穿透的问题。

在此硅化过程中，先前于多晶硅层 36 内大致上均匀分布的多晶硅层 36 中的掺杂物 39（在上述例子中：N 型装置中为砷，P 型装置中为硼），藉由向下前进的硅化镍与多晶硅体接口而受到往下的驱动，直到实质数量的掺杂物 39 位于毗邻于栅极氧化物 34 的栅极 62 部位 68 之中，如此毗邻于栅极氧化物 34 的栅极 62 部位 68 比远离栅极氧化物 34 的栅极部位 70 含有实质上较高的掺杂物浓度。上述掺杂物 39 的铲雪（snowplowing）现象导致非预期的合成栅极工作函数。举例来说，在 N 型装置的场合中，掺杂物 39 为砷，藉由上述步骤，栅极 62 的合成栅极工作函数为 4.35eV 至 4.4eV，相较之下多晶硅栅极的栅极工作函数只有 4.15eV。就相同的装置临限电压而言，N 型装置中的工作函数增加使得装置信道中的掺杂物浓度位准下降。借着信道中掺杂物浓度的下降位准，我们可确保适当的晶体管关闭，同时避免上述减少的电流驱动与不要的漏极至信道穿隧电流等问题。

同理，在 P 型装置的场合中，掺杂物 39 为硼，藉由上述步骤，栅极 62 的合成栅极工作函数为 4.9eV，相较之下多晶硅栅极的工作函数则为 5.05eV。就相同的装置临限电压而言，P 型装置中的工作函数减少使得装置信道中的掺杂物浓度位准下降，克服上述问题。

完成此一过程之后，我们了解到：可依需要选择各种合成栅极的工作函数，取决于例如，掺杂物的型态、掺杂物的浓度（或掺杂物的

缺乏)、金属层的型态,和/或硅化过程的步骤。适当的选择这些参数,我们将可依需要来修正合成的栅极工作函数。

第7至14图显示本发明的第二实施例。第7图显示一个半导体装置80,其包括硅基材82,其上设有由氧化层84形成的电介质,以及  
5 设于氧化层84之上的多晶硅层86(实质上较第1至6图的过程中所示者为薄)。我们以预定型式及浓度(其可异于即将植入以形成装置的源极与漏极区域的型式及浓度)的掺杂物89植入(88)多晶硅层86,或不对多晶硅层进行掺杂。掺杂物的选择与浓度(或选择欠缺掺杂物)对于决定随后叙述的合成结构的栅极工作函数是有帮助的。

10 光罩层(例如氮化层90)形成于多晶硅层86上,且多晶硅层86、帽罩层90和栅极氧化物层84(第8图)是以众所皆知的方法形成的。

然后,进行离子植入步骤92(第9图)以形成轻度掺杂区域94、96,针对于待制造的装置型态,选择适当的掺杂物98(例如:N型装置中为砷,或P型装置中为硼),利用帽罩层90、多晶硅层86和栅极  
15 氧化物层84做为全面性光罩100。参照第10图,氧化层102沉积在合成结构上,并受到非等向性蚀刻以在多晶硅层86和帽罩层90的相对侧形成间隔物104、106(第11图中)。然后,沿着做为全面性光罩110的帽罩层90、多晶硅层86和栅极氧化物层84利用间隔物104、106进行离子植入步骤108,以形成重度掺杂区域112、114,再次针对于待制造的装置型态,选择此掺杂物98(例如N型装置中为砷,或P  
20 型装置中为硼),如第11图所示。

进行退火(如快速热退火),激活植入以形成装置80的源极和漏极区域116、118。参照第12图,我们利用适当的手段(例如蚀刻)移除帽罩层90(如上所述,帽罩层90和间隔物104、106可以是不同的  
25 材料,所以帽罩层90的移除不会影响间隔物104、106)。

参照第13图,接下来,金属层120(例如镍)沉积在合成结构上,即沉积在多晶硅层86上,间隔物104、106和基材82则覆盖着源极区域116和漏极区域118,镍层120宽度大于多晶硅层86宽度的一半。

然后,合成结构经历快速热退火,导致镍120与多晶硅层86和硅  
30 基材82的硅产生反应以生成进入多晶硅层86(以形成栅极122)与进入源极区域116和漏极区域118的硅化镍122、124、126。再次,相较

于多晶硅层 86 的厚度，镍层 120 足够厚，且经历的硅化步骤足够长，以提供大致上整个多晶硅层 86 的硅化。然而，多晶硅层 86 实质上较第 1 至 6 图所示的实施例中的多晶硅层 36 为薄，所以合成的硅化栅极 122 以及源极区域 116 和漏极区域 118 中的硅化区域 124、126 实质上较第 1 至 6 图所示的实施例中的对应部分为薄或浅，即硅化区域 124、126 进入源极区域 116 和漏极区域 118 中的深度不如第一实施例所示者深，如此避免源极区域和/或漏极区域不足的可能问题。如此，即使源极和漏极区域相当浅，我们亦可达成适当的装置架构。在离子植入步骤 108 期间（第 11 图），在多晶硅层 86 上加入帽罩层 90 可提供较薄的多晶硅层 86，同时确保半导体本体 82 在全面性光罩 110 下可达成适当的遮光（masking）。

类似于先前的过程，先前于多晶硅层 86 内大致上均匀分布的多晶硅层 86 中的掺杂物 89，藉由向下前进的硅化镍与多晶硅接口而受到往下的驱动，直到实质数量的掺杂物 89 推进毗邻于栅极氧化物层 84 的栅极 122 部位 150 之中为止，如此毗邻于栅极氧化物层 84 的栅极 122 部位 150 比远离栅极氧化物层 84 的栅极部位 152 含有实质上较高的掺杂物浓度。如此导致上述决定的栅极 122 工作函数。然而，在本实施例中，栅极 122 工作函数不是取决于用于装置 80 的源极 116 和漏极 118 的掺杂物 98，而是取决于在多晶硅层 86 中独立选择的掺杂物 89。因此，我们了解到：可依特定需求选择并修正栅极 122 的工作函数，与为装置 80 的源极和漏极而选的掺杂物无关。

然后移除未反应的镍部分，留下第 14 图中的结构。

我们了解到：除了上述特定 N 型和 P 型掺杂物，任何其它适当的掺杂物，包括 N 型、P 型或既非 N 型亦非 P 型者皆可有效地利用。

最初，我们了解到设有金属层的优点，即相较于多晶硅栅极装置具有较高的导电性，并避免多晶硅的耗尽与穿透等问题。此外，我们可以修正栅极的工作函数，无需在装置的性能上妥协，即可降低装置信道（具有其伴随的优点）中的掺杂物浓度。

为了图解与说明起见，我们详细叙述本发明的实施例如上。我们并不欲将本发明限制于以上的详细内容。在上述的揭示启发之下，我们可做出其它的修正或变化。

在此所选与所述的实施例已对本发明的原理及其实际应用提供最佳的说明，如此本领域技术人员可针对各种实施方式以及适于特定使用考量下的各种修饰而使用本发明。所有的此等修饰和变化系在由所附的专利申请范围所决定的本发明的范围内，而该权利要求书系依公平、合法、等效的原则作最广范围的解释。

5

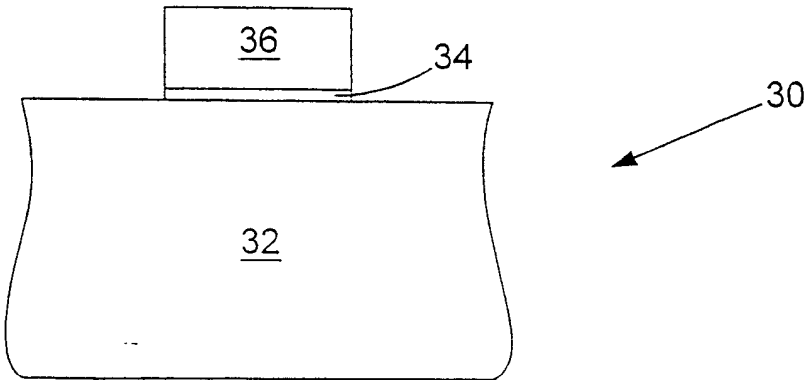
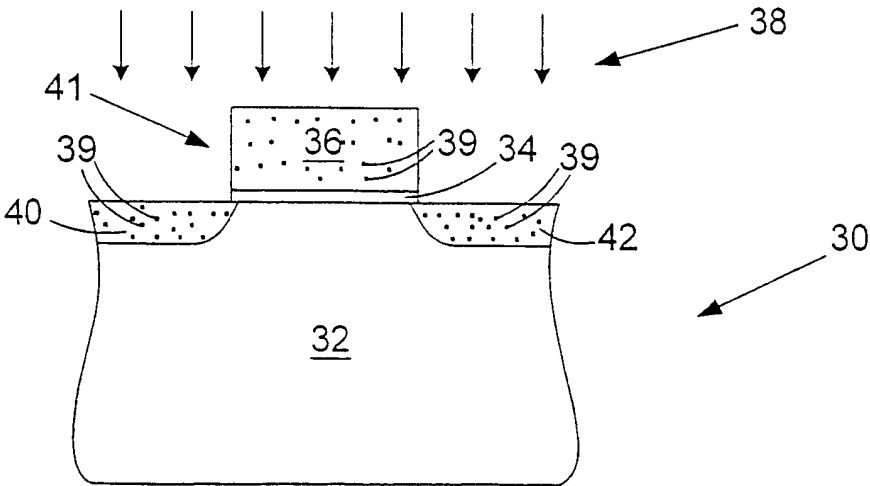


图 1



- 图 2

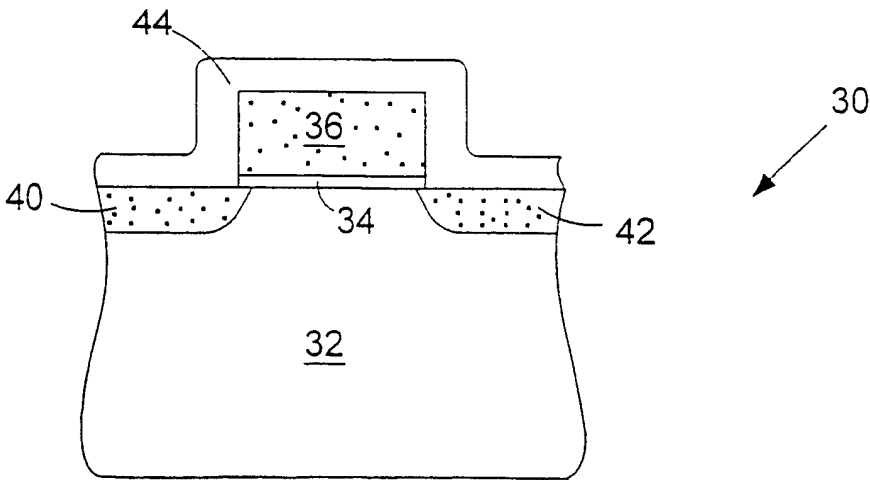


图 3

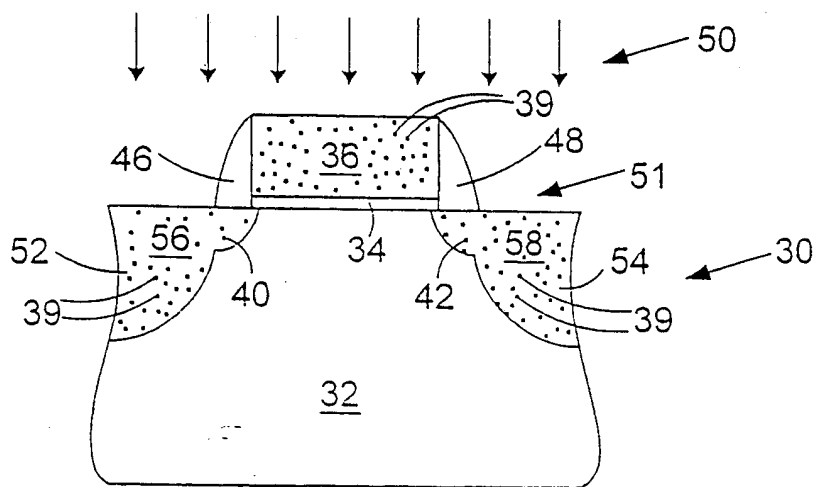


图 4

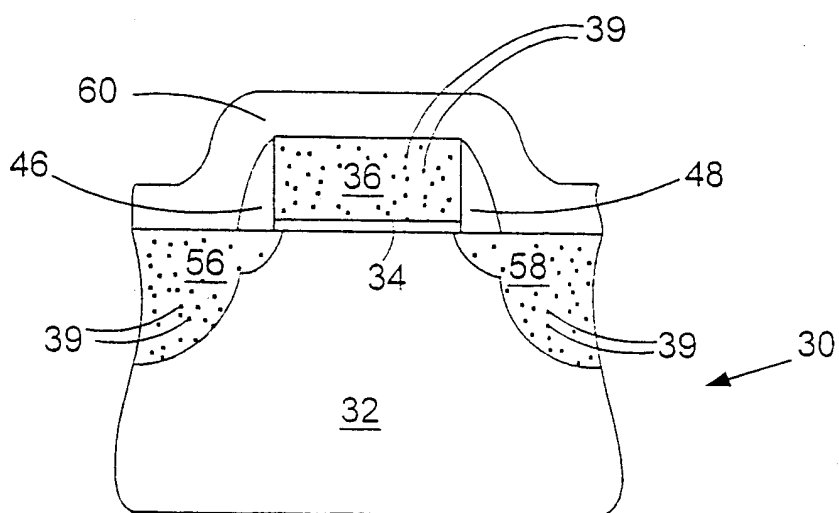


图 5

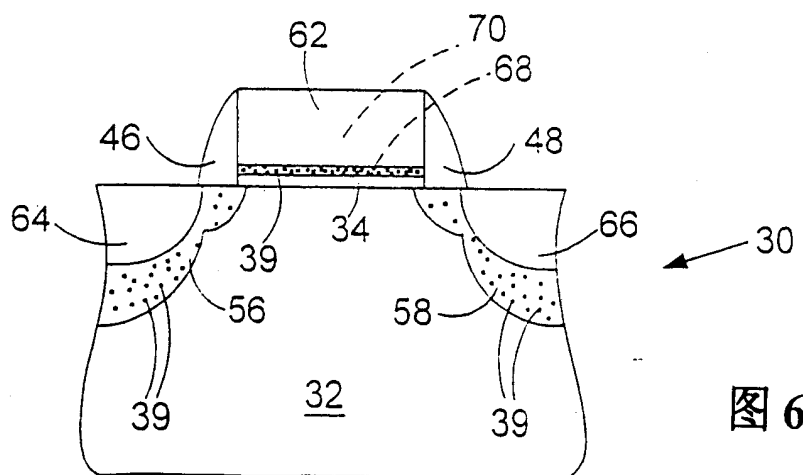


图 6

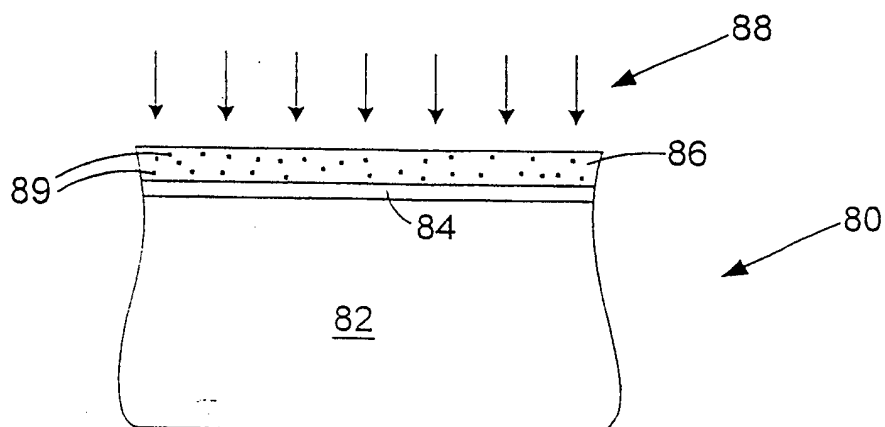


图 7

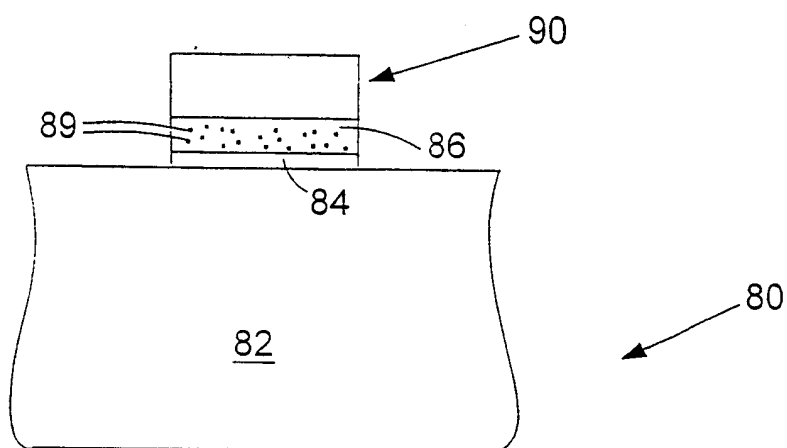


图 8

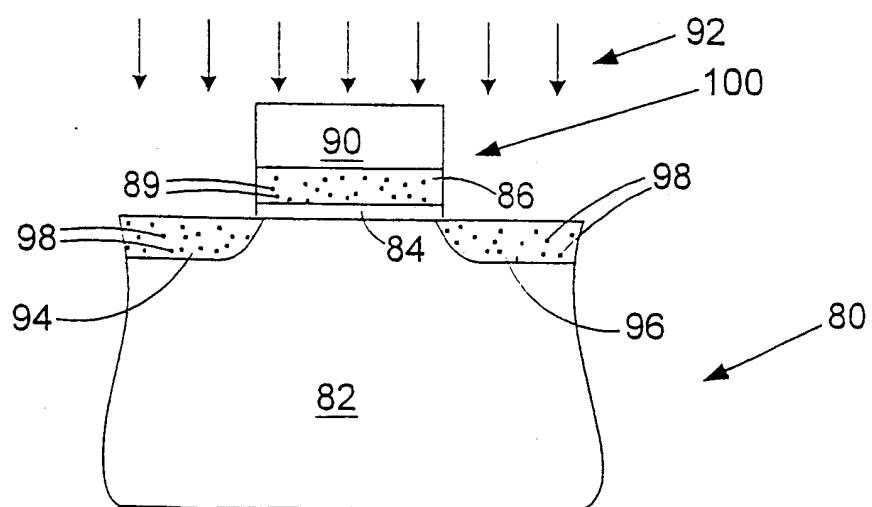


图 9

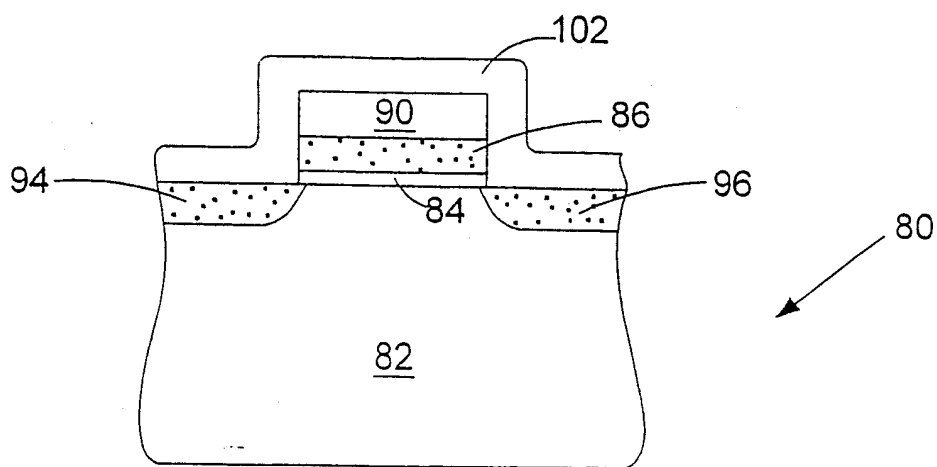


图 10

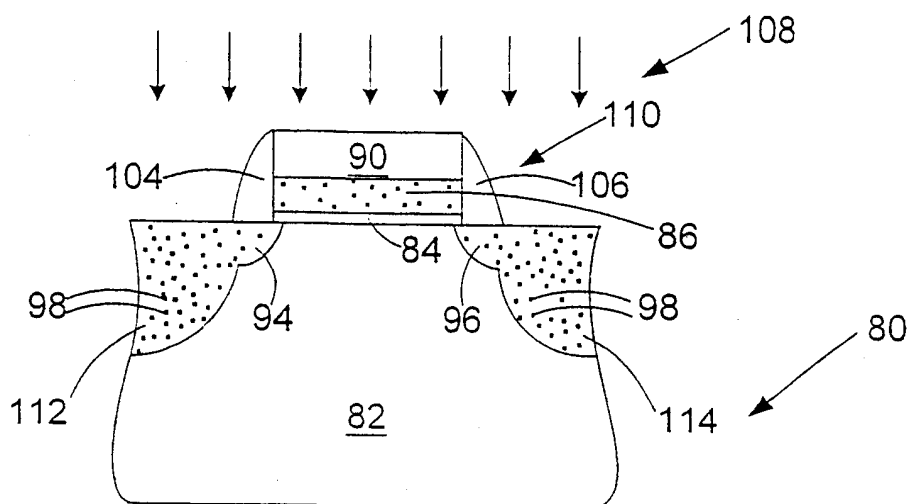


图 11

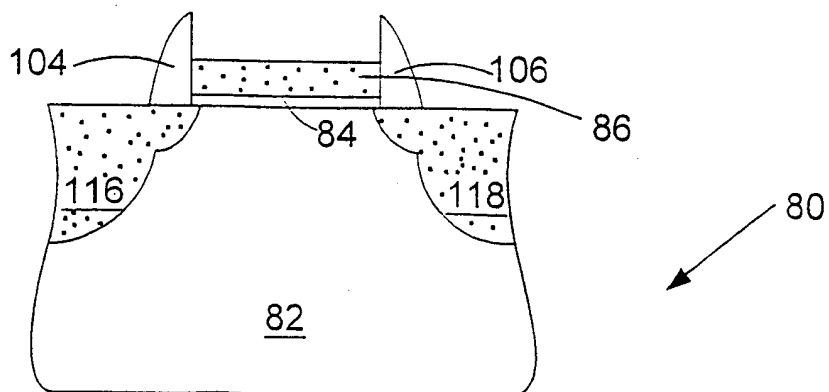


图 12

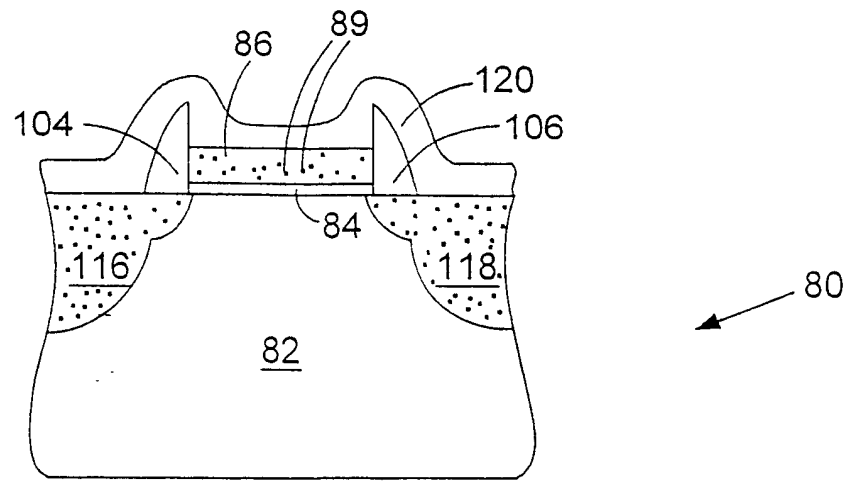


图 13

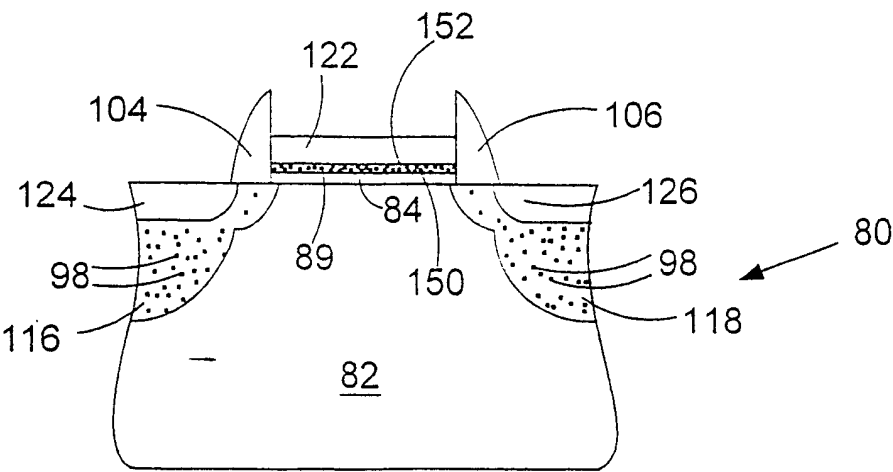


图 14