



República Federativa do Brasil
Ministério da Indústria, Comércio Exterior
e Serviços
Instituto Nacional da Propriedade Industrial

(11) PI 0722059-6 B1

(22) Data do Depósito: 06/12/2007

(45) Data de Concessão: 09/10/2018



(54) Título: APARELHO, MÉTODO E SISTEMA PARA INCORPORAR MATRIZ DE SILÍCIO EXISTENTE DENTRO DE PILHA INTEGRADA DE 3D

(51) Int.Cl.: H01L 23/12

(30) Prioridade Unionista: 20/12/2006 US 11/613,774

(73) Titular(es): INTEL CORPORATION

(72) Inventor(es): PAUL REED RIEWERTS; BRYAN BLACK

(85) Data do Início da Fase Nacional: 22/06/2009

Relatório Descritivo da Patente de Invenção para **"APARELHO, MÉTODO E SISTEMA PARA INCORPORAR MATRIZ DE SILÍCIO EXISTENTE DENTRO DE PILHA INTEGRADA DE 3D"**.

CAMPO

5 Pacote de circuito integrado.

FUNDAMENTO

Estão sendo feitos esforços para empilhar matrizes ou matrizes para aumentar o desempenho sem tomar mais espaço (por exemplo, mais área de superfície) em uma placa de circuito impresso. Isto é forçado particularmente por requisitos para telefones celulares sofisticados, telefones inteligentes, e outros dispositivos móveis. Os fabricantes de matriz combinaram memória de acesso randômico dinâmica e estática (DRAM e SRAM), memória flash e outras em uma estrutura ou pilha conectada de circuito integrado, mas têm sido historicamente restringidos pelos requisitos de espaço
10 adicionado de fiação (por exemplo, ligações de fio) que conectam os matrizes. A tecnologia de empilhar matriz ou matriz liga duas ou mais matrizes juntas para formarem uma estrutura conectada de circuito integrado. Os matrizes ou matrizes podem ser conectados em conjunto com fiação de interconexão ao longo do lado das vias metálicas ou de pilha nas interfaces matriz-matriz.
15 20

Uma abordagem comum para empilhar chips ou matriz é referida como ligação face a face. Nesta configuração, os lados do dispositivo, por exemplo, duas respectivas matrizes são empilhadas de forma que seus lados de dispositivo faceiam um com o outro e vias de metal conectam eletricamente as matrizes em interface matriz-matriz. Em uma representação de uma estrutura de circuito integrado conectado ligado face a face, uma unidade de processamento central (CPU) ou matriz lógico e uma matriz de memória (por exemplo, matriz SRAM ou DRAM) são empilhadas juntas em uma configuração face a face. Um dissipador de calor pode ser fixado ao volume
25 da CPU ou matriz lógica e as conexões de potência e entrada/saída (I/O) conexões ao pacote ou placa de circuito são feitos com tecnologia de ressalto fixadas ao volume da matriz de memória. Vias através de silício (TSVs)
30

podem ser usadas para passar através da matriz de memória e conectar a interface metálica matriz a matriz.

No exemplo acima, já que as vias através de silício passam através da área de silício ativo da memória da segunda matriz (por exemplo, uma matriz de memória), deve ser alocada área suficiente na circuitria para permitir as vias através de silício. Estas vias, tipicamente, podem ser grandes (maiores do que 10 vezes estipula o projeto mínimo) para um dado processo, devido a requisitos de distribuição de potência. A potência para ambas as matrizes é provida pelas vias através de silício. Os requisitos de potência ditarão uma via através de silício aproximadamente por contato de ressalto. No pacote de matriz, os ressaltos são normalmente dispostos em um padrão uniforme extensamente espaçado através de toda uma matriz bidimensional, permitindo a um grande número de conexões uniformes de potência e terra na camada metálica superior. Isto requer que a circuitria nas segundas matrizes (por exemplo, matriz de memória) seja projetada para acomodar estas vias com espaçamento apropriado para geometrias adjacentes. Isto implica que a segunda matriz precisaria ser projetada de forma especial para combinar exatamente com os requisitos de via da primeira matriz.

Outra configuração de ligação é uma configuração de ligação de face-a-costas. Usando o exemplo de uma matriz de CPU e uma matriz de memória em uma configuração face-a-costas, a posição das duas matrizes poderia ser trocada. Por exemplo, as conexões de sinal e potência da primeira matriz (matriz de CPU) seriam fixadas ao pacote em um modo típico usando tecnologia de ressalto padrão. As conexões de potência e sinal para a segunda matriz (por exemplo, matriz de memória) iria passar através da primeira matriz usando vias através de silício. Os requisitos de potência de uma matriz de memória são normalmente muito mais baixos do que uma matriz de CPU ou lógica e então o número de vias através de silício exigido para passar através da primeira matriz (por exemplo, matriz de CPU) é consideravelmente menor e não precisam estar uniformemente espaçadas através da matriz. Isto torna o projeto e distribuição de uma matriz de CPU muito

menos impactada pela ligação tridimensional de uma segunda matriz.

DESCRIÇÃO BREVE DOS DESENHOS

Características, aspectos, e vantagens das modalidades se tornarão mais completamente claras pela descrição detalhada seguinte, reivindicações anexadas, e desenhos acompanhando em que:

A figura 1 mostra uma vista superior explodida de uma estrutura de circuito integrado conectado incluindo uma primeira matriz e múltiplas microplaquetas "singulated" ou "unsingulated" dispostas para ocupar uma área de superfície da primeira matriz.

A figura 2 mostra uma vista lateral superior da estrutura da figura 1 e mostra blocos de ligação associados com cada uma das segundas matrizes.

A figura 3 mostra uma vista lateral tomada através da linha 3-3'.

A figura 4 mostra a estrutura da figura 2 tomada através da linha 3-3' e ilustrando uma camada de redistribuição para conectar eletricamente os contatos nas segundas matrizes com vias através de silício na primeira matriz.

A figura 5 mostra uma modalidade de uma superfície da primeira matriz.

A figura 6 mostra outra modalidade de uma estrutura de circuito integrado conectado incluindo uma primeira matriz e uma pluralidade de segundas matrizes.

A figura 7 mostra um fluxograma de uma modalidade de um método de formar uma estrutura de circuito integrado conectado.

A figura 8 mostra uma vista lateral esquemática de um conjunto eletrônico como parte de um computador de mesa.

Descrição Detalhada

As Figuras 1-3 mostram diferentes vistas de uma modalidade de uma estrutura de circuito integrado conectada incluindo a primeira matriz 110 e várias segundas microplaquetas "singulated" ou "unsingulated" 210 eletricamente conectadas na matriz 110. A matriz 110 é, por exemplo, uma matriz de CPU ou lógica. Em uma modalidade, a microplaqueta 210 (coletivamente,

matriz individual 210A, matriz 210B, matriz 210C e matriz 210D) são microplaquetas de memória (por exemplo, SRAM, DRAM) ou outras microplaquetas ou uma combinação de microplaquetas diferentes (por exemplo, lógica e memória). As microplaquetas múltiplas representadas pela microplaqueta

5 210 coletivamente têm um tamanho de uma matriz (área de superfície) aproximando ou igualando um tamanho (área de superfície) da primeira matriz 110. Representativamente, a matriz 110 que é uma matriz de CPU ou lógica podem ter, por exemplo, uma área de superfície de 400 milímetros quadrados (mm^2). Cada uma das microplaquetas 210 (matriz 210A, matriz

10 210B, matriz 210C, matriz 210D), neste exemplo, tem uma área de superfície de 100 mm^2 de tal forma que a área de superfície total ocupada pelas microplaquetas 210 é também 400 mm^2 . Onde as microplaquetas 210 são estruturas de memória como DRAM, as microplaquetas podem ser selecionadas de tal forma que coletivamente a matriz constitui uma aproximação

15 aceitável para a densidade DRAM e tamanho de matriz. Com respeito à densidade, um tamanho de matriz DRAM pode ser um gigabyte (Grã-Bretanha) de acordo com tecnologias atuais onde o número de microplaquetas é quatro como mostrado. Alternativamente, para menor capacidade de DRAM (por exemplo, 512 quilobytes (Kb) ou 256 Kb, o número de matrizes

20 210 pode ser maior (por exemplo, oito matrizes para 512 KB a 60 mm^2 cada (480 mm^2)).

A figura 1 mostra dois exemplos de microplaquetas 210. Em um exemplo, cada uma das microplaquetas 210 (matriz 210A, matriz 210B, matriz 210C e matriz 210D) são "singulated" e montadas como uma unidade

25 distinta na matriz 110. Alternativamente, as múltiplas matrizes podem ser escritas como uma unidade única e fixadas à matriz 110.

Microplaquetas de memória (por exemplo, SRAM, DRAM) são prontamente disponíveis tanto na forma de matriz ou folhado. Estas microplaquetas são comumente usadas em aplicações ligadas por fio. Representativamente, estas microplaquetas podem ter 4-32 I/O mais blocos de ligação

30 de potência por matriz. Estes blocos de ligação são normalmente dispostos em uma coluna estreita de dois blocos de ligação de largura através do cen-

tro da matriz. A figura 2 mostra microplaquetas 210 (por exemplo, matriz 210A, matriz 210B, matriz 210C e matriz 210D) tendo uma coluna de dois blocos de ligação de largura através do centro de cada matriz dos blocos de ligação 220 (mostrando em linhas fantasma para ilustrar que os blocos de
5 ligação estão em uma superfície oposta das microplaquetas como visto).

Em uma modalidade a matriz 110 pode ser um processador de núcleo múltiplo. Um processador de núcleo múltiplo tem geralmente múltiplos núcleos de execução completos em um processador físico, cada um funcionando na mesma frequência. Cada núcleo compartilha tipicamente o
10 mesmo pacote. Referindo-se à figura 1, a matriz 110 pode ser, por exemplo, um processador de núcleo dual, um processador de núcleo quádruplo (ilustrado) ou mais.

Em uma modalidade, a matriz 110 e microplaquetas 210 são conectadas em uma configuração de ligação face-a-costas. Referindo-se à fi-
15 gura 3, a matriz 110 tem várias vias através de silício (TSVs) 130 formadas nela. As vias através de silício 130 incluem um material condutivo através dele como cobre que é usado para conectar a matriz 110 e/ou contatos 320 no pacote 310 aos contatos (por exemplo, blocos de ligação) em microplaquetas 210 (matriz 210C e matriz 210D como mostrado). A figura 3 mostra a
20 matriz 110 com lado de dispositivo 120 adjacente e acoplado ao pacote 310 com vias através de silício 130 se estendendo através da matriz 110 (de um lado de dispositivo para um lado de trás (superfície 125)). Vias através de silício de um material condutivo tal como cobre podem ser formadas como parte das etapas de processamento que são utilizadas para formar a matriz
25 110. Desta maneira, a via através de silício 130 pode ser moldada para alinhar com blocos de contato 220 (veja a figura 2) das segundas microplaquetas. A figura 3 mostra vias através de silício 130 se estendendo dos contatos elétricos 320 (por exemplo, ressaltos de solda em blocos de ligação) aos blocos de ligação 220 das segundas microplaquetas 210C e 210D. As mi-
30 croplaquetas 210 podem ser dispostas de tal forma que um lado de dispositivo (lado de bloco de ligação) de cada matriz é disposto no lado de trás da matriz 110. A figura 3 mostra também o dissipador de calor 410 conectado a

um lado de trás das microplaquetas 210.

Em algumas modalidades, vias através de silício associadas com a matriz 110 não serão alinhadas com contatos (por exemplo, blocos de ligação) de microplaquetas 210. Em tais situações, uma camada de redistribuição eletricamente condutiva, como uma camada metálica (por exemplo, cobre), pode ser moldada em ambos os lados de trás da matriz 110 ou o lado de dispositivo das microplaquetas 210. Tal camada de redistribuição pode servir como um interconexão entre os pontos de contato (por exemplo, blocos de ligação) de microplaquetas 210 e vias através de silício 130. A figura 4 mostra a estrutura de circuito integrado conectado da figura 2 através da camada da linha 3-3' de acordo com outra modalidade. Neste exemplo, pontos de contato 220 da matriz 210C e matriz 210D não são alinhados a vias através de silício 130 se estendendo entre o pacote 310 e através da matriz 110. A figura 4 mostra a camada de redistribuição 150 de, por exemplo, um material condutivo como cobre moldado, em uma modalidade, em um lado de trás da matriz 110. A figura 5 mostra uma superfície do lado de trás da matriz 110 tendo vias através de de silício 130A e 130B se estendendo através da matriz 110 para a superfície do lado de trás. A Figura 5 mostra também a camada de redistribuição moldada 150 se estendendo lateralmente de cada via através de silício 130A. Neste exemplo, vias através de silício 130B seriam alinhadas com pontos de contato de segundas microplaquetas 210. Representativamente, a camada de redistribuição 150 pode ser um material condutivo como cobre moldado usando técnicas fotolitográficas em que, por exemplo, um material de cobre é depositado em uma superfície do lado de trás da matriz 110 seguido por uma máscara para definir a camada de redistribuição 150 e gravando para moldar a camada de redistribuição como dedos se estendendo lateralmente desde as vias através de silício 130A para uma posição desejada para contato elétrico com pontos de contato de segundas microplaquetas 210C e 210D. A camada de redistribuição 150 pode ser conectada a pontos de contato da matriz 210 através de, por exemplo, conexões de solda como podem as vias através de silício 130B.

Onde necessário, um material espaçador pode ser formado de, por exemplo, um material dielétrico em conjunto com a camada de redistribuição em uma superfície da matriz 110 ou matriz 210 para levar em conta quaisquer intervalos entre os matrizes. A figura 4 mostra material espaçador 160 formado com camada de redistribuição 150 em uma superfície da matriz 110.

Na descrição com referência as figuras 1-5, são mostradas quatro microplaquetas 210 tal como matriz de memória (por exemplo, DRAM ou SRAM) tendo uma cada das microplaquetas um tamanho de matriz semelhante. É observado que, em outras modalidades, microplaquetas tendo funções diferentes e tamanhos diferentes podem ser empilhadas em cima uma da outra. A figura 6 mostra uma vista de topo de uma estrutura de circuito integrado conectado de matriz 510 de, por exemplo, uma matriz de CPU ou lógica. Dispostas em uma superfície (por exemplo, uma superfície do lado de trás) da matriz 510 estão as microplaquetas 610A e 610B de, por exemplo, memória DRAM. Também em um lado de trás da matriz 510 está a matriz 620 tendo uma tamanho de matriz (área da seção transversal) maior do que a matriz 610A ou matriz 610B. A matriz 620 é, por exemplo, memória de SRAM. Neste exemplo, a matriz 610A, a matriz 610B e a matriz 620 são descritas como microplaquetas de memória, mas é observado que outras formas de matriz podem ser usadas também, como microplaquetas de CPU ou lógica.

A Figura 7 mostra um fluxograma de um método de formar uma estrutura de circuito integrado conectado. Nesta modalidade, as microplaquetas de memória serão juntadas em uma superfície, como uma superfície do lado de trás de uma matriz de CPU ou lógica. Como observado acima, é notado que a seleção do tipo de matriz pode variar.

Referindo-se à figura 7, nesta modalidade, inicialmente os requisitos de memória para uma estrutura de circuito integrado conectado são determinadas (bloco 710). Por exemplo, os requisitos de memória desejados podem ser um gigabyte (Grã-Bretanha) de memória de DRAM para uma estrutura de circuito integrado conectado.

Tendo determinado os requisitos de memória, várias microplaquetas de memória são então selecionadas de tal forma que uma soma da área de superfície de múltiplas microplaquetas aproximam a área de superfície (por exemplo, uma área de superfície do lado de trás) de uma modalidade lógica de CPU (bloco 720). Por exemplo, onde uma área de superfície de uma matriz de CPU ou lógica é 400 mm^2 , e são disponíveis matrizes de memória DRAM da Grã-Bretanha tendo uma área de superfície de 100 mm^2 , quatro matrizes de memória DRAM ($4 \times 100 \text{ mm}^2$) aproximam uma área de superfície da matriz de CPU ou lógica.

Seguindo a seleção das microplaquetas de memória, os pontos de contato (pontos de contato de potência e I/O) das microplaquetas de memória são examinados e um padrão comparado a um padrão de vias através de silício desejado para a matriz lógica de CPU. Naquele ponto, é feita uma determinação se é necessária uma camada de redistribuição (bloco 730). Se nenhuma camada de redistribuição é necessária, os contatos podem ser moldados no lado de trás da matriz de CPU ou lógica (bloco 740). Se uma camada de redistribuição é necessária, uma camada de redistribuição é moldada em uma superfície do lado de trás de uma matriz de CPU ou lógica e estabelecido contato para a camada de redistribuição (bloco 750).

Uma vez que os contatos são estabelecidos sobre uma superfície (por exemplo, superfície do lado de trás) de uma matriz de CPU, as matrizes de memória múltipla são conectadas ao matriz de CPU ou lógica, por exemplo, conexões de solda (bloco 760). Seguindo a conexão das matrizes de memória à matriz de CPU ou lógica, a pilha de matrizes conectadas pode ser conectada a um pacote de substrato incluindo vias através de silício que se estendem à matriz de memória (bloco 770). Um dissipador de calor e quaisquer outras técnicas de processamento tipicamente utilizadas na montagem de pacote de substratos podem então seguir.

A figura 8 mostra uma vista lateral de um conjunto eletrônico incluindo uma estrutura de circuito integrado conectado que pode ser fisicamente e eletricamente conectado a uma placa de fiação impressa ou placa de circuito impresso (PCB). O conjunto eletrônico pode ser parte de um sis-

tema eletrônico tal como um computador (por exemplo, computador de mesa, laptop, computador de mão, servidor, etc.), dispositivo de comunicação sem fios (por exemplo, telefone celular, telefone sem fio, pager, etc.), periférico relacionado a computador (por exemplo, impressora, scanner, monitor, etc.), dispositivo de entretenimento (por exemplo, televisão, rádio, estéreo, toca-fita e aparelho de disco compacto, gravador de videocassete, MP3 (grupo de especialistas em cinema, aparelho de camada auditiva 3, etc.), e similar. A figura 8 ilustra o pacote que é parte de um computador de mesa. A figura 8 mostra conjunto eletrônico 800 incluindo estrutura de circuito integrado conectado 805 fisicamente e eletricamente conectado ao substrato de pacote 810. O substrato de pacote 810 pode ser usado para conectar matriz 100 à placa de circuito impresso 820, tal como uma placa-mãe ou outra placa de circuito.

Na descrição detalhada precedente, é feita referência a modalidades específicas dela. Será no entanto evidente que várias modificações e mudanças podem ser feitas a ela sem se afastar do espírito e âmbito mais amplo das reivindicações que seguem. O relatório descritivo e desenhos são, conseqüentemente, para serem considerados em um sentido ilustrativo em lugar de um sentido restritivo.

REIVINDICAÇÕES

1. Aparelho caracterizado pelo fato de que compreende:

uma primeira matriz (110) compreendendo uma pluralidade de vias através de substrato condutivo (TSVs), a primeira matriz (110) compreendendo uma área de superfície, a primeira matriz (110) compreendendo um primeiro lado de dispositivo e um primeiro lado traseiro, o primeiro lado de dispositivo (120) adjacente e acoplado a um pacote (310); e

uma pluralidade de segundas microplaquetas (210) cada uma compreendendo um circuito funcional e uma pluralidade de pontos de contato (320) acoplados às TSVs da primeira matriz (110), a pluralidade de segundas microplaquetas (210) dispostas para compreender coletivamente uma área de superfície aproximando ou, no máximo, combinando a área de superfície da primeira matriz (110) e cada uma da pluralidade de segundas microplaquetas (210) compreendendo um segundo lado de dispositivo e um segundo lado traseiro, o segundo lado de dispositivo (120) adjacente e acoplado ao primeiro lado traseiro da primeira matriz (110),

em que a primeira matriz (110) compreende um processador de núcleo múltiplo, e a pluralidade de segundas microplaquetas (210) é configurada de modo que cada uma da pluralidade de segundas microplaquetas (210) é disposta em núcleos respectivos do processador de núcleo múltiplo.

2. Aparelho de acordo com a reivindicação 1, caracterizado pelo fato de que a primeira matriz (110) e a pluralidade de segundas microplaquetas (210) são acopladas em uma configuração de ligação face-a-costas.

3. Aparelho de acordo com a reivindicação 2, caracterizado pelo fato de que a primeira matriz compreende uma matriz de CPU ou lógica.

4. Aparelho de acordo com a reivindicação 3, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória.

5. Aparelho de acordo com a reivindicação 3, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória de acesso randômico dinâmico.

6. Aparelho de acordo com a reivindicação 1, caracterizado pelo

fato de que a primeira matriz (110) adicionalmente compreende uma pluralidade de pontos de contato (220) acoplados às TSVs através de uma camada condutiva de redistribuição (150) e a pluralidade de pontos de contato de cada uma das segundas microplaquetas (210) está acoplada à pluralidade de pontos de contato (320) da primeira-matriz.

7. Método usando um aparelho como definido na reivindicação 1, caracterizado pelo fato de que compreende as etapas de:

dispor a dita primeira matriz (110) em um pacote (310), a primeira matriz (110) compreendendo um primeiro lado de dispositivo e um primeiro lado traseiro, o primeiro lado de dispositivo (120) adjacente e acoplado a um pacote (310);

dispor a dita pluralidade de segundas microplaquetas (210) na primeira matriz (110) de tal forma que, coletivamente, a pluralidade de segundas microplaquetas (210) compreende uma área de superfície aproximando a área de superfície da primeira matriz (110), e cada uma da pluralidade de segundas microplaquetas (210) compreendendo um segundo lado de dispositivo e um segundo lado traseiro, o segundo lado de dispositivo (120) adjacente e acoplado ao primeiro lado traseiro da primeira matriz (110); e

acoplar eletricamente a pluralidade de segundas microplaquetas (210) a uma pluralidade de vias através de substrato condutivo (TSVs) da primeira matriz (110),

em que a primeira microplaqueta compreende um processador de núcleo múltiplo e dispor a pluralidade de segundas microplaquetas (210) na primeira matriz (110) compreende dispor de tal forma que cada uma da pluralidade de segundas microplaquetas (210) seja acoplada a um respectivo núcleo do processador de núcleo múltiplo.

8. Método de acordo com a reivindicação 7, caracterizado pelo fato de que a primeira matriz (110) e a pluralidade de segundas microplaquetas (210) são acopladas em uma configuração de ligação face-a-costas.

9. Método de acordo com a reivindicação 8, caracterizado pelo fato de que a primeira matriz (110) compreende uma matriz de CPU ou lógi-

ca.

10. Método de acordo com a reivindicação 9, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória.

5 11. Método de acordo com a reivindicação 9, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória de acesso randômico dinâmico.

12. Método de acordo com a reivindicação 7, caracterizado pelo fato de que a primeira matriz (110) compreende uma pluralidade de pontos de contato (220) acoplados às TSVs através de uma camada condutiva de redistribuição (150) e acoplar a pluralidade de segundas microplaquetas (210) compreende acoplar pontos de contato (220) da pluralidade de segundas microplaquetas (210) à pluralidade de pontos de contato (320) da primeira matriz (110).

15 13. Sistema caracterizado pelo fato de que compreende:
um instrumento eletrônico compreendendo uma placa de circuito impresso (820) e um módulo acoplado à placa de circuito impresso (820), o módulo compreendendo:

20 uma primeira matriz (110) compreendendo uma pluralidade de vias através de substrato condutivo (TSVs), a primeira matriz (110) compreendendo uma área de superfície a primeira matriz (110) compreendendo um primeiro lado de dispositivo e um primeiro lado traseiro, o primeiro lado de dispositivo (120) adjacente e acoplado a um pacote (310); e

25 uma pluralidade de segundas microplaquetas (210) cada uma compreendendo um circuito funcional e uma pluralidade de pontos de contato acoplados (220) às TSVs da primeira matriz (110), a pluralidade de segundas microplaquetas (210) dispostas para compreender coletivamente uma área de superfície aproximando a área de superfície da primeira matriz (110), e cada uma da pluralidade de segundas microplaquetas (210) compreendendo um segundo lado de dispositivo e um segundo lado traseiro, o
30 segundo lado de dispositivo (120) adjacente e acoplado ao primeiro lado traseiro da primeira matriz (110),

em que a primeira matriz (110) compreende um processador de núcleo múltiplo, e a pluralidade das segundas microplaquetas (210) é configurada de tal forma que cada uma da pluralidade de segundas microplaquetas (210) é disposta em respectivos núcleos do processador de núcleo múltiplo.

14. Sistema de acordo com a reivindicação 13, caracterizado pelo fato de que a primeira matriz (110) e a pluralidade de segundas microplaquetas (210) estão acopladas em uma configuração de ligação face-a-costas.

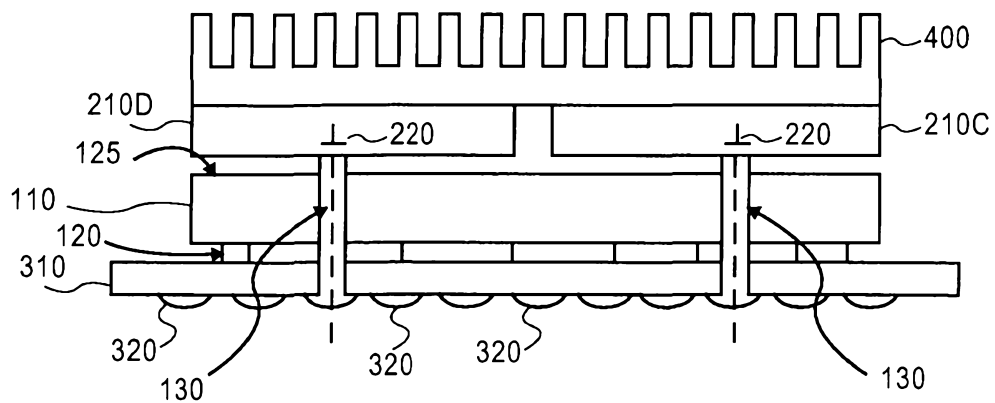
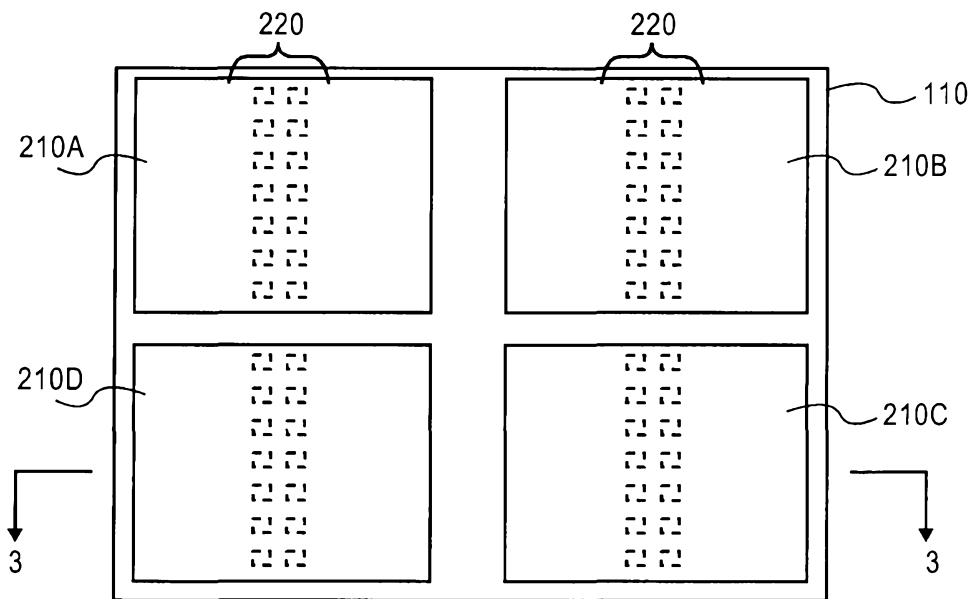
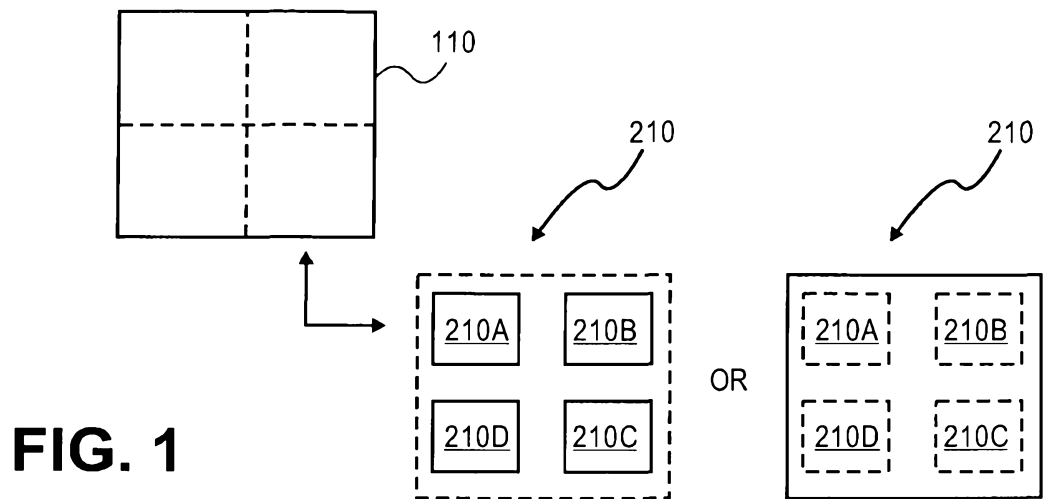
15. Sistema de acordo com a reivindicação 14, caracterizado pelo fato de que a primeira matriz (110) compreende uma matriz de CPU ou lógica.

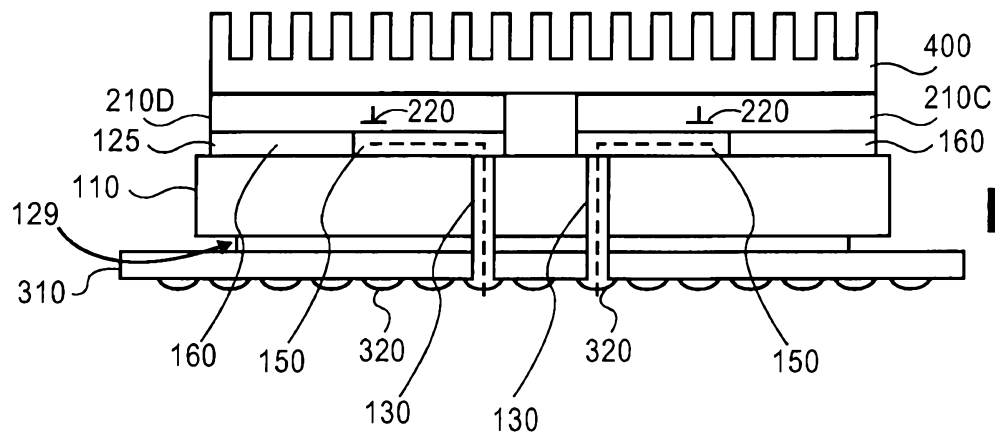
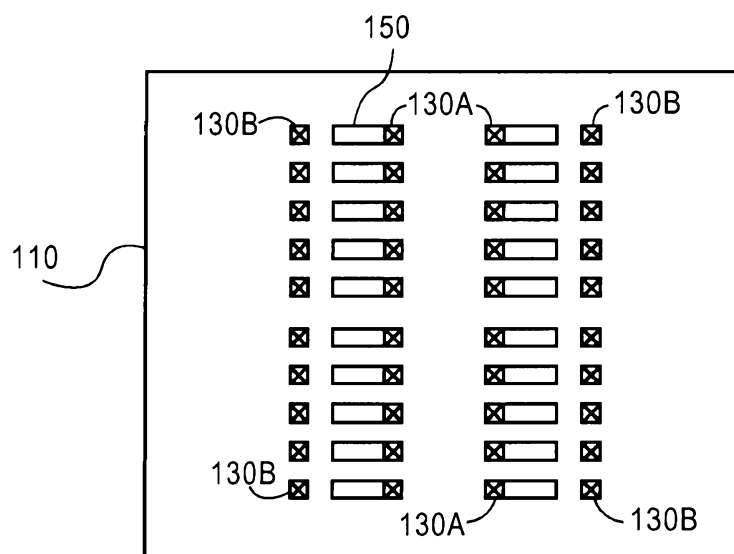
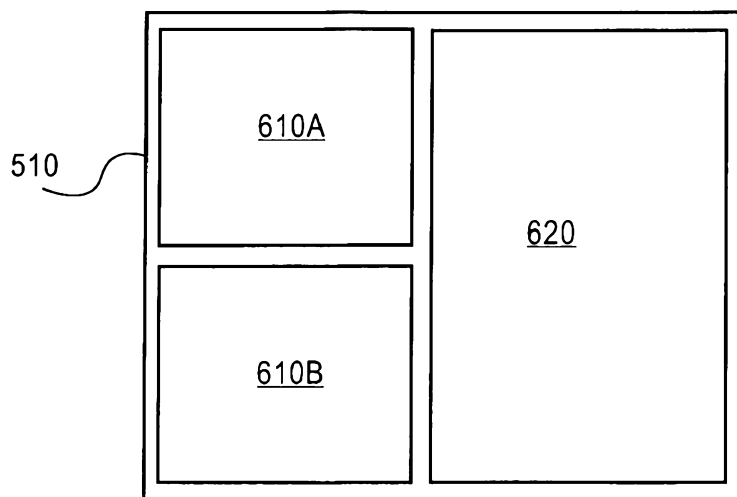
16. Sistema de acordo com a reivindicação 15, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória.

17. Sistema de acordo com a reivindicação 15, caracterizado pelo fato de que a pluralidade de segundas microplaquetas (210) compreende unidades de memória de acesso randômico dinâmico.

18. Sistema de acordo com a reivindicação 13, caracterizado pelo fato de que a primeira matriz (110) adicionalmente compreende uma pluralidade de pontos de contato (220) acoplados às TSVs através de uma camada de redistribuição (150) condutiva e a pluralidade de pontos de contato de cada uma das segundas microplaquetas (210) está acoplada à pluralidade de contatos (320) da primeira matriz (110).

1/4



**FIG. 4****FIG. 5****FIG. 6**

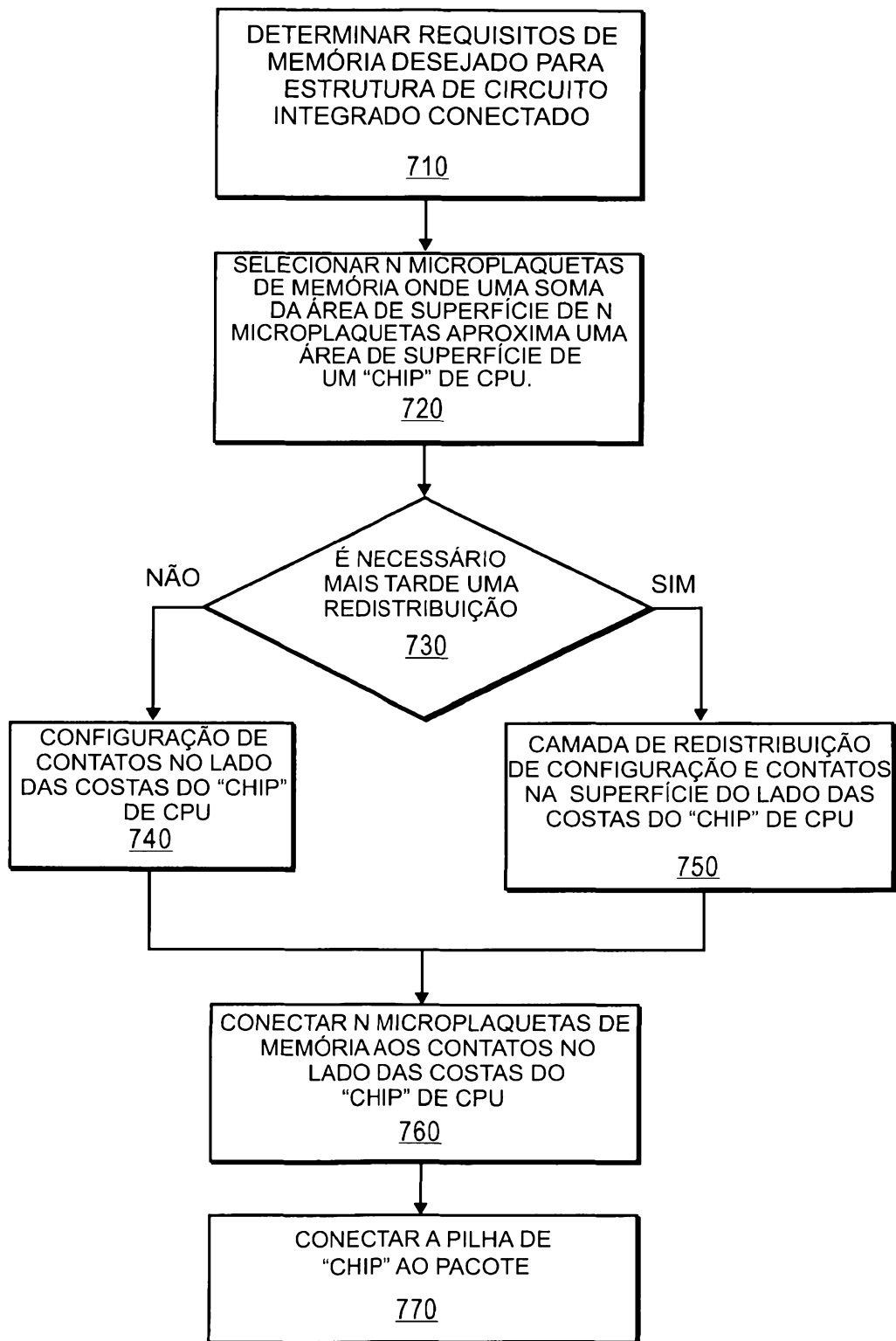


FIG. 7

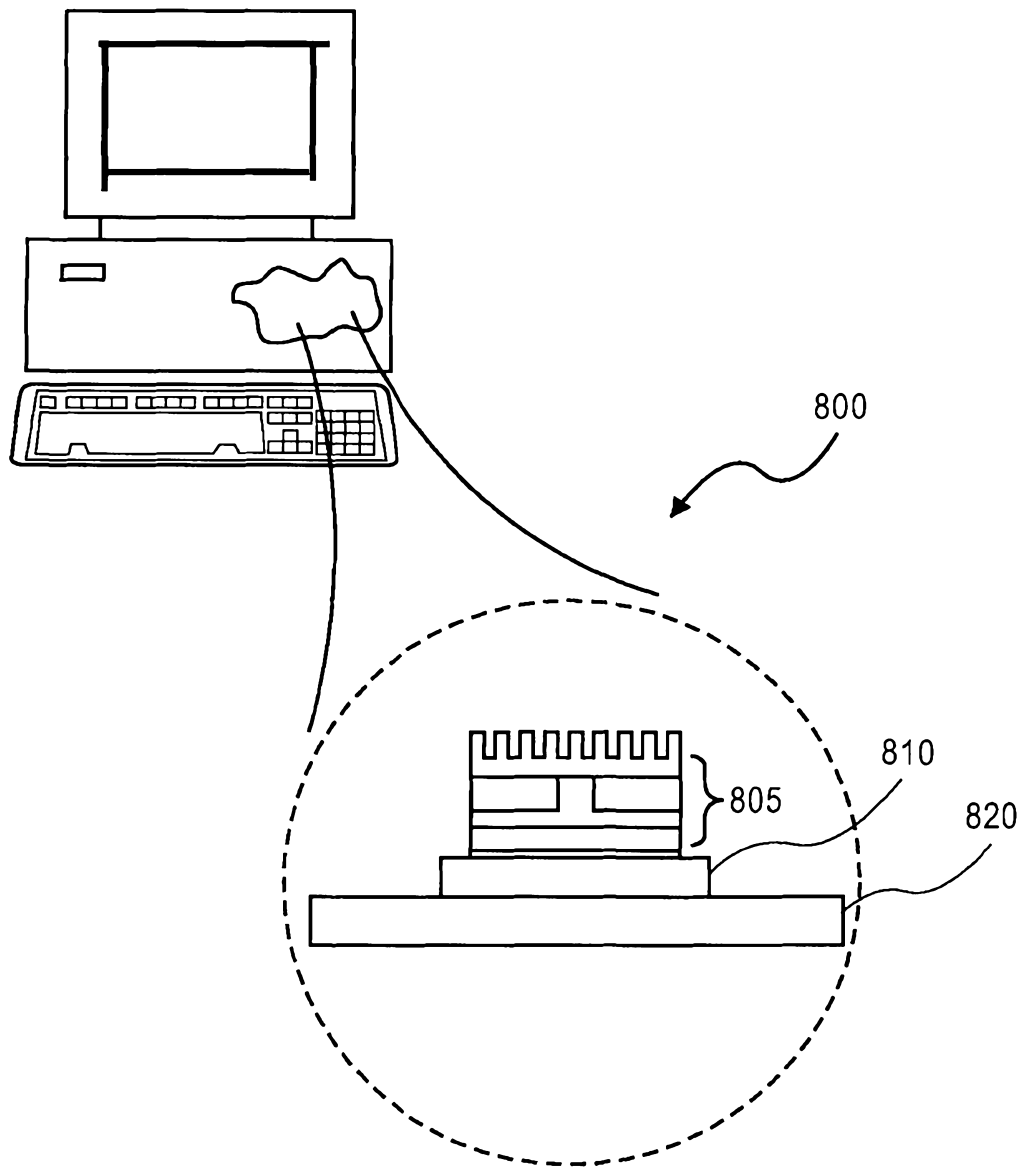


FIG. 8