

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 94676

Patent dodatkowy

do patentu _____

Zgłoszono: 25.07.74 (P. 173051)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 01.10.75

Opis patentowy opublikowano: 30.12.1978

MKP

G06f 7/52

Int. Cl².

G06F 7/52

G06G 7/16



Twórcy wynalazku: Sławomir Lesiński, Franciszek Wójcik, Stanisław Janaszek

Uprawniony z patentu : Politechnika Łódzka,
Łódź (Polska)

Sposób i układ do mnożenia dwóch sygnałów elektrycznych

Przedmiotem wynalazku jest sposób i układ do mnożenia dwóch sygnałów elektrycznych.

Znane sposoby mnożenia dwóch sygnałów opierają się, między innymi, na zasadzie dodawania logarytmów sygnałów wejściowych. W układach do realizacji tego sposobu stosuje się, na ogół, przetworniki nieliniowe dzięki czemu są one stosunkowo proste, ale wadą ich jest mała dokładność.

Znane są również sposoby, w których wykorzystuje się układy mnożące z modulacją szerokości i amplitudy impulsów. Mnożenie uzyskuje się w drodze podwójnej modulacji: jednym z napięć wejściowych moduluje się szerokość impulsów, drugim zaś ich amplitudę. Te sposoby zapewniają wysoką dokładność, ale wymagają stosowania bardzo skomplikowanych układów elektronicznych z zewnętrznymi generatorami piłokształtnymi oraz z modulatorami samowzbudnymi.

Sposób mnożenia według wynalazku realizowany w układzie mnożącym wykonanym w postaci wtórnika emiterowego zbudowanego na tranzystorze, polega na tym, iż napięcie odpowiadające jednemu z mnożonych sygnałów przykładają się do bazy tranzystora wtórnika zasilanego ze źródła o napięciu wyższym od wymienionego napięcia mnożonego, zaś napięcie odpowiadające drugiemu z mnożonych sygnałów przykładają się do nieliniowego bloku włączonego w obwód emitera wtórnika i posiadającego rezystancję odwrotnie proporcjonalną do przyłożonego doń napięcia oraz dokonuje się pomiaru prądu płynącego w obwodzie wtórnika, który jest proporcjonalny do iloczynu przyłożonych napięć i spełnia zależność $i = k \cdot u_1 \cdot u_2$.

Układ mnożący do stosowania powyższego sposobu wykonany w formie wtórnika emiterowego zbudowanego na tranzystorze, w obwodzie emitera tranzystora zawiera blok nieliniowy o rezystancji odwrotnie proporcjonalnej do przyłożonego doń napięcia odpowiadającego jednemu z mnożonych sygnałów, a do bazy tranzystora ma przyłożone napięcie odpowiadające drugiemu z mnożonych sygnałów.

Blok nieliniowy jest złożony z dowolnej liczby — uzależnionej od żądanego stopnia dokładności układu — wzmacniaczy różnicowych zasilanych w taki sposób, że bazy tranzystorów, których kolektory są połączone z dodatnim biegunem źródła zasilającego wtórnik są podłączone do kaskady złożonej z odpowiedniej liczby źródeł o potencjałach stopniowo narastających względem potencjału zerowego, zaś bazy pozostałych tranzystorów, których kolektory są połączone z dodatnim potencjałem o wartości zależnej od jednego z mnożonych

sygnałów, są polaryzowane przez rezystorowe dzielniki napięcia podłączone z jednej strony do kaskady źródeł o potencjałach stopniowo narastających względem drugiego sygnału mnożonego, z drugiej zaś strony są podłączone do drugiej kaskady źródeł o potencjałach stopniowo narastających względem potencjału zerowego.

Sposób oraz układ, według wynalazku, charakteryzują się dużą prostotą oraz umożliwiają osiągnięcie wysokiego stopnia dokładności pomiaru.

Przykład rozwiązania technicznego. Przedmiot wynalazku jest przedstawiony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia uproszczony schemat ogólny układu do mnożenia dwóch sygnałów, a fig. 2 — schemat ideowy układu z fig. 1, z rozbudowanym blokiem nieliniowym.

Wtórnik emiterowy zbudowany na tranzystorze T zasilanym napięciem $+U_B$, zawiera w obwodzie emitera tranzystora T blok nieliniowy R_z zasilany napięciem U_1 odpowiadającym jednemu z mnożonych sygnałów. Do bazy tranzystora T przyłożone jest napięcie U_2 odpowiadające drugiemu z mnożonych sygnałów. Blok nieliniowy R_z składa się z n wzmacniaczy różnicowych zbudowanych odpowiednio na tranzystorach $T_1-T_2, T_3-T_4 \dots T_{n-1}-T_n$. Kolektory tranzystorów $T_1, T_3, T_5 \dots T_{2n-1}$ są połączone z potencjałem $+U_E$, którego wartość zależy od wartości sygnału mnożonego U_2 . Kolektory tranzystorów $T_2, T_4 \dots T_{2n}$ są podłączone bezpośrednio do bieguna $+U_B$ źródła zasilającego wtórnik. Emitery tranzystorów $T_1-T_2, T_3-T_4 \dots$ są połączone wzajemnie za pośrednictwem rezystorów $R_5-R_7, R_{10}-R_{12} \dots$, których punkty wspólne są podłączone poprzez odpowiednie rezystory R_6, R_{11}, R_{16} do bieguna $-U_B$ źródła zasilającego wtórnik.

Bazy tranzystorów $T_2, T_4 \dots T_{2n}$, których kolektory podłączone są do bieguna $+U_B$, są zasilane z kaskady n źródeł $E_{21}, E_{22} \dots E_{2n}$ o potencjałach stopniowo narastających względem potencjału zerowego zrealizowanych, na przykład na szeregowo połączonych diodach Zenera $D_{21}, D_{22}, D_{23} \dots D_{2n}$ podłączonych do bieguna $+U_B$ przez rezystor R . Bazy tranzystorów $T_1, T_3, T_5 \dots T_{2n-1}$ kolejnych wzmacniaczy różnicowych, których kolektory są połączone z punktem $+U_E$ polaryzowane są poprzez rezystorowe dzielniki napięcia $R_3-R_4, R_8-R_9, R_{13}-R_{14}$, przy czym rezystor R_4 podłączony jest do potencjału zerowego, zaś rezystory $R_9, R_{14} \dots$ są podłączone do stałych potencjałów baz, odpowiedniego tranzystora poprzedzającego wzmacniacza, a więc do tranzystorów T_2, T_4 .

Rezystor R_3 podłączony jest do źródła mnożonego sygnału dodatniego U_1 , zaś rezystory R_8, R_{13} do źródeł $E_{11}, E_{12} \dots$ o potencjałach stopniowo narastających względem sygnału mnożonego U_1 i realizowanych na szeregowo połączonych diodach $D_{11}, D_{12} \dots D_{1n}$ podłączonych z jednej strony przez rezystor R_1 do zacisku $+U_B$, zaś z drugiej strony poprzez rezystor R_2 do zacisku $-U_B$.

Działanie układu polega na tym, że gdy wtórnik emiterowy zbudowany na tranzystorze T zasilony zostanie napięciem U_B , baza tranzystora T napięciem U_2 , zaś blok nieliniowy o rezystancji

$$R_z = \frac{k_1}{U_1}$$

napięciem U_1 to dla napięcia $U_2 < U_B$ prąd i płynący w obwodzie wtórnika wyniesie

$$i = \frac{U_2}{R_z} = \frac{U_2}{\frac{k_1}{U_1}} = k \cdot U_1 \cdot U_2$$

a więc prąd i jest proporcjonalny do iloczynu napięć, które należy wzajemnie pomnożyć.

Blok nieliniowy przedstawiony na fig. 2 pracuje w ten sposób, iż z chwilą pojawienia się dodatniego sygnału U_1 wzrosną potencjały uzyskane z diod D_{11}, D_{12}, D_{13} i za pośrednictwem dzielników $R_3-R_4, R_8-R_9, R_{13}-R_{14}$, zostaną spolaryzowane bazy tranzystorów T_1, T_3, T_5 . Prądy kolektorów tych tranzystorów przy $U_E = \text{const}$ są proporcjonalne do napięcia U_1 i spełniona jest zależność

$$\Sigma I_{kT_1, T_2, T_3} = k U_1$$

Ewentualne nieliniowości wynikające z charakterystyk samych tranzystorów eliminowane są przez ujemne sprzężenie zwrotne uzyskiwane na rezystorach włączonych w emitory tych tranzystorów. Dla źródła U_E blok nieliniowy R_z będzie rezystancją o wartości

$$R_z = \frac{U_E}{\Sigma I_{kT_1, T_2, T_3}} = \frac{U_E}{k U_1}$$

Jeżeli wartość sygnału U_E zmieści się w granicach pomiędzy wartością potencjału zerowego i potencjału katody diody D_{21} , to przewodzi tylko tranzystor T_1 . Jeżeli wartość sygnału U_E jest zawarta pomiędzy wartością potencjału zerowego, a potencjału katody diody D_{22} to przewodzą tranzystory T_1 i T_3 itd. Wartość prądu

i płynącego z dodatniego bieguna źródła o napięciu U_E zmienia się proporcjonalnie do wartości sygnału U_E polaryzującego kolektory tranzystorów $T_1, T_3, T_5, \dots$. Jeżeli liczba n wzmacniaczy różnicowych jest odpowiednio duża można aproksymować zależność prądu i od zmian napięcia U_E zależnością liniową. Pozwala to na traktowanie bloku R_z jako rezystora o wartości odwrotnie proporcjonalnej do sygnału U_1 .

Zastrzeżenia patentowe

1. Sposób mnożenia dwóch sygnałów elektrycznych w układzie mnożącym wykonanym w postaci wtórnika emiterowego zbudowanego na tranzystorze, z n a m i e n n y t y m, że napięcie (U_2) odpowiadające jednemu z mnożonych sygnałów przykładają się do bazy tranzystora (T) wtórnika zasilanego ze źródła o napięciu (U_B) wyższym od wymienionego napięcia (U_2) mnożonego, zaś napięcie (U_1) odpowiadające drugiemu z mnożonych sygnałów przykładają się do nieliniowego bloku (R_z) włączonego w obwód emitera wtórnika i posiadającego rezystancję odwrotnie proporcjonalną do przyłożonego doń napięcia (U_1), oraz dokonuje się pomiaru prądu (i) płynącego w obwodzie wtórnika, który jest proporcjonalny do iloczynu przyłożonych napięć i spełnia zależności $i = k \cdot U_1 \cdot U_2$.

2. Układ do mnożenia dwóch sygnałów elektrycznych wykonany w postaci wtórnika emiterowego zbudowanego na tranzystorze, z n a m i e n n y t y m, że w obwodzie emitera tranzystora (T) zawiera blok nieliniowy (R_z) o rezystancji odwrotnie proporcjonalnej do przyłożonego doń napięcia odpowiadającego jednemu z mnożonych sygnałów, a do bazy tranzystora (T) ma przyłożone napięcie (U_2) odpowiadające drugiemu z mnożonych sygnałów.

3. Układ według zastrz. 2 z n a m i e n n y t y m, że blok nieliniowy (R_z) umieszczony w obwodzie emitera tranzystora (T) jest złożony z dowolnej liczby (n) wzmacniaczy różnicowych (T_1-T_2), (T_3-T_4)...($T_{n-1}-T_n$) zasilanych w taki sposób, że bazy tranzystorów ($T_2, T_4 \dots T_{2n}$), których kolektory są połączone z dodatnim biegunem ($+U_B$) źródła zasilającego wtórnik są podłączone do kaskady (n) źródeł ($E_{21}, E_{22} \dots E_{2n}$) o potencjałach stopniowo narastających względem potencjału zerowego, zaś bazy pozostałych tranzystorów ($T_1, T_3 \dots T_{2n-1}$), których kolektory są połączone z dodatnim potencjałem ($+U_E$) o wartości zależnej od jednego z mnożonych sygnałów (U_2), są polaryzowane przez rezystorowe dzielniki napięcia (R_3-R_4), (R_5-R_6), ($R_{13}-R_{14}$) podłączone z jednej strony do kaskady (n) źródeł ($E_{11}, E_{12} \dots E_{1n}$) o potencjałach stopniowo narastających względem jednego z mnożonych sygnałów (U_1) lub (U_2), z drugiej zaś strony są podłączone do odpowiedniej kaskady (n) źródeł ($E_{21}, E_{22} \dots E_{2n}$) o potencjałach stopniowo narastających względem potencjału zerowego.

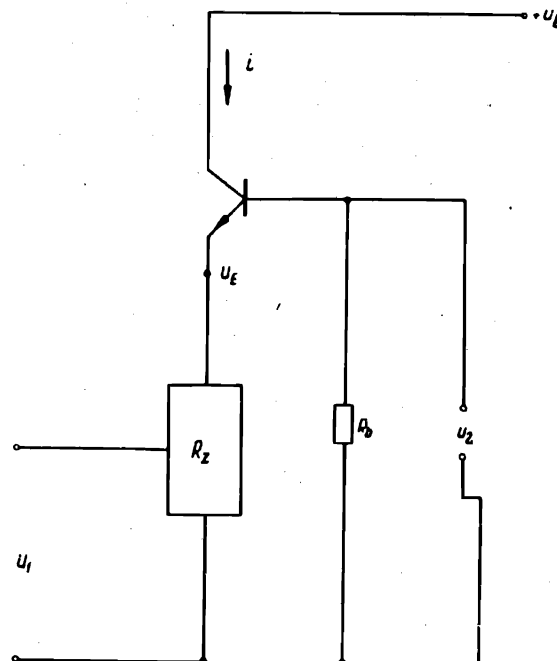


Fig. 1

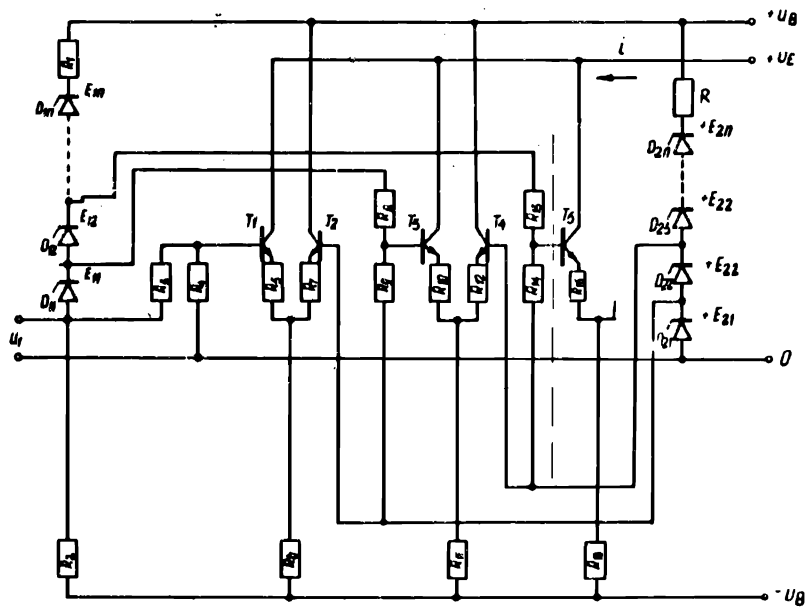


fig. 2