



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0146029

(43) 공개일자 2015년12월31일

(51) 국제특허분류(Int. Cl.)

G06F 1/08 (2006.01)

(21) 출원번호 10-2014-0075780

(22) 출원일자 2014년06월20일

심사청구일자 없음

(71) 출원인

에스케이하이닉스 주식회사

경기도 이천시 부발읍 경충대로 2091

고려대학교 산학협력단

서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

(72) 발명자

권대한

서울특별시 노원구 동일로214길 21 상계주공4단지 아파트 10동 305호

김수원

서울 서초구 신반포로 9, 87동 302호 (반포동, 반포아파트)

정찬희

서울 동대문구 안암로22길 47-1, 304호 (제기동)

(74) 대리인

특허법인 이노

전체 청구항 수 : 총 14 항

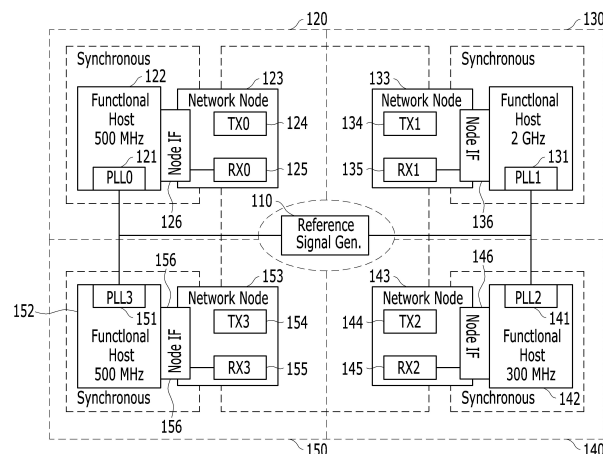
(54) 발명의 명칭 반도체 장치 및 그의 글로벌 동기형 동적 전압 주파수 스케일링 방법

(57) 요약

본 발명은 국부적인 동기화가 불필요하고, 모든 정수배의 주파수에 대하여 즉각적으로 정합시켜 동작할 수 있고, 각 도메인에 공급되는 공급 전압의 크기를 빠르게 변화시킬 수 있는 글로벌 동기형 동적 전압 주파수 스케일링 가능한 반도체 장치 및 방법을 제공한다.

본원의 제1 발명에 따른 반도체 장치는, 기준 클럭을 생성하는 글로벌 기준 클럭 발생부; 상기 기준 클럭에 응답하여 자기 독립적인 동작 주파수를 생성하고, 상기 동작 주파수에 대응하는 동작 전압으로 동작하는 복수의 단위 프로세서; 및 상기 복수의 단위 프로세서 각각은, 상기 동작 주파수에 따라 독립적인 동작 전압을 출력하는 오프로 레귤레이터를 포함한다.

대표도 - 도1



명세서

청구범위

청구항 1

기준 클럭을 생성하는 글로벌 기준 클럭 발생부;

상기 기준 클럭에 응답하여 각기 독립적인 동작 주파수를 생성하고, 상기 동작 주파수에 대응하는 동작 전압으로 동작하는 복수의 단위 프로세서; 및

상기 복수의 단위 프로세서 각각은, 상기 동작 주파수에 따라 독립적인 동작 전압을 출력하는 엘디오 레귤레이터

를 포함하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 복수의 단위 프로세서 중 적어도 어느 하나는,

상기 기준 클럭을 이용하여 독립적인 동작 주파수를 생성하는 위상 고정 루프;

상기 위상 고정 루프로부터 출력되는 동작 주파수를 이용하여 소정 기능을 수행하는 호스트;

상기 호스트와 상기 복수의 단위 프로세서 중 다른 하나의 단위 프로세서 사이에서 데이터를 전달하도록 구성된 네트워크 노드; 및

상기 네트워크 노드를 통해 수신되는 수신 데이터를 일시 저장하고, 상기 수신 데이터를 상기 호스트로 출력하는 노드 인터페이스

를 포함하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 네트워크 노드는,

상기 복수의 단위 프로세서 중 다른 하나의 단위 프로세서로부터 수신되는 수신 데이터를 상기 노드 인터페이스로 전달하는 수신 네트워크 노드

를 포함하는 반도체 장치.

청구항 4

제2항에 있어서, 상기 수신 네트워크 노드는,

상기 수신 데이터를 디멀티플렉싱하는 디멀티;

상기 디멀티로부터 출력되는 호스트 어드레스와 내부에 저장된 호스트 어드레스 색인의 일치 여부를 확인하는 어드레스 매칭 검출부;

상기 호스트의 동작 주파수와 상기 다른 하나의 단위 프로세서의 동작 주파수를 비교하여 비교값을 출력하는 감산기; 및

상기 감산기가 출력하는 주파수 비교값에 대응하여 호스트의 클럭 신호의 전부 또는 일부를 통과시키는 스케줄러

를 포함하는 반도체 장치.

청구항 5

제4항에 있어서, 상기 어드레스 매칭 검출부는,

상기 호스트 어드레스 색인을 저장하는 수신 호스트 어드레스 색인 저장부;

상기 호스트 어드레스와 상기 수신 호스트 어드레스 색인이 일치하면 디믹스 선택 신호를 출력하는 주소 비교부; 및

상기 위상 고정 루프의 동작 주파수에 동작하여 상기 디믹스 선택 신호보다 소정 싸이클 뒤지는 어드레스 매칭 검출신호를 출력하는 검출신호출력부

를 포함하는 반도체 장치.

청구항 6

제4항에 있어서, 상기 스케줄러는,

상기 호스트의 클럭 신호의 에지를 카운트하여 카운트값을 출력하는 카운터;

상기 카운트값과 상기 주파수 비교값이 일치하면 소정 레벨의 비교 신호를 출력하는 비교신호출력부; 및

상기 비교 신호에 제어되어 상기 호스트의 클럭 신호를 스위칭하는 스위칭부

를 포함하는 반도체 장치.

청구항 7

제1항에 있어서, 상기 엘디오 레귤레이터는,

외부로부터 입력되는 동적 전압용 디지털 신호를 써모미터 코드 신호로 디코딩하는 디코딩부;

기준 밴드 갭 전압을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 상기 디코딩부로부터 출력되는 써모미터 코드 신호를 이용하여 상기 복수의 기준 전압 중 어느 하나를 출력하는 저항 열;

상기 저항 열로부터 출력되는 기준 전압과 코어용 출력 전압을 비교하고, 상기 기준 전압보다 상기 코어용 출력 전압이 낮으면 상기 코어용 출력 전압을 상승시키고, 상기 기준 전압보다 상기 코어용 출력 전압이 높으면 상기 출력 전압을 하강시키는 증폭부; 및

상기 증폭부로부터 출력되는 출력 전압에 따라 복수의 제어용 스위치 중 전부 또는 일부를 통해 전압 변화용 스위치군을 턴온시키는 제어용 스위치군

을 포함하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 엘디오 레귤레이터는,

외부로부터 입력되는 동적 전압용 디지털 신호를 써모미터 코드 신호로 디코딩하는 디코딩부;

기준 밴드 갭 전압을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 상기 디코딩부로부터 출력되는 써모미터 코드 신호를 이용하여 상기 복수의 기준 전압 중 어느 하나를 출력하는 저항 열;

상기 저항 열로부터 출력되는 기준 전압과 코어 전압을 비교하고, 상기 기준 전압보다 상기 코어 전압이 낮으면 제1 논리 레벨의 비교 신호를 출력하고, 상기 기준 전압보다 상기 코어 전압이 높으면 제2 논리 레벨의 비교 신

호를 출력하는 비교부;

상기 수신측 동작 주파수에 따라 입력되는 클럭 신호를 이용하여 상기 비교 신호에 대응하는 거친 제어 신호와 미세 제어 신호를 출력하는 제어 신호 발생부; 및

상기 거친 제어 신호와 미세 제어 신호를 이용하여 전원 전압의 레벨을 변경하여 출력하는 파워 모스 어레이를 포함하는 반도체 장치.

청구항 9

제8항에 있어서,

상기 제어 신호 발생부는 상기 거친 제어 신호와 미세 제어 신호가 결정되면 비교 완료 신호를 출력하고,

상기 비교 신호와 상기 비교 완료 신호를 이용하여 서브전압을 생성하는 서브전압 발생부를 더 포함하고,

상기 서브전압을 상기 파워 모스 어레이 내 논리소자들의 서브스트레이트에 인가하는 것을 특징으로 하는 반도체 장치.

청구항 10

제9항에 있어서, 상기 서브 전압 발생부는,

상기 비교 신호와 상기 비교 완료 신호가 모두 제1 논리 레벨을 가지면 제2 논리 레벨을 출력하는 논리 소자; 및

상기 논리 소자의 출력에 응답하여 상보적으로 스위칭하여 점진적으로 전압을 상승시키는 상보 스위칭부를 포함하는 반도체 장치.

청구항 11

소정의 기준 클럭을 이용하여 각기 독립적으로 생성되는 동작 주파수로 동작하고, 상기 동작 주파수에 따라 내부의 코어 전압의 크기를 달리하는 복수의 단위 프로세서를 포함하는 반도체 장치의 동적 전압 주파수 스케일링 방법에 있어서,

상기 복수의 단위 프로세서 중 어느 하나를 수신 프로세서로 검출하는 단계;

송신 프로세서의 제1 동작 주파수와 상기 수신 프로세서의 제2 동작 주파수를 정합하는 주파수 정합 단계; 및

상기 송신 프로세서로부터 상기 수신 프로세서로 데이터를 전송하는 데이터 전송 단계

를 포함하는 반도체 장치의 글로벌 동기형 동적 전압 주파수 스케일링 방법.

청구항 12

제11항에 있어서, 상기 검출 단계는,

상기 송신 프로세서가 수신 프로세서 정보를 포함하는 수신 어드레스 신호를 출력하는 단계;

상기 수신 프로세서 내부에 저장된 수신 프로세서 어드레스 색인값과 상기 송신 프로세서로부터 출력되는 수신 어드레스 신호를 비교하는 비교 단계; 및

상기 비교 단계에서 두 값이 일치하면, 상기 제2 동작주파수에 따라 동작하여 어드레스 매칭 검출 신호를 출력하는 단계

를 포함하는 반도체 장치의 글로벌 동기형 동적 전압 주파수 스케일링 방법.

청구항 13

제11항에 있어서, 상기 주파수 정합 단계는,

상기 제1 동작주파수와 상기 제2 동작주파수를 비교하는 단계;

상기 제2 동작주파수가 상기 제1 동작주파수보다 빠르면, 상기 수신 프로세서 내에서 상기 제2 동작주파수를 상기 제1 동작주파수에 매칭시킨 스케줄링 클럭신호를 출력하는 단계; 및

상기 제2 동작주파수가 상기 제1 동작주파수보다 느리면, 상기 수신 프로세서 내에서 상기 제2 동작주파수를 스케줄링 클럭신호로 출력하는 단계

를 포함하는 반도체 장치의 글로벌 동기형 동적 전압 주파수 스케일링 방법.

청구항 14

제12항에 있어서, 상기 데이터 전송 단계는,

상기 어드레스 매칭 검출 신호가 인가되면, 상기 송신 프로세서 내에 생성되는 스케줄링 클럭신호에 따라 데이터신호를 상기 수신 프로세서로 전송하는 단계;

상기 수신 프로세서 내 노드 인터페이스는 상기 데이터신호를 일시 저장하는 단계; 및

상기 수신 프로세서 내에 생성되는 스케줄링 클럭신호를 이용하여 지정된 어드레스에 저장하는 단계

를 포함하는 반도체 장치의 글로벌 동기형 동적 전압 주파수 스케일링 방법.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 집적 회로의 동적 전압 주파수 스케일링 기술에 관한 것으로, 더욱 상세하게는 휴대 기기용 시스템 LSI, 마이크로 프로세서, 나아가서는 데이터 처리 시스템에 있어서 DVFS(dynamic voltage frequency scaling) 제어에 적용하는 데에 유용한 기술이다.

배경 기술

[0002]

반도체 집적 회로의 소비 전력을 삭감하기 위해서는 전원 전압을 저하시키는 것이 효과적이다. 왜냐하면, 반도체를 구성하는 트랜지스터의 소비전력은 전원 전압의 제곱에 비례하여 줄어들기 때문이다. 또한, 이 트랜지스터의 스위칭 동작 주파수는 전원 전압에 대략 비례하는 관계가 있다. 따라서, 논리 회로의 동작 주파수가 높지 않아도 되는 경우, 전원 전압을 저전압화하는 것과 동시에 동작 주파수를 감소시키는 것이 반도체 집적 회로의 저전력화에 유효하다. 이는 동적 전압 주파수 제어 기술(Dynamic Voltage Frequency Scaling)로 공지되어 있다.

[0003]

예컨대, 공개특허 2005-0115227호에 개시된 다중 클럭 도메인 마이크로프로세서는 글로벌-비동기, 로컬-동기(globally-asynchronous, locally-synchronous: GALS) 클럭킹 스타일을 사용한다. 다중 클럭 도메인 마이크로프로세서에 있어서, 각각의 기능 블록은 개별적으로 발생된 클럭으로 동작하고, 동기화 회로들은 신뢰성 있는 도메인간 통신(reliable inter-domain communication)을 보장한다.

[0004]

여기서, GALS의 기본 개념은 각 도메인 간에는 다른 주파수 및 공급 전압을 가지면서 개별 도메인 내부에서만 동기화된 상태에서 데이터를 전송하는 경우 각 도메인끼리 연결하여 동기화시킨 후에 데이터를 전송하는 방식이다.

[0005]

그런데, 이러한 방식은 기준 클럭을 분배할 필요가 없기 때문에 기준 클럭과 관련된 전력의 소모를 줄일 수 있고, 레이아웃이 자유로울 수 있다는 장점을 가진다. 그러나, GALS는 빠른 데이터 전송을 위해 동기화를 빠르게

해야 한다는 단점이 있고, 데이터 전송 방식의 특성상 빠른 클럭 속도를 갖기 어려우며, 그에 따라 데이터를 전송하기 전까지 필요로 하는 시간이 길다. 그리고, 각 도메인마다 독립적인 PLL을 사용하기 때문에 많은 전력 소모가 발생하고, 송신 클럭과 수신 클럭의 동기시 서로 간의 지터가 수신되는 데이터에 영향을 주어 성능 저하를 유발한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 공개특허 10-2005-0115227호 다중 클럭 도메인 마이크로프로세서

발명의 내용

해결하려는 과제

[0007] 본 발명은 국부적인 동기화가 불필요한 글로벌 동기형 동적 전압 주파수 스케일링이 가능한 반도체 장치 및 그 방법을 제공한다.

[0008] 또한, 본 발명은 정수배의 주파수에 대하여 즉각적으로 정합시켜 동작할 수 있는 글로벌 동기형 동적 전압 주파수 스케일링이 가능한 반도체 장치 및 그 방법을 제공한다.

[0009] 또한, 본 발명은 레지스터 스트링 방식을 이용하여 각 도메인에 공급되는 공급 전압의 크기를 빠르게 변화시킬 수 있는 글로벌 동기형 동적 전압 주파수 스케일링이 가능한 반도체 장치 및 그 방법을 제공한다.

과제의 해결 수단

[0010] 본원의 제1 발명에 따른 반도체 장치는, 기준 클럭을 생성하는 글로벌 기준 클럭 발생부; 상기 기준 클럭에 응답하여 각기 독립적인 동작 주파수를 생성하고, 상기 동작 주파수에 대응하는 동작 전압으로 동작하는 복수의 단위 프로세서; 및 상기 복수의 단위 프로세서 각각은, 상기 동작 주파수에 따라 독립적인 동작 전압을 출력하는 엘디오 레귤레이터를 포함한다.

[0011] 바람직하게는, 상기 복수의 단위 프로세서 중 적어도 어느 하나는, 상기 기준 클럭을 이용하여 독립적인 동작 주파수를 생성하는 위상 고정 루프; 상기 위상 고정 루프로부터 출력되는 동작 주파수를 이용하여 소정 기능을 수행하는 호스트; 상기 호스트와 상기 복수의 단위 프로세서 중 다른 하나의 단위 프로세서 사이에서 데이터를 전달하도록 구성된 네트워크 노드; 및 상기 네트워크 노드를 통해 수신되는 수신 데이터를 일시 저장하고, 상기 수신 데이터를 상기 호스트로 출력하는 노드 인터페이스를 포함한다.

[0012] 바람직하게는, 상기 네트워크 노드는, 상기 복수의 단위 프로세서 중 다른 하나의 단위 프로세서로부터 수신되는 수신 데이터를 상기 노드 인터페이스로 전달하는 수신 네트워크 노드를 포함한다.

[0013] 바람직하게는, 상기 수신 네트워크 노드는, 상기 수신 데이터를 디멀티플렉싱하는 디멀스; 상기 디멀스로부터 출력되는 호스트 어드레스와 내부에 저장된 호스트 어드레스 색인의 일치 여부를 확인하는 어드레스 매칭 검출부; 상기 호스트의 동작 주파수와 상기 다른 하나의 단위 프로세서의 동작 주파수를 비교하여 비교값을 출력하는 감산기; 및 상기 감산기가 출력하는 주파수 비교값에 대응하여 호스트의 클럭 신호의 전부 또는 일부를 통과시키는 스케줄러를 포함한다.

[0014] 바람직하게는, 상기 어드레스 매칭 검출부는, 상기 호스트 어드레스 색인을 저장하는 수신 호스트 어드레스 색인 저장부; 상기 호스트 어드레스와 상기 수신 호스트 어드레스 색인이 일치하면 디멀스 선택 신호를 출력하는 주소 비교부; 및 상기 위상 고정 루프의 동작 주파수에 동작하여 상기 디멀스 선택 신호보다 소정 싸이클 뒤지는 어드레스 매칭 검출신호를 출력하는 검출신호출력부를 포함한다.

[0015] 바람직하게는, 상기 스케줄러는, 상기 호스트의 클럭 신호의 에지를 카운트하여 카운트값을 출력하는 카운터; 상기 카운트값과 상기 주파수 비교값이 일치하면 소정 레벨의 비교 신호를 출력하는 비교신호출력부; 및 상기

비교 신호에 제어되어 상기 호스트의 클럭 신호를 스위칭하는 스위칭부를 포함한다.

[0016] 바람직하게는, 상기 엘디오 레귤레이터는, 외부로부터 입력되는 동적 전압용 디지털 신호를 써모미터 코드 신호로 디코딩하는 디코딩부; 기준 밴드 갭 전압을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 상기 디코딩부로부터 출력되는 써모미터 코드 신호를 이용하여 상기 복수의 기준 전압 중 어느 하나를 출력하는 저항 열; 상기 저항 열로부터 출력되는 기준 전압과 코어용 출력 전압을 비교하고, 상기 기준 전압보다 상기 코어용 출력 전압이 낮으면 상기 코어용 출력 전압을 상승시키고, 상기 기준 전압보다 상기 코어용 출력 전압이 높으면 상기 출력 전압을 하강시키는 증폭부; 및 상기 증폭부로부터 출력되는 출력 전압에 따라 복수의 제어용 스위치 중 전부 또는 일부를 통해 전압 변화용 스위치군을 턴온시키는 제어용 스위치군을 포함한다.

[0017] 바람직하게는, 상기 엘디오 레귤레이터는, 외부로부터 입력되는 동적 전압용 디지털 신호를 써모미터 코드 신호로 디코딩하는 디코딩부; 기준 밴드 갭 전압을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 상기 디코딩부로부터 출력되는 써모미터 코드 신호를 이용하여 상기 복수의 기준 전압 중 어느 하나를 출력하는 저항 열; 상기 저항 열로부터 출력되는 기준 전압과 코어 전압을 비교하고, 상기 기준 전압보다 상기 코어 전압이 낮으면 제1 논리 레벨의 비교 신호를 출력하고, 상기 기준 전압보다 상기 코어 전압이 높으면 제2 논리 레벨의 비교 신호를 출력하는 비교부; 상기 수신측 동작 주파수에 따라 입력되는 클럭 신호를 이용하여 상기 비교 신호에 대응하는 거친 제어 신호와 미세 제어 신호를 출력하는 제어 신호 발생부; 및 상기 거친 제어 신호와 미세 제어 신호를 이용하여 전원 전압의 레벨을 변경하여 출력하는 파워 모스 어레이를 포함한다.

[0018] 바람직하게는, 상기 제어 신호 발생부는 상기 거친 제어 신호와 미세 제어 신호가 결정되면 비교 완료 신호를 출력하고, 상기 비교 신호와 상기 비교 완료 신호를 이용하여 서브전압을 생성하는 서브전압 발생부를 더 포함하고, 상기 서브전압을 상기 파워 모스 어레이 내 논리소자들의 서브스트레이트에 인가한다.

[0019] 바람직하게는, 상기 서브 전압 발생부는, 상기 비교 신호와 상기 비교 완료 신호가 모두 제1 논리 레벨을 가지면 제2 논리 레벨을 출력하는 논리 소자; 및 상기 논리 소자의 출력에 응답하여 상보적으로 스위칭하여 점진적으로 전압을 상승시키는 상보 스위칭부를 포함한다.

[0020] 또한, 본원의 제2 발명에 따른 반도체 장치의 글로벌 동기형 동적 전압 주파수 스케일링 방법은, 소정의 기준 클럭을 이용하여 각기 독립적으로 생성되는 동작 주파수로 동작하고, 상기 동작 주파수에 따라 내부의 코어 전압의 크기를 달리하는 복수의 단위 프로세서를 포함하는 반도체 장치의 동적 전압 주파수 스케일링 방법에 있어서, 상기 복수의 단위 프로세서 중 어느 하나를 수신 프로세서로 검출하는 단계; 송신 프로세서의 제1 동작 주파수와 상기 수신 프로세서의 제2 동작 주파수를 정합하는 주파수 정합 단계; 및 상기 송신 프로세서로부터 상기 수신 프로세서로 데이터를 전송하는 데이터 전송 단계를 포함한다.

[0021] 바람직하게는, 상기 검출 단계는, 상기 송신 프로세서가 수신 프로세서 정보를 포함하는 수신 어드레스 신호를 출력하는 단계; 상기 수신 프로세서 내부에 저장된 수신 프로세서 어드레스 색인값과 상기 송신 프로세서로부터 출력되는 수신 어드레스 신호를 비교하는 비교 단계; 및 상기 비교 단계에서 두 값이 일치하면, 상기 제2 동작 주파수에 따라 동작하여 어드레스 매칭 검출 신호를 출력하는 단계를 포함한다.

[0022] 바람직하게는, 상기 주파수 정합 단계는, 상기 제1 동작주파수와 상기 제2 동작주파수를 비교하는 단계; 상기 제2 동작주파수가 상기 제1 동작주파수보다 빠르면, 상기 수신 프로세서 내에서 상기 제2 동작주파수를 상기 제1 동작주파수에 매칭시킨 스케줄링 클럭신호를 출력하는 단계; 및 상기 제2 동작주파수가 상기 제1 동작주파수보다 느리면, 상기 수신 프로세서 내에서 상기 제2 동작주파수를 스케줄링 클럭신호로 출력하는 단계를 포함한다.

[0023] 바람직하게는, 상기 데이터 전송 단계는, 상기 어드레스 매칭 검출 신호가 인가되면, 상기 송신 프로세서 내에 생성되는 스케줄링 클럭신호에 따라 데이터신호를 상기 수신 프로세서로 전송하는 단계; 상기 수신 프로세서 내 노드 인터페이스는 상기 데이터신호를 일시 저장하는 단계; 및 상기 수신 프로세서 내에 생성되는 스케줄링 클럭신호를 이용하여 지정된 어드레스에 저장하는 단계를 포함한다.

발명의 효과

[0024] 본 발명은 국부적인 동기화가 불필요한 글로벌 동기형 동적 전압 주파수 스케일링이 가능한 반도체 장치 및 그 방법을 제공하므로 칩 사이즈를 줄일 수 있고, 전력 소모를 개선할 수 있으며, 모든 정수배의 주파수에 대하여 즉각적으로 정합시켜 동작할 수 있으므로 송신 주파수와 수신 주파수의 정합 시간을 줄일 수 있고, 각 도메인에

공급되는 공급 전압의 크기 변화를 주파수 정합 시간 내에 마칠 수 있다.

도면의 간단한 설명

- [0025] 도 1은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치의 전체 블럭도,
 도 2는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 데이터 전송을 위한 주요 구성도,
 도 3은 본 발명의 일실시예에 따른 어드레스 매칭 검출부(222)의 구체 회로도,
 도 4는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS의 데이터 처리 시퀀스 다이어그램,
 도 5는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 스케줄러의 세부 구성도,
 도 6은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 스케줄러의 동작 파형도,
 도 7은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에서의 아날로그 엘리먼트 레귤레이터 블럭 구성도,
 도 8은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에서의 디지털 엘리먼트 레귤레이터 블럭 구성도,
 도 9는 본 발명의 일실시예에 따른 서브전압 발생기의 구체회로도, 및
 도 10은 본 발명의 일실시예에 따른 서브전압 발생기의 입출력파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 본 발명의 바람직한 실시예(들)에 대하여 첨부도면을 참조하여 상세히 설명한다. 우선 각 도면의 구성요소들에 참조부호를 부가함에 있어서, 동일한 구성요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 부호로 표기되었음에 유의하여야 한다. 또한, 하기의 설명에서는 많은 특정사항들이 도시되어 있는데, 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐 이러한 특정 사항들 없이도 본 발명이 실시될 수 있음은 이 기술분야에서 통상의 지식을 가진 자에게는 자명하다 할 것이다.
- [0027] 도 1은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 전체 블럭도이다.
- [0028] 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치는 기준 신호 발생부(110), 및 복수의 기능 단위 프로세서(120, 130, 140, 150)를 포함한다.
- [0029] 복수의 기능 단위 프로세서(120, 130, 140, 150)는 적어도 둘 이상의 동작 주파수로 동작하며, 복수의 기능 단위 프로세서(120, 130, 140, 150)는 각각 위상 고정 루프(121, 131, 141, 151), 호스트(122, 132, 142, 152), 네트워크 노드(123, 133, 143, 153), 및 노드 인터페이스(126, 136, 146, 156)를 포함한다.
- [0030] 기준 신호 발생부(110)는 소정의 낮은 주파수를 가진 기준 신호를 제공한다. 따라서, 기준 신호 발생부(110)가 소모하는 전력은 높은 주파수의 기준 신호에 비하여 상대적으로 크지 않다.
- [0031] 각각의 위상 고정 루프(PLL: Phase Locked Loop, 121, 131, 141, 151)는 소정 주파수의 기준 신호를 제공받아 독립적인 동작 주파수를 생성하는바, 생성되는 동작 주파수는 기준 신호보다 더 높은 주파수를 가진다. 예컨대, 제1 PLL은 500MHz의 동작 주파수를, 제2 PLL은 2 GHz의 동작 주파수를, 제3 PLL은 300MHz의 동작 주파수를, 제4 PLL은 1GHz의 동작 주파수를 생성할 수 있다.
- [0032] 각각의 호스트(122, 132, 142, 152)는 PLL로부터 출력되는 동작 주파수를 이용하여 소정 기능을 수행한다.
- [0033] 각각의 네트워크 노드(123, 133, 143, 153)는 한 쌍의 송신 네트워크 노드와 수신 네트워크를 포함한다. 예컨대, 제1 네트워크 노드(123)는 제1 송신 네트워크 노드(124)와 제1 수신 네트워크 노드(125)를 포함하고, 제2 네트워크 노드(133)는 제2 송신 네트워크 노드(134)와 제2 수신 네트워크 노드(135)를 포함하고, 제3 네트워크 노드(143)는 제3 송신 네트워크 노드(144)와 제3 수신 네트워크 노드(145)를 포함하고, 제4 네트워크 노드(153)는 제4 송신 네트워크 노드(154)와 제4 수신 네트워크 노드(155)를 포함한다. 여기서, 제1 송신 네트워크

노드(124)는 제2 내지 제4 수신 네트워크 노드(135, 145, 155) 중 어느 하나에 데이터를 송신할 수 있다. 마찬가지로, 제1 수신 네트워크 노드(125)는 제2 내지 제4 송신 네트워크(134, 144, 154)로부터 데이터를 수신할 수 있다.

[0034] 각각의 노드 인터페이스(126, 136, 146, 156)는 수신 네트워크로부터 출력되는 데이터를 일시적으로 저장하였다가 선입선출 방식에 의해 호스트(122, 132, 142, 152)로 출력한다.

[0035] 도 2는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 데이터 전송을 위한 주요 구성도이고, 도 3은 본 발명의 일실시예에 따른 어드레스 매칭 검출부(222)의 구체 회로도, 도 4는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS의 데이터 처리 시뮬레이션 파형도이다.

[0036] 본 발명의 일실시예에 따르면, 제1 호스트(122)는 송신 호스트로 동작하고, 제2 호스트(132)는 수신 호스트로 동작하여 제1 호스트(122)에서 제2 호스트(132)로 데이터를 전달한다. 제1 호스트(122)는 데이터를 수신할 프로세서의 어드레스신호(Taddr)와, 제1 호스트에서의 동작주파수(Tfreq) 그리고 수신 호스트로 전송할 데이터신호(T_DATA)를 출력한다.

[0037] 이를 위하여 제1 송신 네트워크 노드(124)는 송신측 스케줄러(211), 송신측 감산기(212), 앤드게이트(213), 제1 D F/F(214), 맥스(215), 및 제2 D F/F(216)을 포함한다. 그리고, 제2 수신 네트워크 노드(135)는 디맥스(221), 어드레스 매칭 검출부(222), 수신측 감산기(223), 수신측 스케줄러(224), 및 제3 D F/F(225)를 포함한다.

[0038] 본 발명의 일실시예에 따른 데이터 전송을 위한 동작은 크게 데이터를 수신할 프로세서를 검출하는 제1 단계와 송신 주파수와 수신 주파수를 정합하는 제2 단계, 그리고 데이터를 수신 프로세서에 전송하는 제3 단계로 구분할 수 있다.

[0039] (수신 프로세서 검출 단계)

[0040] 제1 호스트(122)가 수신 호스트 정보를 포함하는 어드레스신호(Taddr)를 출력하면, 제1 송신 네트워크 노드(124) 내 제2 D F/F(215)로부터 출력되는 "Low" 레벨의 맥스선택신호(sMUX)에 응답하여 제1 송신 네트워크 노드(124) 내 맥스(215)는 입력되는 어드레스신호(Taddr)를 통과시킨다. 여기서, 스타트신호(Start)는 어드레스신호(Taddr)의 출력에 앞서 출력되어 데이터의 전송이 종료되기까지 "High" 레벨을 유지한다.

[0041] 제2 수신 네트워크 노드(135) 내 디맥스(221)는 "Low" 레벨의 디맥스선택신호(sDEM)에 응답하여 수신되는 어드레스신호(Taddr)를 통과시킨다.

[0042] 한편, 어드레스 매칭 검출부(222)는 디맥스(221)로부터 출력되는 어드레스신호(Taddr)와 내부에 설정 저장된 수신 프로세서 주소 색인(RX_address)이 일치하면 "High" 레벨의 디맥스선택신호(sDEM)를 출력한다. 예컨대, 도 3에 도시된 바와 같이, 어드레스 매칭 검출부(222)는 수신 프로세서 주소 색인 저장부(311), 배타적 부정논리합 게이트(312-1, ..., 312-5), 앤드게이트(313), 및 D F/F(314)를 포함한다.

[0043] 수신 호스트 주소 색인 저장부(311)는 수신 호스트 주소 색인(RX_address)를 저장한다. 배타적 부정논리합 게이트(312-1, ..., 312-5)는 어드레스신호(Taddr)와 수신 호스트 주소 색인 신호(RX address)의 각각을 비교하여 일치하면 "High" 레벨의 상태신호를 출력한다. 앤드게이트(313)는 배타적 부정논리합 게이트(312-1, ..., 312-5)들의 출력이 모두 일치하면 "High" 레벨의 디맥스선택신호(sDEM)를 출력한다. D F/F(314)는 수신 PLL의 동작 주파수에 동작하여 디맥스선택신호(sDEM)보다 1 사이클 뒤져서 "High" 레벨의 어드레스 매칭 검출신호(sADM)를 출력한다.

[0044] (주파수 정합 단계)

[0045] 한편, 제1 호스트(122)가 제1 송신 네트워크 노드(124)로 어드레스신호(Taddr) 보다 1 사이클 뒤져서 송신측 동작주파수(Tfreq)를 출력하면, 제1 송신 네트워크(124) 내 맥스(215) 및 제2 수신 네트워크(135) 내 디맥스(221)를 통과하여 감산기(223)에 입력된다.

[0046] 제2 수신 네트워크 노드(135) 내 수신측 감산기(223)는 제1 호스트의 송신측 동작주파수(Tfreq)와 제2 호스트의 수신측 동작주파수(Rfreq)를 비교하고, 그 비교값을 출력한다. 구체적으로, 송신측 동작주파수(Tfreq)가 수신측

동작주파수(Rfreq)보다 빠르면, 그 비교값은 0을 가지게 되고, 송신측 동작주파수(Tfreq)가 수신측 동작주파수(Rfreq)보다 느리면 그 비교값은 소정의 정수값을 가진다. 여기서, 수신측 감산기(223)는 D F/F와 낸드게이트를 이용하여 구현할 수 있으며, 이는 이 기술분야에 종사하는 통상의 지식을 가진 자에게 자명한 사항이므로 구체적인 설명은 생략하기로 한다.

[0047] 수신측 스케줄러(224)는 수신측 감산기(223)로부터 출력되는 주파수 비교값에 대응하여 수신측 클럭신호(CLK_RX)의 전부 또는 일부를 통과시킨다. 예컨대, 송신측 동작주파수(Tfreq)가 수신측 동작주파수(Rfreq)보다 빨라 주파수 비교값이 0이면, 수신측 스케줄러(224)는 수신측 클럭신호(CLK_RX)와 동일한 매칭된 동작주파수를 출력한다. 반대로, 수신측 동작주파수(Rfreq)가 송신측 동작주파수(Tfreq)보다 4배 빠르면, 주파수 비교값이 3이고, 수신측 스케줄러(224)는 수신측 클럭신호(CLK_RX) 4개마다 1개씩의 스케줄링 클럭신호(CLK_sche)를 출력한다(도 4 참조).

[0048] 이는 송신측 감산기(212) 및 송신측 스케줄러(211)에서도 동일하게 적용된다. 즉, 송신측 감산기(212)는 제1 호스트의 송신측 동작주파수(Tfreq)와 제2 호스트의 수신측 동작주파수(Rfreq)를 비교하고, 그 비교값을 출력한다. 구체적으로, 송신측 동작주파수(Tfreq)가 수신측 동작주파수(Rfreq)보다 빠르면, 그 비교값은 소정의 정수값을 가지게 되고, 송신측 동작주파수(Tfreq)가 수신측 동작주파수(Rfreq)보다 느리면 그 비교값은 0을 가진다. 송신측 스케줄러(211)는 송신측 감산기(212)로부터 출력되는 주파수 비교값에 대응하여 송신측 클럭신호(CLK_TX)의 전부 또는 일부를 통과시킨다. 예컨대, 수신측 동작주파수(Rfreq)가 송신측 동작주파수(Tfreq)보다 빨라 주파수 비교값이 0이면, 송신측 스케줄러(211)는 송신측 클럭신호(CLK_TX)와 동일한 매칭된 동작주파수를 출력한다. 반대로, 송신측 동작주파수(Tfreq)가 수신측 동작주파수(Rfreq)보다 4배 빠르면, 주파수 비교값이 3이고, 송신측 스케줄러(211)는 송신측 클럭신호(CLK_TX) 4개마다 1개씩의 스케줄링 클럭신호(CLK_sche)를 출력한다.

[0049] 이와 같이 송신측과 수신측의 동작주파수가 다를 때 느린 동작주파수에 매칭시킨다.

[0050] (데이터 전송 단계)

[0051] 제1 호스트(122)로부터 송신측 동작주파수(Tfreq)가 출력되고 나서 소정 사이클(예컨대, 4 사이클)이 경과하면, 제1 호스트(122)로부터 데이터신호(T_DATA)가 출력된다. 제1 호스트(122)로부터 출력된 데이터신호(T_DATA)는 제1 D F/F(214) 및 믹스(215)를 거쳐 수신측 네트워크 노드(135)로 출력된다. 여기서, 제1 D F/F(214)는 수신측 네트워크 노드가 확인되어 "High" 레벨의 어드레스 매칭 검출신호(sADM)가 인가되면, 송신측 스케줄러(211)로부터 출력되는 스케줄링 클럭신호(CLK_sche)에 따라 데이터신호(T_DATA)를 통과시킨다. 제2 D F/F(216)는 "High" 레벨의 어드레스 매칭 검출신호(sADM)에 응답하여 다음 사이클에서 "High" 레벨의 믹스선택신호(sMUX)를 출력한다. 믹스(215)는 "High" 레벨의 믹스선택신호(sMUX)에 응답하여 데이터신호(T_DATA)를 통과시킨다.

[0052] 노드 인터페이스(136)는 수신측 네트워크 노드(135) 내 디믹스(221) 및 제3 D F/F(225)를 통과하는 데이터신호(T_DATA)를 일시적으로 저장하고, 수신측 스케줄러(224)로부터 출력되는 스케줄링 클럭신호(CLK_sche)를 이용하여 수신측 호스트(132)로 출력한다. 여기서, 송신측 호스트(122)로부터 전송되는 데이터신호(T_DATA)는 소정의 프로토콜에 따라 수신측 호스트 내 저장을 위한 어드레스 정보를 더 포함할 수 있고, 수신측 호스트는 데이터신호(T_DATA)에 포함된 어드레스 정보를 이용하여 지정된 어드레스에 데이터를 저장할 수 있다.

[0053] 도 5는 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 스케줄러의 세부 구성도이고, 도 6은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 스케줄러의 동작 파형도이다.

[0054] 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 스케줄러는 카운터(511), 앤드게이트(512), 인버터(513), 직렬연결된 D F/F(514, 515), 및 스위치(516)를 포함한다.

[0055] 카운터(511)는 수신측 클럭신호(CLK_RX)의 상승 에지를 검출하여 카운트하여 카운트값을 출력한다.

[0056] 앤드게이트(512)는 주파수 비교값(C<4:0>)과 카운트값을 입력받아 두 값이 같아지면 "High" 레벨의 신호를 출력한다.

[0057] 인버터(513)는 수신측 클럭신호(CLK_RX)를 반전시켜 직렬연결된 복수의 D F/F(514, 515)의 클럭신호로 제공한다.

- [0058] 직렬연결된 복수의 D F/F(514, 515) 중 전단의 D F/F(514)는 송신측 동작주파수와 수신측 동작주파수가 일치하면 인에이블신호(EN)를 출력하여 스위치(516)를 턴온시키고 스케줄링 클럭신호(CLK_sche)를 출력한다.
- [0059] 직렬연결된 복수의 D F/F(514, 515) 중 후단의 D F/F(515)는 인에이블신호(EN)가 출력된 후 1 싸이클이 경과하면 전단의 D F/F(514)를 리셋시킨다.
- [0060] 도 7은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에서의 아날로그 LDO(Low Dropout) 레귤레이터 블록 구성도이다.
- [0061] 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에는 아날로그 LDO 레귤레이터(이하, '엘디오 레귤레이터'라 함)가 적용가능하다. 구체적으로, 본 발명의 일실시예에 따른 아날로그 엘디오 레귤레이터는 디코더(711), 저항 열(712), 증폭기(713), 복수의 병렬연결된 제어용 스위치군(714), 및 전압 변화용 스위치군(715)을 포함한다.
- [0062] 디코더(711)는 입력되는 4비트의 동적 전압용 디지털 신호를 16비트의 써모미터 코드 신호로 디코딩한다. 여기서, 동적 전압용 디지털 신호는 클럭 신호가 빠르면 높은 값을 가지고, 클럭 신호가 느리면 낮은 값을 가지도록 처리될 수 있다.
- [0063] 저항 열(712)은 기준 밴드 갭 전압(V_{BGR})을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 디코더로부터 출력되는 써모미터 코드 신호를 이용하여 복수의 기준 전압 중 어느 하나를 출력한다.
- [0064] 증폭기(713)는 저항 열(712)로부터 출력되는 기준 전압과 코어용 출력전압(V_{core})을 비교하고, 기준 전압보다 코어용 출력 전압(V_{core})이 낮으면 출력 전압을 상승시키고, 기준 전압보다 코어용 출력 전압(V_{core})이 높으면 출력 전압을 하강시킨다.
- [0065] 복수의 병렬연결된 제어용 스위치군(714)은 디코더(711)로부터 출력되는 4비트의 동적 전압용 디지털 신호에 따라 온오프되는 4개의 제어용 스위치를 포함하고, 증폭기(713)로부터 출력되는 출력 전압에 따라 4개의 제어용 스위치 중 턴온된 전부 또는 일부의 제어용 스위치를 통해 전압 변화용 스위치군(715)을 턴온시킨다.
- [0066] 이와 같은 아날로그 엘디오 레귤레이터는 종래의 소프트 스위칭 방식에 비해 최대값에서 최소값으로, 최소값에서 최대값으로 변하는 과도 응답 특성(transient response)이 우수하다는 효과가 있다.
- [0067] 도 8은 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에서의 디지털 LDO 레귤레이터 블록 구성도이다.
- [0068] 본 발명의 일실시예에 따른 글로벌 동기형 DVFS 가능한 반도체 장치 내 개별 노드에는 디지털 엘디오 레귤레이터가 적용가능하다. 구체적으로, 본 발명의 일실시예에 따른 디지털 엘디오 레귤레이터는 디코더(811), 저항 열(812), 비교기(813), 제어신호생성부(814), 서브전압 발생기(815), 및 파워 모드 어레이(816)를 포함한다.
- [0069] 디코더(811)는 입력되는 4비트의 동적 전압용 디지털 신호를 16비트의 써모미터 코드 신호로 디코딩한다. 여기서, 동적 전압용 디지털 신호는 클럭 신호가 빠르면 높은 값을 가지고, 클럭 신호가 느리면 낮은 값을 가지도록 처리될 수 있다.
- [0070] 저항 열(812)은 기준 밴드 갭 전압(V_{BGR})을 인가받아 서로 다른 복수의 기준 전압을 생성하고, 디코더로부터 출력되는 써모미터 코드 신호를 이용하여 복수의 기준 전압 중 어느 하나를 출력한다.
- [0071] 비교기(813)는 저항 열(812)로부터 출력되는 기준 전압과 코어 전압(V_{core})을 비교하고, 기준 전압보다 코어 전압(V_{core})이 낮으면 "High" 레벨의 비교 신호를 출력하고, 기준 전압보다 코어 전압(V_{core})이 높으면 "Low" 레벨의 비교 신호를 출력한다.
- [0072] 제어신호생성부(814)는 클럭 신호(CLK_TX 또는 CLK_RX)를 직접 이용하거나 여 클럭 신호(CLK_TX 또는 CLK_RX)를 체배한 신호를 이용하여 비교기(813)로부터 출력되는 신호를 일시 저장하고, 거친 제어 신호(Coarse[7:0])와 미세 제어 신호(Fine[7:0])를 생성한다. 제어신호생성부(814)는 쉬프트 레지스터를 이용하여 구현할 수 있다.
- [0073] 서브전압 발생기(815)는 제어신호생성부(814)의 비교 완료 신호(finish)와 비교기(813)의 비교 신호(comp)를 이용하여 서브전압(VSSa)을 출력한다.

- [0074] 파워 MOS 어레이(816)는 제어신호생성부(814)로부터 출력되는 거친 제어 신호(Coarse)와 미세 제어 신호(Fine), 그리고, 서브전압 발생기(815)로부터 출력되는 서브전압(VSSa)에 제어되어 전원전압(V_{IN})을 변경하여 출력하는 복수의 파워 MOS 그룹을 포함한다.
- [0075] 파워 MOS 그룹 각각은 하나의 거친 제어 신호(Coarse)와 일련의 미세 제어 신호(Fine)를 이용하여 상이한 레벨의 코어 전압(V_{core})을 출력한다. 그리고, 파워 MOS 그룹 내에서 전류 용량이 가장 큰 스위칭 소자(PMOS)는 거친 제어 신호(Coarse)에 의해 제어되고, 나머지 크기가 서로 다른 스위칭 소자(PMOS)들은 미세 제어 신호(Fine[7:0])에 제어된다.
- [0076] 제어신호생성부(814)는 거친 제어 신호(Coarse)와 미세 제어 신호(Fine)를 순차적으로 결정한다. 예컨대, 제어신호생성부(814)가 거친 제어 신호(Coarse[1])와 미세 제어 신호(Fine[3])를 출력하면, 먼저 거친 제어 신호(Coarse[0], Coarse[1])를 게이트 신호로 받는 PMOS들이 턴온된 후, 미세 제어 신호(Fine[0], Fine[1], Fine[2], Fine[3])를 게이트 신호로 받는 PMOS들이 턴온된다.
- [0077] 도 9는 본 발명의 일실시예에 따른 서브전압 발생기의 구체회로도이고, 도 10은 본 발명의 일실시예에 따른 서브전압 발생기의 입출력파형도이다.
- [0078] 본 발명의 일실시예에 따른 서브전압 발생기는 제어신호생성부(814)의 출력(finish)과 비교기(813)의 비교 신호(comp)가 CMOS의 게이트 신호로 입력되면, 각 트랜지스터의 드레인과 소스 사이에 배치된 전류원으로부터 출력되는 전류에 따라 캐패시터(Ca)가 충전되어 서브전압(VSSa)은 점차 상승하고, 이에 따라 코어 전압(V_{core})은 점차 낮아진다. 서브전압(VSSa)이 상승하면 거친 제어 신호 및 미세 제어 신호를 미약하게 출력하더라도 거친 제어 신호와 미세 제어 신호를 논리곱하여 출력하는 앤드게이트의 출력을 수월하게 변경할 수 있기 때문에 아날로그 엘디오 레귤레이터와 같은 효과를 나타낼 수 있다.
- [0079] 프로세서의 용어는 논리 동작을 실행하는 임의의 장치를 전반적으로 의미한다. 프로세서는 1개 또는 복수의 서브 시스템, 구성요소 및 다른 프로세서를 포함할 수 있다. 프로세서는 클럭신호를 사용하여 데이터를 래치하고, 논리 동작을 동기시킬 수 있다.
- [0080] 하나 이상의 예시적인 양태들에서, 기술된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 조합으로 구현될 수도 있다. 소프트웨어로 구현되는 경우, 기능들은 머신 판독가능 매체, 즉 컴퓨터 판독가능 매체와 같은 컴퓨터 프로그램 제품 상의 하나 이상의 명령들 또는 코드로서 저장 또는 송신될 수도 있다. 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 한 곳에서 다른 곳으로 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함하는 통신 매체를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수도 있는 임의의 이용 가능한 매체일 수도 있다. 제한이 아닌 예로써, 그러한 컴퓨터 판독가능 매체는 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 기억장치, 자기 디스크 기억장치 또는 다른 자기 저장 디바이스, 또는 컴퓨터에 의해 액세스될 수도 있고, 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 운반 또는 저장하는데 사용될 수도 있는 임의의 다른 매체를 포함할 수도 있다. 여기에 사용된 디스크(disk) 및 디스크(disc)는 CD(compact disc), 레이저 디스크, 광 디스크, DVD(digital versatile disc), 플로피 디스크(floppy disk) 및 블루-레이 디스크를 포함하며, 여기서 디스크(disk)는 통상 자기적으로 데이터를 재생하는 반면, 디스크(disc)는 레이저를 사용하여 광학적으로 데이터를 재생한다. 상술한 것들의 조합은 또한 컴퓨터 판독 가능 매체의 범위 내에 포함되어야 한다.

부호의 설명

- [0081] 110: 기준 신호 발생부
- 120, 130, 140, 150: 복수의 기능 단위 프로세서
- 121, 131, 141, 151: 위상 고정 루프
- 122, 132, 142, 152: 프로세서
- 123, 133, 143, 153: 네트워크 노드

126, 136, 146, 156: 노드 인터페이스

211: 송신측 스케줄러

212: 송신측 감산기

213: 앤드게이트

214: 제1 D F/F(214)

215: 멀티플렉서

216: 제2 D F/F

221: 디멀티플렉서

222: 어드레스 매칭 검출부

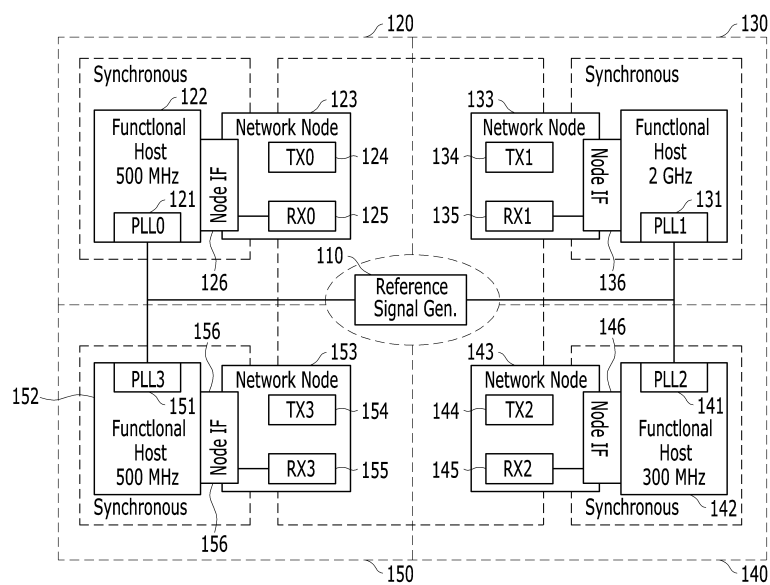
223: 수신측 감산기

224: 수신측 스케줄러

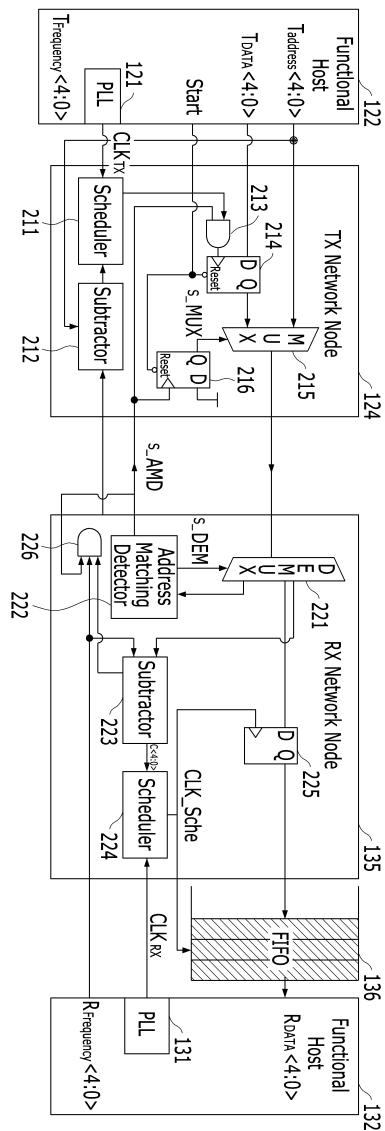
225: 제3 D F/F(225)

도면

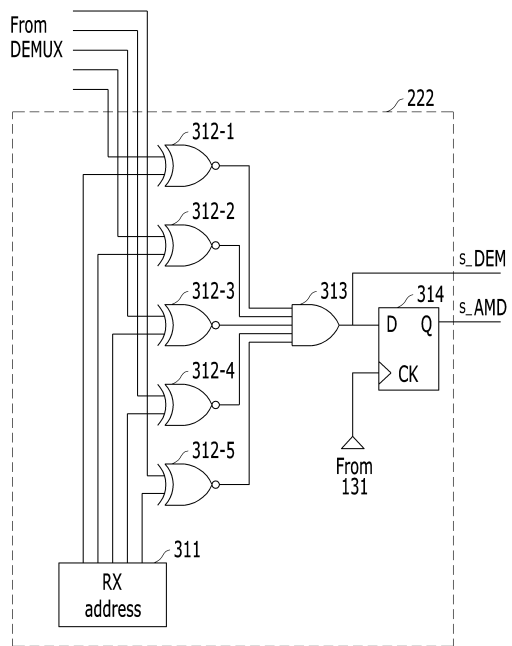
도면1



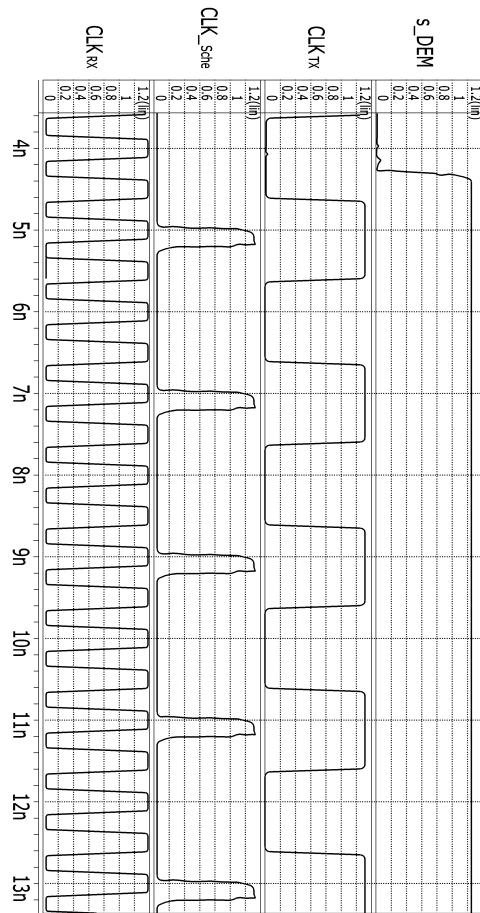
도면2



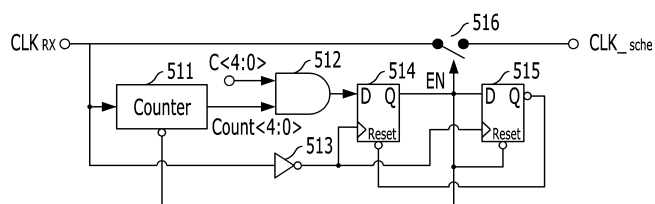
도면3



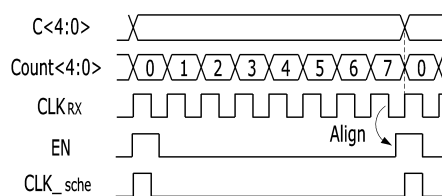
도면4



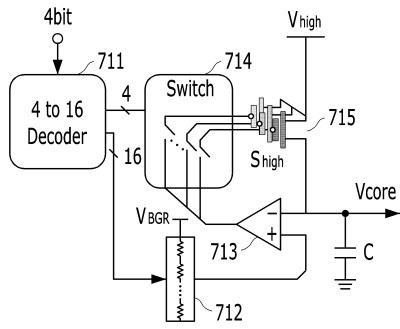
도면5



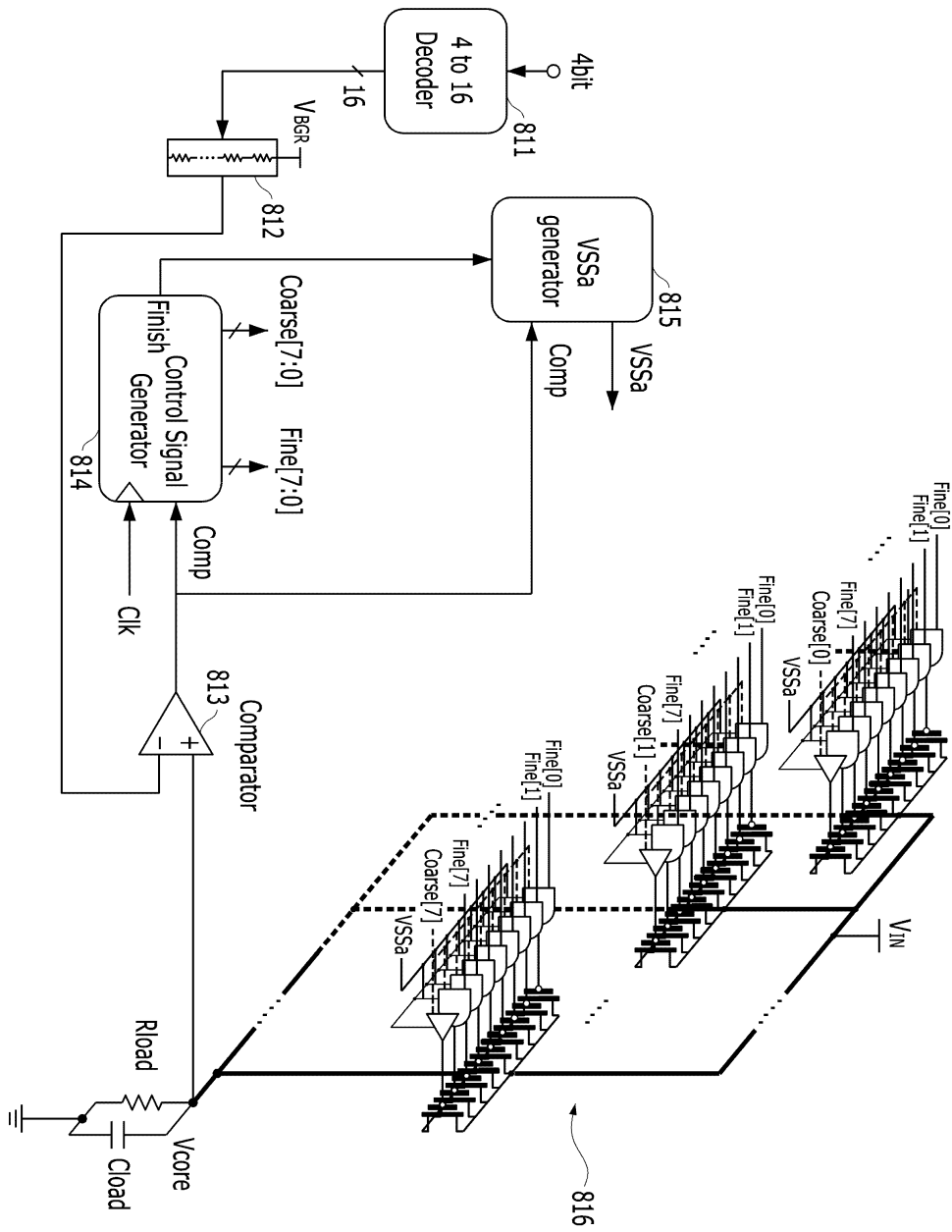
도면6



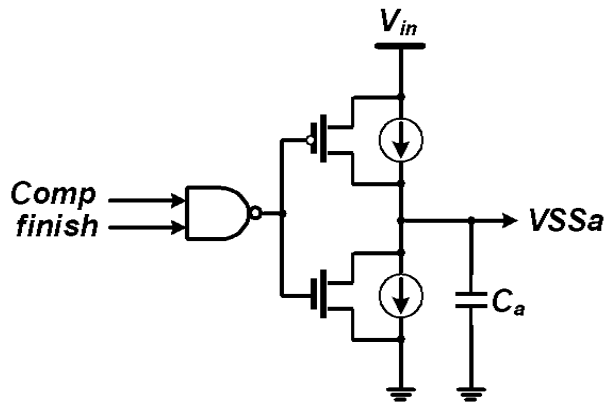
도면7



도면8



도면9



도면10

