

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3983939号

(P3983939)

(45) 発行日 平成19年9月26日(2007.9.26)

(24) 登録日 平成19年7月13日(2007.7.13)

(51) Int. Cl.

H03D 1/18 (2006.01)

F I

H03D 1/18

A

請求項の数 2 (全 9 頁)

(21) 出願番号	特願平11-181689	(73) 特許権者	000221199
(22) 出願日	平成11年6月28日(1999.6.28)		東芝マイクロエレクトロニクス株式会社
(65) 公開番号	特開2001-16040(P2001-16040A)		神奈川県川崎市川崎区駅前本町25番地1
(43) 公開日	平成13年1月19日(2001.1.19)	(73) 特許権者	000003078
審査請求日	平成15年1月28日(2003.1.28)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲

最終頁に続く

(54) 【発明の名称】 絶対値検波回路

(57) 【特許請求の範囲】

【請求項1】

エミッタとコレクタとが互いに並列に接続され、ベースに入力電圧が接続される第1のNPNトランジスタ及びベースに基準バイアス電圧が接続される第2のNPNトランジスタからなる第1の電流切替え回路と、ベースに前記基準バイアス電圧が接続される第3のNPNトランジスタと、前記第1、第2のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第1の抵抗と、前記第3のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第1の抵抗の他方の端子に接続された第2の抵抗と、前記第1、第2の抵抗の他方の端子と接地との間に接続された第1の電流源からなり、前記入力電圧が前記基準バイアス電圧よりも高いときは前記第1のNPNトランジスタがオン状態でかつ前記第2のNPNトランジスタがオフ状態、前記入力電圧が前記基準バイアス電圧よりも低いときは前記第1のNPNトランジスタがオフ状態でかつ前記第2のNPNトランジスタがオン状態となる第1の差動コンパレータと、

一端が前記第1、第2のNPNトランジスタの並列に接続されたコレクタに接続され、他端が電源電圧に接続された第2の電流源と、

前記第3のNPNトランジスタのコレクタと前記電源電圧との間に接続された第3の抵抗と、

エミッタとコレクタとが互いに並列に接続され、かつ並列に接続されたコレクタが前記第1、第2のトランジスタの並列に接続されたコレクタに接続され、ベースに前記基準バイアス電圧が接続される第4のNPNトランジスタ及びベースに前記入力電圧が接続され

10

20

る第5のNPNトランジスタからなる第2の電流切替え回路と、コレクタが前記第3のNPNトランジスタのコレクタに接続され、ベースに前記入力電圧が接続される第6のNPNトランジスタと、前記第4、第5のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第4の抵抗と、前記第6のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第4の抵抗の他方の端子に接続された第5の抵抗と、前記第4、第5の抵抗の他方の端子と前記接地との間に接続された第3の電流源からなり、前記基準バイアス電圧が前記入力電圧よりも高いときは前記第4のNPNトランジスタがオン状態でかつ前記第5のNPNトランジスタがオフ状態、前記基準バイアス電圧が前記入力電圧よりも低いときは前記第4のNPNトランジスタがオフ状態でかつ前記第5のNPNトランジスタがオン状態となる第2の差動コンパレータと、

10

前記第2の電流源の一端に接続され、前記第1、第2の差動コンパレータ内の前記第1、第2及び第4、第5のNPNトランジスタのうちオン状態になるNPNトランジスタのオン電流の和と前記第2の電流源の電流との差を出力側に折り返すカレントミラー回路と、

前記カレントミラー回路の出力側と前記基準バイアス電圧との間に接続された第6の抵抗とを具備し、

前記カレントミラー回路の出力側と前記第6の抵抗との接続点から出力電圧が取り出されることを特徴とする絶対値検波回路。

【請求項2】

エミッタとコレクタとが互いに並列に接続され、ベースに入力電圧が接続される第1のNPNトランジスタ及びベースに基準バイアス電圧が接続される第2のNPNトランジスタからなる第1の電流切替え回路と、ベースに前記基準バイアス電圧が接続される第3のNPNトランジスタと、前記第1、第2のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第1の抵抗と、前記第3のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第1の抵抗の他方の端子に接続された第2の抵抗と、前記第1、第2の抵抗の他方の端子と接地との間に接続された第1の電流源からなる第1の差動コンパレータと、

20

一端が前記第1、第2のNPNトランジスタの並列に接続されたコレクタに接続され、他端が電源電圧に接続された第2の電流源と、

前記第3のNPNトランジスタのコレクタと前記電源電圧との間に接続された第3の抵抗と、

30

エミッタとコレクタとが互いに並列に接続され、かつ並列に接続されたコレクタが前記第1、第2のトランジスタの並列に接続されたコレクタに接続され、ベースに前記基準バイアス電圧が接続される第4のNPNトランジスタ及びベースに前記入力電圧が接続される第5のNPNトランジスタからなる第2の電流切替え回路と、コレクタが前記第3のNPNトランジスタのコレクタに接続され、ベースに前記入力電圧が接続される第6のNPNトランジスタと、前記第4、第5のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第4の抵抗と、前記第6のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第4の抵抗の他方の端子に接続された第5の抵抗と、前記第4、第5の抵抗の他方の端子と前記接地との間に接続された第3の電流源からなる第2の差動コンパレータと、

40

エミッタが前記電源電圧に接続され、ベース、コレクタが互いに接続され、コレクタが前記第2の電流源の一端に接続された第1のPNPトランジスタと、エミッタが前記電源電圧に接続され、ベースが前記第1のPNPトランジスタのベースに接続された第2のPNPトランジスタからなるカレントミラー回路と、

前記第2のPNPトランジスタのコレクタと前記基準バイアス電圧との間に接続された第6の抵抗とを具備し、

前記第2のPNPトランジスタのコレクタと前記第6の抵抗との接続点から出力電圧が取り出されることを特徴とする絶対値検波回路。

【発明の詳細な説明】

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は絶対値検波回路に係り、特に差動コンパレータと電流切替え回路とカレントミラー回路とを用いた絶対値検波回路、及び一般に入力電圧の変化を一定の電圧に変換する電圧変換回路に関するものである。

【 0 0 0 2 】

【 従来の技術 】

従来の検波回路には、入力電圧と基準バイアス電圧 V_B とを比較する差動コンパレータと電流切替え回路と複数のカレントミラー回路とを用いて、前記入力電圧が基準電圧 V_B に比べて正の側又は負の側のいずれであっても、出力電圧が前記 V_B を基準とする一定の電圧にクランプされる絶対値検波回路と呼ばれるものがある。

10

【 0 0 0 3 】

図2に従来の絶対値検波回路の1例を示す。図2の絶対値検波回路はNPNトランジスタ Q_{11} 、 Q_{12} 、 Q_{15} 、 Q_{16} 、 Q_{17} 、 Q_{18} 、 Q_{20} と、PNPトランジスタ Q_{13} 、 Q_{14} 、 Q_{19} 、 Q_{21} 、 Q_{22} と、電流源 $I_{11} \sim I_{14}$ と抵抗 R_{11} 、 R_{12} から構成される。

【 0 0 0 4 】

図2に示す従来の絶対値検波回路の動作は次の通りである。1対のNPNトランジスタ Q_{11} 、 Q_{12} 、電流源 $I_{11} \sim I_{14}$ 、及び抵抗 R_{11} からなる回路は、 Q_{11} のベースに入力電圧 V_{IN} を、 Q_{12} のベースに基準バイアス電圧 V_B を接続することにより差動コンパレータとして動作する。

20

【 0 0 0 5 】

例えば、入力電圧 V_{IN} が V_B より小さい場合には、差動コンパレータの出力電流により、次段の Q_{14} のベースからベース電流が引き出され、 Q_{13} のベースにベース電流が流入する。したがって Q_{13} はオフ状態となり、 Q_{15} 、 Q_{16} からなる第1のカレントミラー回路の作用により Q_{16} もオフ状態となる。

【 0 0 0 6 】

Q_{14} のコレクタ電流は、順方向のエミッタ接合から Q_{19} に流入し、 Q_{17} 、 Q_{18} からなる第2のカレントミラー回路により Q_{18} のコレクタ電流に折り返される。さらに、 Q_{18} のコレクタ電流は Q_{21} 、 Q_{22} からなる第3のカレントミラー回路により Q_{22} のコレクタ電流に折り返され、抵抗 R_{12} との接続点から出力電圧 V_{OUT} が出力される。

30

【 0 0 0 7 】

逆に入力電圧 V_{IN} が V_B より大きい場合には、差動コンパレータの出力電流により、次段の Q_{13} のベースからベース電流が引き出され、 Q_{14} のベースにベース電流が流入する。したがって Q_{14} はオフ状態となり、 Q_{13} のコレクタ電流が Q_{15} 、 Q_{16} からなる第1のカレントミラー回路の作用により Q_{16} のコレクタ電流に折り返される。

【 0 0 0 8 】

Q_{16} のコレクタ電流は、順方向の Q_{20} のエミッタ接合から引き出され、 Q_{19} 側には電流が流れない。したがって Q_{17} 、 Q_{18} からなる第2のカレントミラー回路により Q_{18} のコレクタ電流もオフ状態となる。 Q_{20} のコレクタ電流は Q_{21} 、 Q_{22} からなる第3のカレントミラー回路により Q_{22} のコレクタ電流に折り返され、抵抗 R_{12} との接続点から出力電圧 V_{OUT} が出力される。

40

【 0 0 0 9 】

このようにして差動コンパレータの他、 Q_{19} 及び Q_{20} からなる電流切り替え回路と、 $Q_{15} \sim Q_{18}$ 、 Q_{21} 、 Q_{22} からなる第1乃至第3のカレントミラー回路とを用いることにより、入力電圧 V_{IN} が基準電圧 V_B に比べて正の側、及び負の側のいずれであっても、出力電圧 V_{OUT} が前記 V_B を基準とする一定の電圧にクランプされる絶対値検波回路を構成することができる。

【 0 0 1 0 】

しかし、図2に示す従来の絶対値検波回路は素子数が多く、また、3個のカレントミラー回路による複雑な電流経路の折り返しの回数が多いため、性能のばらつきが生じ易いとい

50

う問題点があった。

【 0 0 1 1 】

【 発明が解決しようとする課題 】

上記したように従来の絶対値検波回路は素子数が多く、3個ののカレントミラー回路による複雑な電流経路の折り返しが行われるため、性能のばらつきが大きいという問題があった。

【 0 0 1 2 】

本発明は上記の問題点を解決すべくなされたもので、素子数が少なく電流切替え回路の構成が単純で、かつ性能ばらつきの原因となるカレントミラー回路の数が1個に限定された絶対値検波回路を提供することを目的とする。

【 0 0 1 3 】

【 課題を解決するための手段 】

本発明の絶対値検波回路は、エミッタとコレクタとが互いに並列に接続され、ベースに
入力電圧が接続される第1のNPNトランジスタ及びベースに基準バイアス電圧が接続さ
れる第2のNPNトランジスタからなる第1の電流切替え回路と、ベースに前記基準バイ
アス電圧が接続される第3のNPNトランジスタと、前記第1、第2のNPNトランジス
タの並列に接続されたエミッタに一方の端子が接続された第1の抵抗と、前記第3のNP
Nトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第1の抵抗の他方
の端子に接続された第2の抵抗と、前記第1、第2の抵抗の他方の端子と接地との間に接
続された第1の電流源からなり、前記入力電圧が前記基準バイアス電圧よりも高いときは
前記第1のNPNトランジスタがオン状態でかつ前記第2のNPNトランジスタがオフ状
態、前記入力電圧が前記基準バイアス電圧よりも低いときは前記第1のNPNトランジス
タがオフ状態でかつ前記第2のNPNトランジスタがオン状態となる第1の差動コンパレ
ータと、一端が前記第1、第2のNPNトランジスタの並列に接続されたコレクタに接続
され、他端が電源電圧に接続された第2の電流源と、前記第3のNPNトランジスタのコ
レクタと前記電源電圧との間に接続された第3の抵抗と、エミッタとコレクタとが互いに
並列に接続され、かつ並列に接続されたコレクタが前記第1、第2のトランジスタの並列
に接続されたコレクタに接続され、ベースに前記基準バイアス電圧が接続される第4のN
PNトランジスタ及びベースに前記入力電圧が接続される第5のNPNトランジスタから
なる第2の電流切替え回路と、コレクタが前記第3のNPNトランジスタのコレクタに接
続され、ベースに前記入力電圧が接続される第6のNPNトランジスタと、前記第4、第
5のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第4の抵
抗と、前記第6のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が
前記第4の抵抗の他方の端子に接続された第5の抵抗と、前記第4、第5の抵抗の他方
の端子と前記接地との間に接続された第3の電流源からなり、前記基準バイアス電圧が前記
入力電圧よりも高いときは前記第4のNPNトランジスタがオン状態でかつ前記第5のN
PNトランジスタがオフ状態、前記基準バイアス電圧が前記入力電圧よりも低いときは前
記第4のNPNトランジスタがオフ状態でかつ前記第5のNPNトランジスタがオン状態
となる第2の差動コンパレータと、前記第2の電流源の一端に接続され、前記第1、第2
の差動コンパレータ内の前記第1、第2及び第4、第5のNPNトランジスタのうちオン
状態になるNPNトランジスタのオン電流の和と前記第2の電流源の電流との差を出力側
に折り返すカレントミラー回路と、前記カレントミラー回路の出力側と前記基準バイアス
電圧との間に接続された第6の抵抗とを具備し、前記カレントミラー回路の出力側と前記
第6の抵抗との接続点から出力電圧が取り出されることを特徴とする。

【 0 0 1 5 】

本発明の絶対値検波回路は、エミッタとコレクタとが互いに並列に接続され、ベースに
入力電圧が接続される第1のNPNトランジスタ及びベースに基準バイアス電圧が接続さ
れる第2のNPNトランジスタからなる第1の電流切替え回路と、ベースに前記基準バイ
アス電圧が接続される第3のNPNトランジスタと、前記第1、第2のNPNトランジス
タの並列に接続されたエミッタに一方の端子が接続された第1の抵抗と、前記第3のNP

10

20

30

40

50

Nトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第1の抵抗の他方の端子に接続された第2の抵抗と、前記第1、第2の抵抗の他方の端子と接地との間に接続された第1の電流源からなる第1の差動コンパレータと、一端が前記第1、第2のNPNトランジスタの並列に接続されたコレクタに接続され、他端が電源電圧に接続された第2の電流源と、前記第3のNPNトランジスタのコレクタと前記電源電圧との間に接続された第3の抵抗と、エミッタとコレクタとが互いに並列に接続され、かつ並列に接続されたコレクタが前記第1、第2のトランジスタの並列に接続されたコレクタに接続され、ベースに前記基準バイアス電圧が接続される第4のNPNトランジスタ及びベースに前記入力電圧が接続される第5のNPNトランジスタからなる第2の電流切替え回路と、コレクタが前記第3のNPNトランジスタのコレクタに接続され、ベースに前記入力電圧が接続される第6のNPNトランジスタと、前記第4、第5のNPNトランジスタの並列に接続されたエミッタに一方の端子が接続された第4の抵抗と、前記第6のNPNトランジスタのエミッタに一方の端子が接続され、他方の端子が前記第4の抵抗の他方の端子に接続された第5の抵抗と、前記第4、第5の抵抗の他方の端子と前記接地との間に接続された第3の電流源からなる第2の差動コンパレータと、エミッタが前記電源電圧に接続され、ベース、コレクタが互いに接続され、コレクタが前記第2の電流源の一端に接続された第1のPNPトランジスタと、エミッタが前記電源電圧に接続され、ベースが前記第1のPNPトランジスタのベースに接続された第2のPNPトランジスタからなるカレントミラー回路と、前記第2のPNPトランジスタのコレクタと前記基準バイアス電圧との間に接続された第6の抵抗とを具備し、前記第2のPNPトランジスタのコレクタと前記第6の抵抗との接続点から出力電圧が取り出されることを特徴とする。

10

20

【0022】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。図1に本発明の第1の実施の形態に係る絶対値検波回路の構成を示す。この絶対値検波回路は、NPNトランジスタ $Q_1 \sim Q_6$ と、PNPトランジスタ Q_7 、 Q_8 と、電流源 $I_1 \sim I_3$ と、抵抗 $R_1 \sim R_6$ から構成される。ここで R_3 はサージ等による過電流を回避する保護抵抗である。

【0023】

本発明の絶対値検波回路は、第1の電流切替え回路を含む第1の差動コンパレータと、第2の電流切替え回路を含む第2の差動コンパレータと、前記第1、第2の電流切替え回路の出力電流の和の一部を絶対値検波回路の出力側に折り返す1個のカレントミラー回路とを備えている。

30

【0024】

前記第1の差動コンパレータは、NPNトランジスタ $Q_1 \sim Q_3$ を備え、NPNトランジスタ Q_1 、 Q_2 のエミッタとコレクタとが互いに並列に接続され、この並列に接続された Q_1 、 Q_2 のエミッタが抵抗 R_1 の一方の端子に接続され、 Q_3 のエミッタが抵抗 R_2 の一方の端子に接続され、抵抗 R_1 、 R_2 の他方の端子が電流源 I_1 の一方の端子に並列に接続され、電流源 I_1 の他方の端子が接地される。

【0025】

また、前記並列に接続された Q_1 、 Q_2 のコレクタは電流源 I_2 を介して電源電圧 V_{cc} に接続され、 Q_3 のコレクタは、前記保護抵抗 R_3 を介して電源電圧 V_{cc} に接続される。このようにして、前記第1の差動コンパレータにNPNトランジスタ Q_1 、 Q_2 からなる第1の電流切替え回路が形成される。

40

【0026】

前記第2の差動コンパレータは、NPNトランジスタ $Q_4 \sim Q_6$ を備え、NPNトランジスタ Q_4 、 Q_5 のエミッタとコレクタとが互いに並列に接続され、この並列に接続された Q_4 、 Q_5 のエミッタが抵抗 R_4 の一方の端子に接続され、 Q_6 のエミッタが抵抗 R_5 の一方の端子に接続され、抵抗 R_4 、 R_5 の他方の端子が電流源 I_3 の一方の端子に並列に接続され、電流源 I_3 の他方の端子が接地される。

【0027】

50

また、並列に接続された Q_4 、 Q_5 のコレクタは、先に説明した第 1 の差動コンパレータと同様に、前記電流源 I_2 を介して電源電圧 V_{cc} に接続され、 Q_6 のコレクタは、前記保護抵抗 R_3 を介して電源電圧 V_{cc} に接続されることにより前記第 2 の差動コンパレータに NPN トランジスタ Q_4 、 Q_5 からなる第 2 の電流切替え回路が形成される。

【0028】

前記 1 個のカレントミラー回路は PNP トランジスタ Q_7 、 Q_8 と抵抗 R_6 からなり、 Q_7 、 Q_8 のエミッタは V_{cc} 電源に並列に接続され、 Q_7 、 Q_8 のベースは Q_7 のコレクタに並列に接続され、 Q_7 のコレクタは電流源 I_2 の一方の端子に接続される。先に述べたように、前記電流源 I_2 の一方の端子には前記第 1、第 2 の電流切り替え回路が並列に接続されているので、前記電流源 I_2 を流れる電流 i_0 と前記カレントミラー回路を流れる電流 i_Σ の和は、前記第 1、第 2 の電流切り替え回路を流れる電流の和に等しい。

10

【0029】

Q_8 のコレクタは抵抗 R_6 の一方の端子に接続され、 R_6 の他方の端子は基準バイアス電圧 V_B に接続され、 Q_8 のコレクタと R_6 との接続点から出力電圧 V_{OUT} が取り出される。

【0030】

この 1 個のカレントミラー回路により、前記第 1 の差動コンパレータに含まれる Q_1 、 Q_2 からなる第 1 の電流切替え回路のオン電流と第 2 の差動コンパレータに含まれる Q_4 、 Q_5 からなる第 2 の電流切替え回路のオン電流の和と、前記第 2 の電流源の電流 i_0 との差の電流 i_Σ を出力側に折り返し、PNP トランジスタ Q_8 のコレクタと抵抗 R_6 の接続点から、 Q_8 と R_6 により V_B を基準として電圧増幅された出力電圧 V_{OUT} を得ることができる。

20

【0031】

以上定性的に説明した本発明の第 1 の実施の形態に係る絶対値検波回路の回路動作は、次のように定量的に解析することができる。図 1 において、NPN トランジスタ $Q_1 \sim Q_6$ のエミッタ抵抗 R_1 、 R_2 、 R_4 、 R_5 が全て R に等しいと仮定し、電流源 I_1 、 I_2 、 I_3 に流れる電流を i_0 、入力電圧を V_{IN} 、基準バイアス電圧を V_B とする。

【0032】

[1] $V_{IN} > V_B$ の場合

NPN トランジスタ $Q_1 \sim Q_6$ のコレクタ電流をそれぞれ $i_1 \sim i_6$ とする。電流源 I_1 により駆動される NPN トランジスタ $Q_1 \sim Q_3$ 及び抵抗 R_1 、 R_2 からなる正側入力第 1 の差動コンパレータにおいて、NPN トランジスタ Q_2 がオフ状態と考えれば次の関係が成り立つ。

30

【0033】

$$\begin{aligned} V_{IN} &= \{ V_T \ln(i_1 / I_s) + i_1 R \} \\ &= V_B - \{ V_T \ln(i_3 / I_s) + i_3 R \} \quad \dots (1) \end{aligned}$$

ここで $V_T = kT/q$ (k はボルツマン定数、 T は絶対温度、 q は電子電荷)、 I_s はエミッタ接合の逆方向飽和電流である。 $i_3 = i_0 - i_1$ の関係を用いて式 (1) を変形すれば、

$$V_T \ln(i_3 / i_1) = V_{IN} - V_B + R(i_0 - 2i_1) \quad \dots (2)$$

40

ここで $V_T \ln(i_3 / i_1) \ll Ri_1$ であるから、

$$i_1 = (V_{IN} - V_B + Ri_0) / 2R \quad \dots (3)$$

同様に電流源 I_3 によって駆動される NPN トランジスタ $Q_4 \sim Q_6$ 及び抵抗 R_4 、 R_5 からなる負側入力第 2 の差動コンパレータの出力電流は、NPN トランジスタ Q_4 がオフ状態と考えれば、

$$i_5 = i_0 / 2 \quad \dots (4)$$

したがって、ベース電流を無視すれば、PNP トランジスタ Q_7 、 Q_8 で構成されるカレントミラー回路に供給される電流 i_Σ は次のようになる。

【0034】

$$i_\Sigma = i_1 + i_5 - i_0$$

50

$$= (V_{IN} - V_B) / 2R \quad \dots (5)$$

[2] $V_{IN} < V_B$ の場合

[1] と同様に正側入力の第1の差動コンパレータの出力電流は、NPNトランジスタ Q_1 がオフ状態と考えれば、

$$i_2 = i_0 / 2 \quad \dots (6)$$

同様に負側入力の第2の差動コンパレータ出力電流はNPNトランジスタ Q_5 がオフ状態と考えれば、

$$\begin{aligned} V_{IN} - \{ V_T \ln(i_6 / I_s) + i_6 R \} \\ = V_B - \{ V_T \ln(i_4 / I_s) + i_4 R \} \quad \dots (7) \end{aligned}$$

$i_6 = i_0 - i_4$ の関係を用いて式(7)を変形すれば、

$$V_T \ln(i_6 / i_4) = V_B - V_{IN} + R(2i_4 - i_0) \quad \dots (8)$$

ここで、 $V_T \ln(i_4 / i_6) \ll Ri_4$ であるから、

$$I_4 = (V_B - V_{IN} + Ri_0) / 2R \quad \dots (9)$$

したがって、ベース電流を無視すれば、PNPトランジスタ Q_7 、 Q_8 で構成されるカレントミラー回路に供給される電流 i_Σ は次のようになる。

【0035】

$$\begin{aligned} i_\Sigma &= i_2 + i_4 - i_0 \\ &= (V_B - V_{IN}) / 2R \quad \dots (10) \end{aligned}$$

i_Σ に関する式(5)、及び式(10)の結果から、任意の基準バイアス電圧 V_B で決定される絶対値出力が得られることがわかる。また、出力段の負荷抵抗 R_6 により、入出力の電圧利得を任意に設定することができる。

【0036】

なお本発明は上記の実施の形態に限定されることはない。例えば上記第1の実施の形態において、NPN及びPNPトランジスタを組み合わせることで絶対値検波回路を構成したが、これらのバイポーラトランジスタの導電型を反転しても同様な動作を実現することができる。また、必ずしもバイポーラトランジスタに限定されるものではなく、Nチャネル型、及びPチャネル型のMOSトランジスタを用いても同様な動作を実現することができる。その他本発明の要旨を逸脱しない範囲で種々変形して実施することができる。

【0037】

【発明の効果】

上述したように本発明の絶対値検波回路によれば、素子数が少なく電流切替え回路の構成が単純で、かつ性能ばらつきの原因となるカレントミラー回路の数が1個に限定された絶対値検波回路を提供することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る絶対値検波回路の回路構成を示す図。

【図2】従来の絶対値検波回路の回路構成を示す図。

【符号の説明】

$Q_1 \sim Q_6$... NPNトランジスタ

Q_7 、 Q_8 ... PNPトランジスタ

$I_1 \sim I_3$... 電流源

$R_1 \sim R_6$... 抵抗

$i_0 \sim i_6$... 電流

Q_{11} 、 Q_{12} 、 Q_{15} 、 Q_{16} 、 Q_{17} 、 Q_{18} 、 Q_{20} ... NPNトランジスタ

Q_{13} 、 Q_{14} 、 Q_{19} 、 Q_{21} 、 Q_{22} ... PNPトランジスタ

$I_{11} \sim I_{14}$... 電流源

R_{11} 、 R_{12} ... 抵抗

V_{CC} ... 電源電圧

V_B ... 基準バイアス電圧

GND ... 接地

V_{IN} ... 入力電圧

10

20

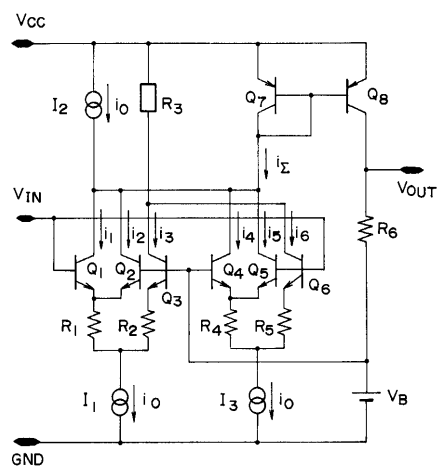
30

40

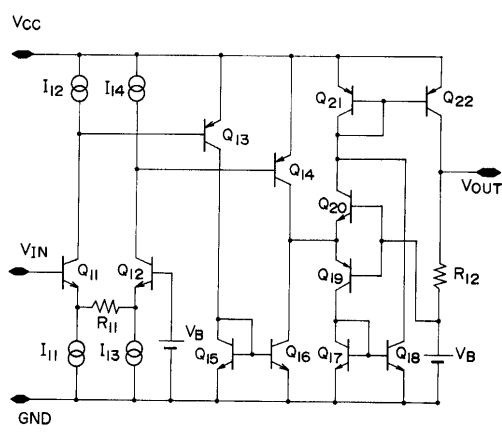
50

V_{OUT} ... 出力電圧

【図 1】



【図 2】



フロントページの続き

(74)代理人 100088683

弁理士 中村 誠

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 花岡 知史

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

(72)発明者 白庄司 英明

神奈川県川崎市川崎区駅前本町2-5番地1 東芝マイクロエレクトロニクス株式会社内

審査官 白井 孝治

(58)調査した分野(Int.Cl., D B名)

H03D 1/00 ~ 1/28