

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) Int. Cl.<sup>6</sup>

G02F 1/133

(45) 공고일자 1998년 12월 15일

(11) 등록번호 특0158260

(24) 등록일자 1998년 08월 04일

(21) 출원번호 특1995-043742

(22) 출원일자 1995년 11월 25일

(65) 공개번호 특1997-028666

(43) 공개일자 1997년 06월 24일

(73) 특허권자 엘지전자주식회사 구자홍

서울시 영등포구 여의도동 20번지

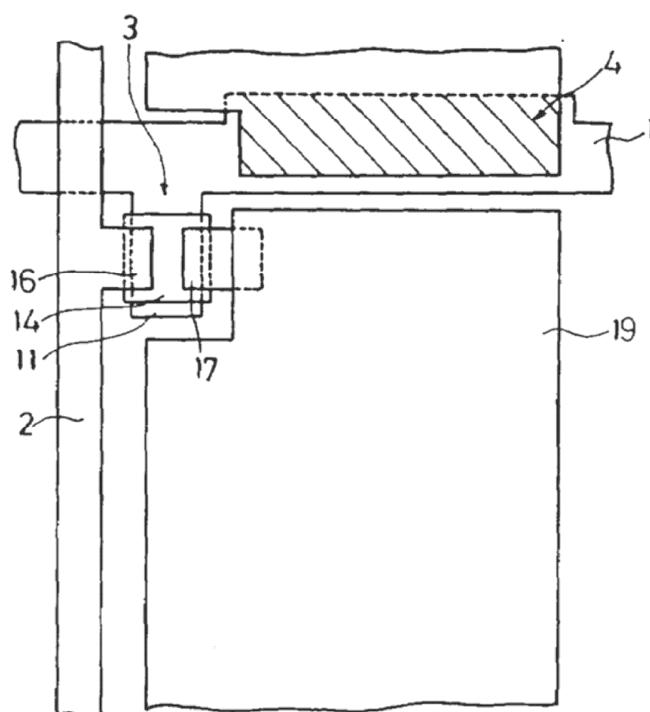
(72) 발명자 오영진

서울시 중랑구 면목 8동 동남연립 나-204

(74) 대리인 양순석

**심사관 : 강해성****(54) 엑티브 매트릭스 액정표시장치의 매트릭스 어레이 및 제조방법****요약**

본 발명은 엑티브 매트릭스 액정표시장치의 매트릭스 어레이 및 그 제조방법에 관한 것으로, 매트릭스 어레이의 버스라인과 박막 트랜지스터의 최적 구조 설계를 통하여 개구율(Aperture ratio)을 향상시키고 소비전력을 감소시키고, 휴드를 증가시키며, 반사도를 낮추어 콘트라스트(contrast)비를 개선하기 위하여, 채널이 비직선적으로 형성되어 채널길이를 늘일 수 있도록 박막 트랜지스터를 게이트 버스라인 위에 형성시키며, 소오스 전극과 드레인 전극이 두면에서 대면되도록 형성한 것이다.

**대표도****형세서**

[발명의 명칭]

엑티브 매트릭스 액정표시장치의 매트릭스 어레이 및 제조방법

[도면의 간단한 설명]

제1도는 종래의 엑티브 매트릭스 액정표시장치의 매트릭스 어레이의 평면도.

제2도는 제1도의 절단선 I-I에 따른 단면도.

제3도는 본 발명의 액티브 매트릭스 액정표시장치의 매트릭스 어레이 실시예의 평면도.

제4도는 본 발명의 제조공정을 예시한 공정단면도.

제5도는 본 발명의 제조공정을 예시한 공정단면도.

제6도는 본 발명의 액티브 매트릭스 액정표시장치의 매트릭스 어레이의 다른 실시예에 대한 평면도.

\* 도면의 주요부분에 대한 부호의 설명

1,50 : 게이트 버스라인	2,60 : 데이터 버스라인
3,70 : 박막 트랜지스터	4,80 : 보조용량 캐패시터
10,30 : 절연기판	11,31 : 게이트 전극
12,33,34 : 신화절연막	13,35 : 제1절연막
14,36 : 비정질실리콘층	15,37 : 도핑된 비정질실리콘층
16,38 : 소오스 전극	17,39 : 드레인 전극
18,42 : 패시베이션층	19,45 : 화소전극
32 : 제1보조용량 캐패시터 전극	40 : 제2보조용량 캐패시터 전극
41 : 블랙 매트리스	43,44 : 콘택틀
46 : 채널영역	

[발명의 상세한 설명]

본 발명은 액티브 매트릭스 액정표시장치(AMLCD : Active Matrix Liquid Crystal Display)의 매트릭스 어레이에 관한 것으로, 매트릭스 어레이의 버스라인과 박막 트랜지스터의 최적 구조 설계를 통하여 개구율(Aperture ratio)을 향상시켜 소비전력을 감소시키고, 휴도를 증가시키며, 반사도를 낮추어 콘트라스트(contrast)비를 개선한 액티브 매트릭스 액정표시장치의 매트릭스 어레이 및 제조방법에 관한 것이다.

액티브 매트릭스 액정표시장치의 매트릭스 어레이에는 박막 트랜지스터와 같은 스위칭 소자와, 이에 전기적으로 연결되어 있으며 빛을 투과하거나 반사하는 화소(pixel)전극을 기본단위로 하는 화소가 종횡으로 배열된 구조를 가진다. 이때, 화소의 특성을 향상시키기 위하여 보조용량 캐패시터(storage capacitor)를 부가하여 형성하는 경우도 있다. 또한, 이러한 화소를 서로 연결하는 복수개의 게이트 버스라인과 복수개의 데이터 버스라인 및 각 게이트 버스라인과 각 데이터 버스라인의 끝단에 형성된 복수개의 패드 등이 포함된 구조이다.

제1도의 (가)와 같이, 종래의 일반적인 액티브 매트릭스 액정표시장치의 매트릭스 어레이의 각 화소는 서로 교차하는 게이트 버스라인(1)과 데이터 버스라인(2)이 있고, 게이트 버스라인(1)으로부터 돌출 형성된 게이트 전극(11)과, 게이트 전극 중첩하는 도상(島狀)의 비정질 실리콘층(14)과, 데이터 버스라인(2)으로부터 돌출 형성된 소오스 전극(16)과, 소오스 전극(16)에 대응 형성된 드레인 전극(17)을 포함하는 박막 트랜지스터(3)와, 드레인 전극(17)에 연결되어 형성된 화소전극(19)을 가지며, 이웃하는 게이트 버스라인(1)의 일부영역인 제1 보조용량 캐패시터 전극과, 제1전극과 절연층을 사이에 두고 중첩하는 화소전극(19)을 제2 보조용량 캐패시터 전극으로 하는 보조 용량 캐패시터(4)를 가진다.

한편, 제1도의 (나)와 같이, 종래 액티브 매트릭스 액정표시장치의 매트릭스 어레이에 형성되는 박막 트랜지스터는 절연 기판(10)위에 형성된 게이트 버스라인의 돌기부인 게이트 전극(11)과, 게이트 전극(11)과 절연기판(10)의 노출된 표면상에 형성된 제1 절연막(13)과, 제1 절연막(13) 위에 형성되어 채널이 생성되는 도핑되지 않은 비정질실리콘층(14)과 도핑된 비정질실리콘층(15)가 있고, 도핑된 비정질실리콘층(15)위에 하부의 게이트 전극(11)과 일부 중첩되게 형성된 소오스 전극(16)과, 소오스 전극(16)에 대칭적으로 게이트전극(11)과 일부 중첩되게 형성된 드레인 전극(17)과, 소오스/드레인 전극(16), (17)의 상부에 형성되어 절연기판을 보호하는 패시베이션(Passivation)층(18)과, 패시베이션층(18)에 형성시킨 콘택틀을 통하여 드레인전극(17)과 연결 형성된 화소전극(19)이 있다. 주로, 게이트 전극(11)은 양극 산화가 가능한 도전율질로 형성하여 게이트 전극의 표면에 산화절연막(12)이 형성되어 있다.

액티브 매트릭스 액정표시장치는 고화질을 구현하기 위하여 고개구율이 요구된다. 개구율이란 화소면적 중 실제 빛이 투과하는 면적의 비이다.

일반적으로 게이트 버스라인, 데이터 버스라인, 그리고 박막 트랜지스터 및 보조 용량 캐패시터의 각 전극부는 불투명한 도전율질로 형성되는데, 게이트 버스라인, 데이터 버스라인 및 박막 트랜지스터 영역의 크기(폭)은 전류전달능력과 관련이 있고, 보조 용량 캐패시터의 크기는 화소에 인가된 전압 유지와 플리커(Flicker)감소 효과 등과 관련되므로, 위에 열거된 불투명한 영역의 축소에는 한계가 있어 개구율 향상에 제한요소로 작용한다.

그래서, 종래에 게이트 버스라인 위에 박막 트랜지스터를 형성하여 개구율을 높이고자 하는 기술이 제안된 바 있다. 도면은 도시하지 않았지만, 이러한 박막 트랜지스터의 구조는 직선형 게이트 버스라인의 일부영역인 게이트 전극과, 그 상부에 형성된 제1 절연막과, 제1 절연막 위에 도상으로 형성된 반도체층과, 반도체층 위에 서로 마주하여 형성된 소오스/드레인 전극으로 이루어지며, 소오스 전극은 데이터 라인에 돌기부를 형성하여 게이트 전극과 일부 중첩되도록 형성한 구조이고, 드레인 전극은 화소전극과 연결되며 게이트 전극과 일부 중첩되도록 형성한 구조이다. 따라서, 불투명 영역인 게이트 전극을 별도로 형성하지 않고 게이트 버스라인의 일부 영역을 이용하므로서 개구율을 향상시킬 수 있다.

하지만, 게이트 버스라인 위에 박막 트랜지스터를 형성한 종래의 액티브 매트릭스 액정표시장치는 박막

트랜지스터의 구조에 있어서, 게이트 버스라인/절연층/소오스전극 및 드레인 전극의 MIM(Metal-Insulator-Metal)구조로 인하여 기생 용량(parasitic capacitor)이 발생되는데, 그 중 화소전극과 연결된 드레인 전극과 게이트 라인사이에 발생되는 기생 용량  $C_{gd}$ 는 그 용량 크기가

$$C_{gd} = \epsilon \frac{A_{gd}}{d_{gd}} \quad \dots \quad ①$$

으로, 액정의 유전율 이방성에 의해 나타나는 화소전압의 레벨시프트값인  $\Delta V_p$ 의 값을 결정하는 요소이다. 식 ①에서,  $\epsilon$ 는 게이트 전극과 드레인 전극 사이에 형성된 유전층 즉 제1 절연막 및 산화절연막의 유전율(dielectric constant)이고,  $A_{gd}$ 는 게이트 전극과 드레인 전극이 겹치는 부위의 면적이고,  $d_{gd}$ 는 게이트 전극과 드레인 전극간의 거리를 의미한다.

한편, 기생 용량  $C_{gd}$ 와  $\Delta V_p$ 의 관계는

$$\Delta V_p = V_{sc} - V_{pc} = V_s \frac{C_t}{C_t} \quad \dots \quad ②$$

이다. 식 ②에서, 전압  $V_{sc}$ 는 신호 전압의 중간치(center voltage of signal voltage)이며, 전압  $V_{pc}$ 는 픽셀 전극에 걸리는 전압의 중간치(center voltage of pixel electrode)이고, 전압  $V_s$ 는 게이트 전극에 걸리는 전압이고, 전체용량  $C_t$ 는  $C_{gd} + C_s$ (보조용량) +  $C_{LC}$ (액정용량)이다.

식 ②에서 기생용량  $C_{gd}$ 가 보조용량  $C_s$ 나 액정용량  $C_{LC}$ 에 비하여 매우 작다고 하면, 분모  $C_t = C_s + C_{LC}$ 가 되어 상수(constant)라고 가정할 수 있다. 따라서, 픽셀 레벨시프트값인  $\Delta V_p$ 의 크기는 기생 용량  $C_{gd}$ 의 크기에 비례함을 볼 수 있다.

$\Delta V_p$ 는 액정표시장치의 잔상, 화소간 불균일, 신뢰성 열화 등의 불량을 유발시키는 요인으로, 좋은 화상을 얻기 위해서는  $\Delta V_p$ 의 크기를 낮추어야 한다. 식 ②에 의하면,  $\Delta V_p$ 의 값을 낮추기 위해서는 기생 용량  $C_{gd}$ 의 값을 낮추어야 하는데, 식 ①에 의하여, 제1 절연막의 유전율( $\epsilon$ )을 낮추거나, 거리  $d_{gd}$ 의 값을 크게하거나, 게이트 전극과 드레인 전극이 겹치는 면적  $A_{gd}$ 를 줄이는 방법이 있을 수 있다. 하지만, 앞의 두 가지 방법은 소자의 다른 전기적 특성을 변화시킬 수 있다.

그래서, 본 발명은 박막 트랜지스터를 게이트 버스라인 위에 형성시켜 고개구율화를 추구하면서, 종래와 같은 기생 용량  $C_{gd}$ 가 커지는 문제점을 해결할 수 있는 구조의 박막 트랜지스터를 가지는 액티브 매트릭스 액정표시장치의 매트릭스 어레이를 제공하고자 안출되었다.

본 발명은 절연기판과, 절연기판 상에 게이트 전극인 복수개의 제1영역과, 이웃하는 상기 제1영역들을 서로 연결하는 복수개의 제2영역을 가지는 게이트 버스 라인과, 게이트 버스 라인과 상기 절연기판의 노출된 표면에 형성된 제1 절연막과, 제1 절연막 위에서, 적어도 게이트 버스 라인의 제1영역과 중첩하게 형성된 도상의 반도체층과, 반도체층 위에서, 게이트 버스라인의 제1영역과 교차하며, 게이트 버스라인의 제1영역 상부에서 게이트 버스라인 형성 방향의 돌기부를 가지는 데이터 버스라인과, 데이터 버스라인의 돌기부와 그 일측인 소오스 전극과, 반도체층 위에서 소오스 전극에 대응하도록 형성된 드레인 전극을 포함하여 이루어지는 복수개의 박막 트랜지스터와, 드레인 전극에 연결된 화소전극과, 게이트 버스라인의 제2영역의 일부를 제1보조용량 캐패시터 전극으로 하는 복수개의 보조용량 캐패시터를 구비하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이이다.

또한, 본 발명은 위에서 기술한 액티브 매트릭스 액정표시장치의 매트릭스 어레이를 제조하기 위하여, 먼저, 절연기판 위에 게이트 버스 라인을 형성하는 단계와, 게이트 버스 라인과 절연기판의 노출된 표면에 제1 절연막을 형성하는 단계와, 제1 절연막 위에 수소화된 비정질 실리콘층과 도핑된 비정질 실리콘층을 적층한 후, 게이트 버스라인 상의 채널 형성부위와 보조용량 캐패시터 형성부위 만을 제외하고 개거하는 단계와, 도핑된 비정질 실리콘층과 제1 절연막의 노출된 표면 위에 소오스/드레인 전극 형성금속을 적층한 후, 게이트 버스라인과 수직하게 교차하며, 게이트 버스라인과 평행한 돌기부를 가지는 데이터 버스 라인과, 데이터 버스라인 돌기부와 그 일측과 동일한 거리를 유지하며, 게이트 버스라인과 일부 중첩되는 드레인 전극과, 보조용량 캐패시터의 도핑된 비정질 실리콘층 위에 제2 보조용량 캐패시터 전극을 형성하는 단계와, 드레인 전극과 데이터 버스라인과 그 돌기부를 마스크로 도핑된 비정질 실리콘층을 제거하는 단계를 포함하는 일련의 공정을 진행하여 박막 트랜지스터를 제조하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이 제조방법이다.

제3도는 본 발명의 액티브 매트릭스 액정표시장치의 매트릭스 어레이의 일실시예로서, 편의상 하나의 화소를 중심으로 도시하였다. 절연기판(도면 미도시)상에 직선형태의 게이트 버스라인(50)이 지나가고, 게이트 버스라인(50)에 교차하여 지나가는 데이터 버스라인(60)이 있다. 데이터 버스라인(60)은 게이트 버스라인(50)과 중첩되는 영역에서 게이트 버스라인(50)의 길이방향과 같은 방향의 돌기부(60-1)를 가진다. 또한, 데이터 버스라인의 돌기부(60-1) 및 그 일측의 데이터 버스라인으로 구성되는 소오스 전극(38)에 대응하여 드레인 전극(39)이 형성되어 있고, 드레인 전극(39)은 콘택홀(43)을 통하여 상부의 화소전극(45)에 연결된다. 이 때, 드레인 전극(39)은 게이트 버스라인(50)과 일부영역이 중첩되며, 데이터 버스라인의 돌기부(60-1)와 데이터 버스라인(60)으로부터 동일한 거리를 가지도록 형성된다. 데이터 버스라인(60) 및 데이터 버스라인의 돌기부(60-1)와 드레인 전극(39)의 하부에는 비정질 실리콘층(36)이 도상으로 형성되어 있어, 채널영역(46)이 비직선적으로 된다.

미설명 부호 70은 박막 트랜지스터 영역 전체를 가리킨다.

한편, 보조 용량 캐패시터(80)은 다음단 게이트 버스라인(50)상에 형성되는데, 최하부에 제1 보조용량 캐패시터 전극인 게이트 버스라인(50)과, 제2 보조용량 캐패시터 전극(40)이 제1 절연막(도면 미도시)과 비정질실리콘층 및 도핑된 비정질 실리콘층(도면 미도시)을 사이에 두고 형성되어 있다. 제2 보조용량 캐패시터 전극(40)은 패시베이션층(도면 미도시)으로 덮히고, 패시베이션층에 형성된 콘택홀(44)을 통하여 화소전극(45)과 연결된다.

또한, 제3도의 실시예는 블랙매트릭스(B/M : Black matrix)층(41)을 하부기판에 적용한 구조를 예로 든 것으로, 데이터 버스라인(60)과 게이트 버스라인(50)의 일부영역 및 화소전극(45)의 일부영역과 겹치도록 블랙매트릭스(41)가 형성된다.

제4도 및 제5도는 본 발명의 액티브 매트릭스 액정표시장치의 매트릭스 어레이 제조방법의 일실시예를 도시한 것으로, 제4도는 제3도의 절단선 II-II를 따라 절단한 단면도이고, 제5도는 절단선 III-III를 따라 절단한 단면도이다.

먼저, 제4도의 (a)와 제5도의 (a)와 같이, 투명기판(30)상에 스퍼터(sputter)장비를 이용하여 제1 도전물질층을 형성하고 패터닝하여 게이트 버스라인의 일부영역인 게이트 전극(31) 및 제1 보조용량 캐패시터 전극(32)을 형성한다. 제1 금속물질로는 알루미늄(Al), 알루미늄 합금, 몰리브덴(Mo), 몰리브덴 합금 또는 양극산화 가능한 금속중 하나를 사용한다.

이어서, 제4도의 (b)와 제5도의 (b)와 같이, 게이트 전극(31) 및 제1 보조용량 캐패시터 전극(32)을 양극산화하여 각각의 표면에 산화절연막(33)(34)을 형성한다. 다음으로, 산화절연막(33)(34) 및 절연기판(30)의 노출된 표면에 실리콘 산화막 또는 실리콘 질화막을 이용하여 단일 또는 이중 절연층을 형성하여 제1절연막(35)을 형성한다.

다음으로, 제4도의 (c)와 제5도의 (c)와 같이, 제1절연막 위에 수소화된 비정질 실리콘(a-Si:H)와 도핑된 비정질 실리콘(n+ a-Si:H)을 연속으로 적층한 후, 식각공정으로 패터닝하여 박막 트랜지스터의 게이트 전극(31) 상부 및 보조용량 캐패시터 전극(32)과 중첩되게 수소화된 비정질 실리콘층(36)과 도핑된 비정질 실리콘층(37)을 형성한다.

다음으로, 제4도의 (d)와 제5도의 (d)와 같이, 수소화된 비정질 실리콘층(36), 도핑된 비정질 실리콘층(37) 및 제1절연막(35) 상부에 제2도전물질을 적층하고, 패터닝하여 돌기부를 가지는 데이터 버스라인(60)과 드레인 전극(39) 및 제2 보조용량 캐패시터 전극(40)을 형성한다. 이때, 데이터 버스라인(60)의 돌기부 및 돌기부 측부의 데이터 버스라인영역이 소오스 전극(38)이 된다. 소오소/드레인 전극(38)(39)를 마스크로 건식각하여 도핑된 비정질 실리콘층(37)을 제거한다. 이단계를 거치면 소오스 전극(38)과 드레인 전극(39)이 수소화된 비정질 실리콘층(36-1)과 도핑된 비정질 실리콘층(36-2)의 상부에서 대응되는 형태가 비직선형 즉 직각으로 꺽인 형태를 가지게되어 비직선형의 채널영역(46)을 가질 수 있다.

다음으로, 제4도의 (e)와 제5도의 (e)와 같이, 노출된 표면의 전면에 불투명한 절연물질인 블랙레진(black resin)을 적층하고 패터닝하여 소오스 전극(38)과 드레인 전극(39)의 일부 및 게이트 전극(31)의 상부 등의 빛이 차단되어야 할 영역에 블랙 매트릭스(41)를 형성한다. 또한, 보조용량 캐패시터의 제2 보조용량 캐패시터 전극(40)의 일부를 덮도록 블랙 매트릭스(41)를 형성한다. 따라서, 블랙 매트릭스(41)는 전체 어레이이상에서 보조용량 캐패시터의 일부영역을 제외한 게이트 버스라인과 데이터 버스라인을 덮도록 형성된다.

다음으로, 제4도의 (f)와 제5도의 (f)와 같이, 블랙 매트릭스(41) 및 제1 절연막(35) 등의 노출된 표면에 스퍼터 또는 화학기상증착(CVD)장비를 사용하여 실리콘 산화막 또는 실리콘 질화막으로 패시베이션층(42)을 형성한 후, 박막 트랜지스터의 드레인 전극(39) 및 보조용량 캐패시터의 제2 보조용량 캐패시터 전극(40)의 일부영역이 노출되도록 건식각하여 콘택홀(43)(44)을 정의한다.

다음으로, 제4도의 (g)와 제5도의 (g)와 같이, 전면에 투명도전물질을 적층하고, 박막 트랜지스터의 게이트 전극(31) 상부의 패시베이션층(42)을 노출시키고, 보조용량 캐패시터의 블랙 매트릭스(41)가 형성된 부위의 상부에 형성된 패시베이션층(42)을 노출시켜 각 화소마다 화소전극(45)을 분리하여 형성한다. 이 때, 수평적으로 보면, 데이터 버스라인(60)을 따라 화소전극(45)이 서로 분리된다. 한편, 화소전극(45)은 미리 형성한 콘택홀(43)(44)을 통하여 드레인 전극(39) 및 보조용량 캐패시터의 제2 보조용량 캐패시터 전극(40)에 접촉시킨다.

제6도는 본 발명의 다른 실시예로서, 소오스 전극(38)의 일부인 돌기부(60-1)일측의 데이터 버스라인(60)과 드레인 전극(39)에 일부 중첩하도록 게이트 버스라인(50)에 돌기부(50-1)를 형성한 것으로, 기본적인 구조는 제3도의 실시예로 동일하므로 설명을 생략한다.

제6도와 구조의 액티브 매트릭스 액정표시장치의 매트릭스 어레이에는 제4도의 (a) 및 제5도의 (a)단계에서, 게이트 전극(31)과 제1 보조용량 캐패시터 전극(32), 즉 게이트 버스라인(50)을 형성하면서, 돌기부(50-1)를 형성시킨 후 제4도의 (b)-(g), 제4도의 (b)-(g)에 도시된 공정을 진행하여 제조할 수 있다.

이상에서 설명한 바와 같은 본 발명의 액티브 매트릭스 액정표시장치의 매트릭스 어레이에는 박막 트랜지스터를 게이트 버스라인 상부에 형성하여 개구율의 증가를 꾀하면서, 종래와는 달리 간단한 작도법을 통하여 알 수 있듯이 채널영역이 비직선적으로 형성될 수 있기 때문에, 채널길이 증가의 효과가 있어서 동일 채널길이의 박막 트랜지스터를 제조할 경우, 게이트 버스라인과 드레인 전극사이에 발생되던 기생용량을 최대한 줄일 수 있다. 따라서, 화소전압의 시프트레벨값인  $\Delta V_p$ 를 줄일 수 있어 플리커 현상 및 화질의 향상을 가져올 수 있다.

## (57) 청구의 범위

**청구항 1**

절연기판과, 상기 절연기판 상에 게이트 전극인 복수개의 제1영역과, 이웃하는 상기 제1영역들을 서로 연결하는 복수개의 제2영역을 가지는 게이트 버스라인과, 상기 게이트 버스라인과 상기 절연기판의 노출된 표면에 형성된 제1 절연막과, 상기 제1 절연막 위에서, 적어도 상기 게이트 버스라인의 제1영역과 중첩하게 형성된 도상의 반도체층과, 상기 반도체층 위에서, 상기 게이트 버스라인의 제1영역과 교차하며, 상기 게이트 버스라인의 제1영역 상부에서 상기 게이트 버스라인 형성 방향의 돌기부를 가지는 데이터 버스라인과, 상기 데이터 버스라인의 돌기부와 그 일측의 데이터 버스라인 일부영역인 소오스 전극과, 상기 반도체층 위에서, 상기 소오스 전극에 대응하도록 형성된 드레인 전극을 포함하여 이루어지는 복수개의 박막 트랜지스터와, 상기 드레인 전극에 연결된 화소전극과, 상기 게이트 버스라인 제2영역의 일부를 제1 보조용량 캐패시터 전극으로 하는 복수개의 보조용량 캐패시터를 구비하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 2**

제1항에 있어서, 상기 박막 트랜지스터의 상기 소오스 전극과 상기 드레인 전극 및 상기 반도체층의 노출된 표면과, 상기 게이트 버스 라인 및 상기 데이터 버스라인의 상부에 형성되며, 상기 화소전극과 일부 중첩되게 형성된 블랙 매트릭스를 부가하여 가지는 것이 특징인 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 3**

제1항에 있어서, 상기 보조용량 캐패시터가 상기 제1 보조용량 캐패시터 전극의 일부 영역과 중첩되도록 그 상부에 형성된 블랙 매트릭스를 가지는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 4**

제3항에 있어서, 상기 보조용량 캐패시터가 절연기판위에 형성된 상기 게이트 버스 라인의 제2영역의 일부 영역인 제1 보조용량 캐패시터 전극과, 상기 제1 보조용량 캐패시터 전극과 상기 절연기판의 노출된 표면위에 형성된 전극 절연막과, 상기 전극 절연막 위에 형성된 반도체층과, 상기 반도체층 위에 형성된 제2 보조용량 캐패시터 전극과, 상기 제2 보조용량 캐패시터 전극의 일부를 덮는 블랙 매트릭스와, 상기 전극 절연막과 상기 제2 보조용량 캐패시터 전극과 상기 블랙 매트릭스의 노출된 표면에 형성되며, 상기 제1 보조용량 캐패시터의 상부에 콘택 영역이 정의된 패시베이션층과, 상기 콘택영역을 통하여 상기 제2 보조용량 캐패시터와 연결된 전단 (또는 후단) 화소전극을 포함하여 이루어지는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 5**

제1항에 있어서, 상기 게이트 버스라인이 동일한 폭을 가지는 직선형 게이트 버스라인인 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 6**

제1항에 있어서, 상기 게이트 버스라인이, 상기 소오스 전극인 상기 데이터 버스라인의 돌기부 일측과 상기 드레인 전극에 일부 중첩되는 돌기부를 가지는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 7**

제1항에 있어서, 상기 박막 트랜지스터는, 비직선 형태의 채널이 형성되는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 8**

제1항에 있어서, 상기 채널영역이 상기 게이트 버스라인의 선폭내에서 드레인 전극을 감싸는 그자형인 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이.

**청구항 9**

액티브 매트릭스 액정표시장치의 매트릭스 어레이 제조방법에 있어서, 1) 절연기판 위에 게이트 버스라인을 형성하는 단계와, 2) 상기 게이트 버스라인과 상기 절연기판의 노출된 표면에 제1 절연막을 형성하는 단계와, 3) 상기 제1 절연막 위에 수소화된 비정질 실리콘층과 도핑된 비정질 실리콘층을 적층한 후, 상기 게이트 버스라인상의 채널 형성부위와 보조용량 캐패시터 형성부위 만을 제외하고 제거하는 단계와, 4) 상기 도핑된 비정질 실리콘층과 상기 제1 절연막의 노출된 표면 위에 소오스/드레인 전극 형성금속을 적층한 후, 상기 게이트 버스라인과 수직하게 교차하며, 상기 게이트 버스라인과 평행한 돌기부를 가지는 데이터 버스라인과, 상기 데이터 버스라인 돌기부와 그 일측과 동일한 거리를 유지하며, 상기 게이트 버스라인과 일부 중첩되는 드레인 전극과, 상기 보조용량 캐패시터의 도핑된 비정질 실리콘층 위에 제2 보조용량 캐패시터 전극을 형성하는 단계와, 5) 상기 드레인 전극과 상기 데이터 버스라인과 상기 데이터 버스라인의 돌기부를 마스크로 상기 도핑된 비정질 실리콘층을 제거하는 단계를 포함하는 일련의 공정을 진행하여 박막 트랜지스터를 제조하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이 제조방법.

**청구항 10**

제9항에 있어서, 상기 5)단계후, 상기 드레인 전극과 상기 데이터 버스 라인과 상기 수소화된 비정질 실리콘층과 상기 제1 절연막의 노출된 표면에 흑색 안료를 적층한 후, 패터닝하여 보조용량 캐패시터 형성

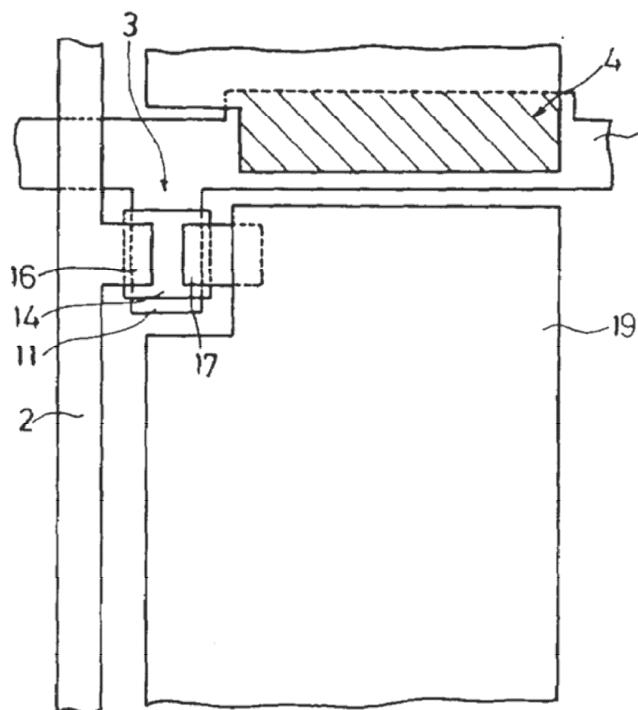
일부영역을 제외한 상기 게이트 버스라인과 상기 데이터 버스라인에만 블랙 매트릭스를 형성하는 단계와 상기 블랙 매트릭스와 상기 수소화된 비정질 실리콘층과 상기 제1 절연막의 노출된 표면에 투명 절연막인 패시베이션층을 형성하는 단계와, 상기 드레인 전극과 상기 제2 보조용량 캐퍼시터 전극상의 상기 패시베이션층에 콘택홀을 형성하는 단계와, 상기 콘택홀과 상기 패시베이션층의 노출된 표면에 투명 전극층을 적층한 후, 패터닝하여 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액티브 액정표시장치의 매트릭스 어레이 제조방법.

### 청구항 11

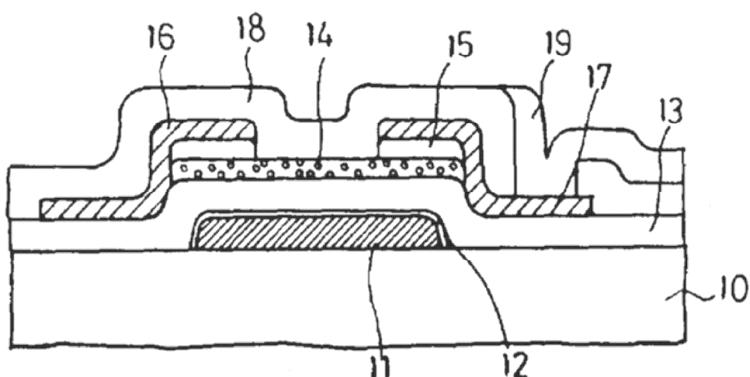
제9항에 있어서, 상기 1)단계의 게이트 버스 라인을 형성하는 단계에서, 상기 데이터 버스라인 형성 부위와 상기 드레인 전극 형성 부위와 일부가 중첩되는 돌기부를 형성하는 것을 특징으로 하는 액티브 매트릭스 액정표시장치의 매트릭스 어레이 제조방법.

### 도면

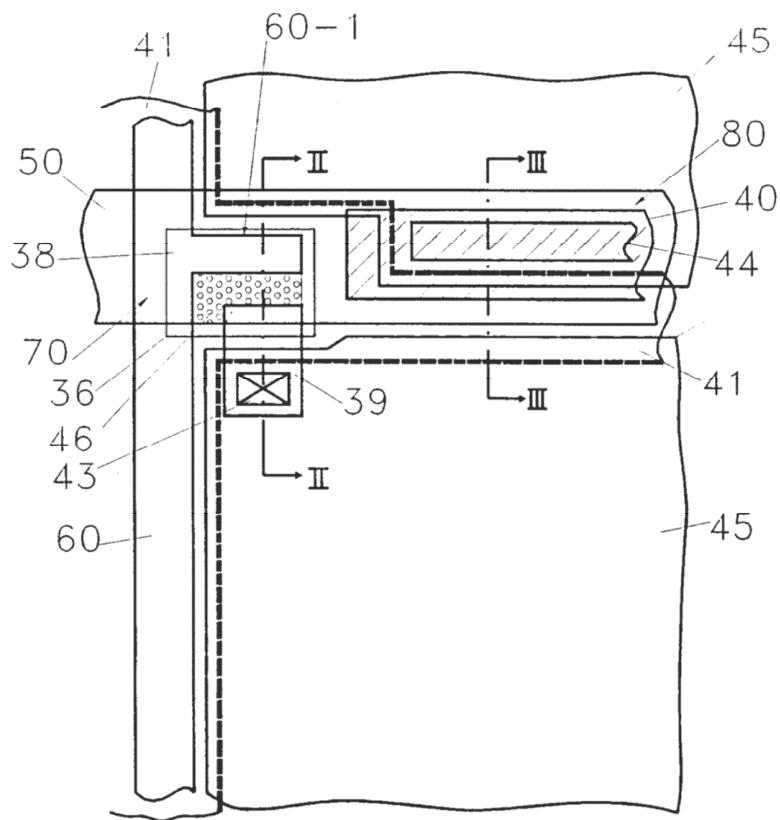
#### 도면1



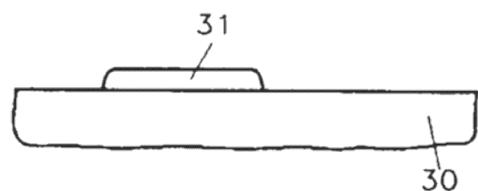
#### 도면2



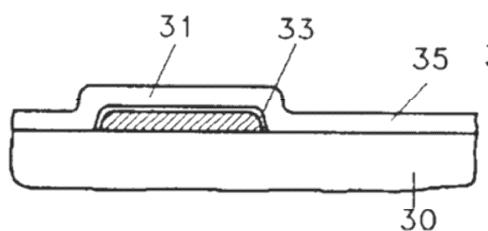
도면3



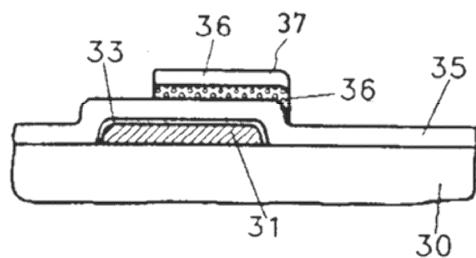
도면4a



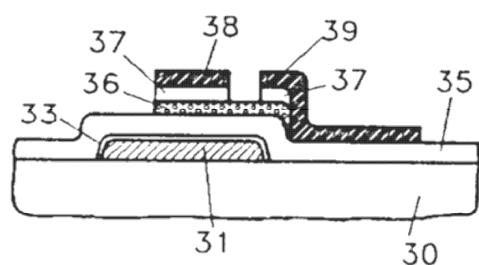
도면4b



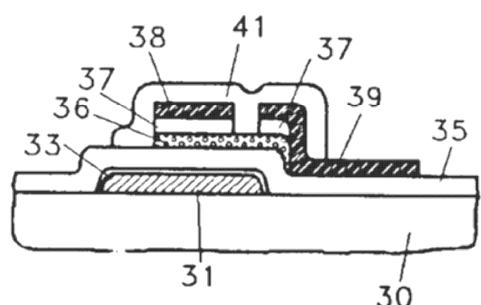
도면4c



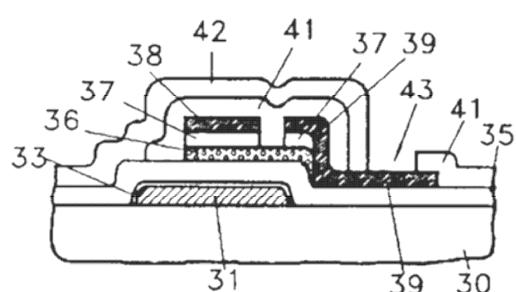
도면4d



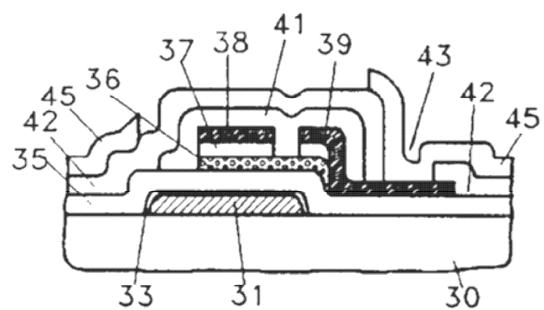
도면4e



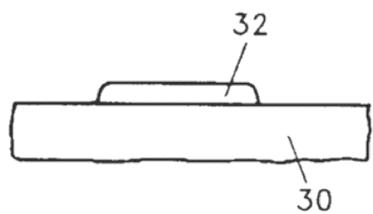
도면4f



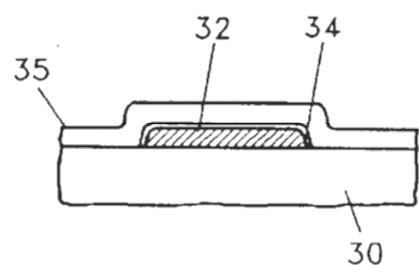
도면4g



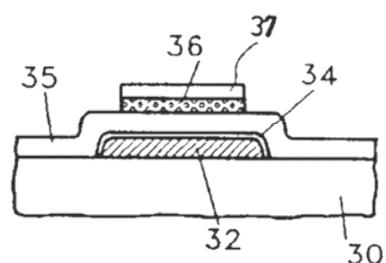
도면5a



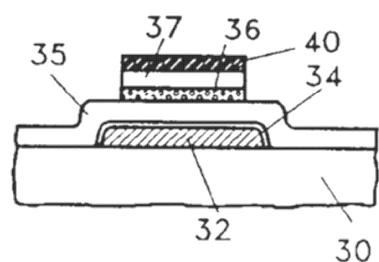
도면5b



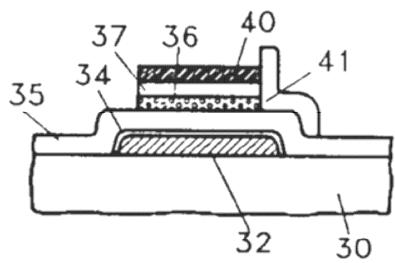
도면5c



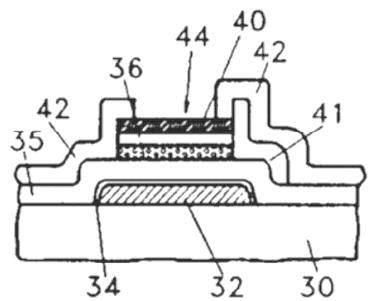
도면5d



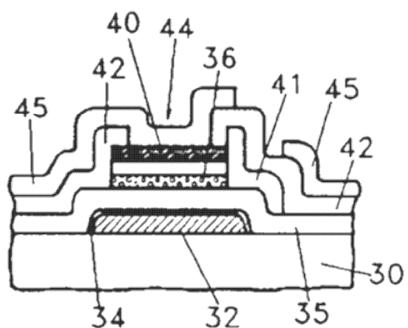
도면5e



도면5f



도면5g



도면6

