

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-532142  
(P2008-532142A)

(43) 公表日 平成20年8月14日(2008.8.14)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G06F 9/38 (2006.01)</b>	G06F 9/38 330B	5B013
	G06F 9/38 330E	

審査請求 有 予備審査請求 未請求 (全 17 頁)

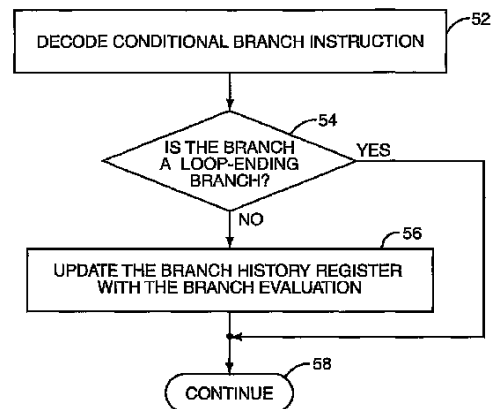
(21) 出願番号	特願2007-557182 (P2007-557182)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(86) (22) 出願日	平成18年2月24日 (2006.2.24)		
(85) 翻訳文提出日	平成19年9月21日 (2007.9.21)		
(86) 国際出願番号	PCT/US2006/006531		
(87) 国際公開番号	W02006/091778		アメリカ合衆国、カリフォルニア州 92121-1714、サン・ディエゴ、モアハウス・ドライブ 5775
(87) 国際公開日	平成18年8月31日 (2006.8.31)	(74) 代理人	100058479 弁理士 鈴江 武彦
(31) 優先権主張番号	11/066,508	(74) 代理人	100091351 弁理士 河野 哲
(32) 優先日	平成17年2月24日 (2005.2.24)	(74) 代理人	100088683 弁理士 中村 誠
(33) 優先権主張国	米国 (US)	(74) 代理人	100108855 弁理士 蔵田 昌俊

最終頁に続く

(54) 【発明の名称】 ループ終結分岐により分岐履歴レジスタの更新を抑制すること

(57) 【要約】

コードループを終了させる条件付分岐命令が検出され、ループ終了分岐評価を記憶するために分岐履歴レジスタ (BHR) が更新されるのを防ぐ。これは、ループの繰り返しを実施する分岐が BHR からの他の分岐評価履歴を置き換えることを防止する。ループ終了分岐は、特定のタイプの分岐命令を用いてコンパイラーによってまたはループ終結分岐命令の操作コード内のインジケータビットを挿入することにより、静的に検出されてもよい。ループ終了分岐命令は、任意のバックワード(backward)分岐として、または BHR を更新する際に最後の分岐命令またはいくつかの分岐命令の PC を記憶することにより、および最後の分岐 PC (LBPC) レジスタ (複数の場合もある) に対して分岐命令の PC をチェックすることにより動的に検出されてもよい。分岐 PC が一致するならば BHR の更新は抑制される。ループ繰り返し分岐を BHR から締め出すことは分岐予測トレーニングタイムおよび精度を改良する。



**【特許請求の範囲】****【請求項 1】**

分岐命令の特性に応答して分岐命令の実行時に分岐履歴レジスタ（BHR）の更新を任意に抑圧することを備えた分岐予測方法。

**【請求項 2】**

前記分岐命令の特性は前記分岐がバックワードであるということである、請求項 1 の方法。

**【請求項 3】**

前記分岐命令の特性は前記分岐がループ終了分岐であるということである、請求項 1 の方法。

**【請求項 4】**

前記分岐命令の PC は、前記 BHR を更新するために最後の分岐命令の PC を記憶する最後の分岐 PC（LBPC）レジスタの内容と一致する、請求項 3 の方法。

**【請求項 5】**

前記分岐命令の PC は、前記 BHR を更新するために前記最後の複数の分岐命令の PCs を記憶する複数の LBPC レジスタのいずれかの内容と一致する、請求項 4 の方法。

**【請求項 6】**

前記分岐命令の特性は、前記分岐命令が分岐を終了するためにコンパイラにより発生された固有の分岐命令である、請求項 3 の方法。

**【請求項 7】**

前記分岐命令の特性は、前記分岐命令が、ループ終了分岐命令であることを示す 1 つ以上のビットを含むことである、請求項 3 の方法。

**【請求項 8】**

条件付分岐命令の評価を予測するように機能的に作用する分岐予測器と、  
前記分岐予測器からの予測に基いて命令を推論的にフェッチして実行するように機能的に作用する命令実行パイプラインと、  
前記条件付き分岐命令の評価を記憶するように機能的に作用する分岐履歴レジスタ（BHR）と、  
前記分岐命令の特性に応答して前記条件付分岐命令の評価を記憶することを抑圧するように機能的に作用する制御回路と、  
を備えたプロセッサ。

**【請求項 9】**

前記 BHR を更新する分岐命令の PC を記憶するように機能的に作用する最後の分岐 PC（LBPC）をさらに備え、前記制御回路は、前記分岐命令の PC が前記 LBPC レジスタの内容と一致するなら前記条件付分岐命令の評価を記憶することを抑圧するように機能的に作用する、請求項 8 のプロセッサ。

**【請求項 10】**

前記 BHR を更新する複数の分岐命令の PCs を記憶するように機能的に作用する複数の LBPC レジスタをさらに備え、前記制御回路は、前記分岐命令の PC が任意の LBPC レジスタの内容と一致するなら、前記条件付分岐命令の評価を記憶することを抑圧するように機能的に作用する、請求項 9 の方法。

**【請求項 11】**

前記分岐命令が、ループ終了命令であるという表示を含むなら、前記制御回路は、前記条件付き分岐命令の評価を記憶することを抑圧するように機能的に作用する、請求項 8 の方法。

**【請求項 12】**

前記分岐命令がループ終了命令であるという表示は命令タイプである、請求項 11 の方法。

**【請求項 13】**

前記分岐命令目標アドレスが前記分岐命令 PC より小さいなら前記制御回路は、前記条

10

20

30

40

50

件付分岐命令の評価を記憶することを抑圧するように機能的に作用する、請求項 8 の方法。

【請求項 14】

プログラムコードに応答して命令を発生するように機能的に作用するコンパイラまたはアセンブラと、

コードループを終了させる条件付分岐命令を示すように機能的に作用するループ終了分岐命令マーキング機能と、

を備えたコンパイラまたはアセンブラ。

【請求項 15】

前記ループ終了分岐命令マーキング機能は、各ループを終了させるために固有のタイプの分岐命令を発生するように機能的に作用する、請求項 14 のコンパイラまたはアセンブラ。

10

【請求項 16】

前記ループ終了分岐命令マーキング機能は、ループを終了させる各条件付分岐命令にループ終了インジケータを挿入するように機能的に作用する、請求項 14 のコンパイラまたはアセンブラ。

【請求項 17】

前記ループ終了インジケータは、前記条件付分岐命令操作コード内の所定のフィールドに挿入された 1 またはそれ以上のビットを備えた、請求項 16 のコンパイラまたはアセンブラ。

20

【請求項 18】

以前の条件付分岐命令の評価を記憶する分岐履歴レジスタ (BHR) を用いた分岐予測の方法において、

ループ終了分岐を検出することと、

関連する分岐命令の評価を記憶するであろう BHR の更新を抑圧することと、を備えた方法。

【請求項 19】

ループ終了分岐を検出することは、前記関連する分岐命令の PC と、前記 BHR を更新するために最後の分岐命令の PC を記憶する最後の分岐 PC (LBPC) レジスタの内容との間に一致を検出することを備えた、請求項 18 の方法。

30

【請求項 20】

ループ終了分岐を検出することは、関連する分岐命令の PC と、BHR を更新するために最後の複数の分岐命令の PCs を記憶する複数の LBPC レジスタのいずれかの内容との間に一致を検出することを備えた、請求項 18 の方法。

【請求項 21】

ループ終了分岐を検出することは、分岐を終了させるためにコンパイラにより発生された固有の分岐命令をデコードすることを備えた、請求項 18 の方法。

【請求項 22】

ループ終了分岐を検出することは、ループ終了分岐命令であることを示す関連分岐命令操作コード内に 1 つまたはそれ以上のビットを検出することを備えた、請求項 18 の方法

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は一般にプロセッサの分野に関し、特にループ終結分岐命令により分岐履歴レジスタの更新を抑制することにより分岐予測を改良する方法に関する。

【背景技術】

【0002】

マイクロプロセッサは、多種多様の計算タスクを実行する。改良されたプロセッサ性能は、ソフトウェアが変わることを通じてより高速な動作および / または増大された機

50

能性を可能にするためにほとんどの場合望ましい。ポータブル電子装置のような多くの埋め込まれたアプリケーションにおいて、電力を節約することは、プロセッサの設計および実施における目標でもある。

#### 【0003】

多くの最新のプロセッサはパイプラインアーキテクチャを採用する。この場合、各々が複数の実行ステップを有するシーケンシャル命令は実行においてオーバーラップする。改良された性能のために、命令はパイプラインを介して連続的に流れなければならない。命令をパイプライン内で行き詰らせる任意の状況は、有害に性能に影響を及ぼす可能性がある。命令がパイプラインから消去されその次に再フェッチされるなら、性能と電力消費の両方が劣っている。

10

#### 【0004】

ほとんどのプログラムは条件付き分岐命令を含む。分岐命令の実際の分岐動作は、命令がパイプラインにおいて深く評価されるまで知られていない。分岐命令の実際の評価を待つことから生じるであろう行き詰まりを回避するために、最新のプロセッサはあるフォームの分岐予測を採用してもよい。それにより条件付分岐命令の分岐動作はパイプラインにおいて早期に予測される。予測された分岐評価に基づいて、プロセッサは推論的にフェッチ（プリフェッチ）し、予測されたアドレス、すなわち、（分岐が起きると予測されるなら）分岐目標アドレスまたは（分岐が起きないと予測されるなら）分岐命令の後の次のシーケンシャルアドレスからの命令を実行する。実際の分岐動作が決定されると、分岐が予測ミスされるなら、推論的にフェッチされた命令はパイプラインから消去されなければならない。新しい命令が正しい次のアドレスからフェッチされる。誤りのある分岐予測に回答して命令をプリフェッチすることは、プロセッサ性能と電力消費に悪影響を与える。従って分岐予測の性能を改良することは重要な設計目標である。

20

#### 【0005】

既知の分岐予測技術は静的予測と動的予測の両方を含む。いくつかの分岐命令の起こり得る動作は、プログラマーおよび/またはコンパイラにより静的に予測される。分岐予測の1つの例はエラーチェックルーチンである。一般にコードは適切に実行し、エラーはまれである。従って、「ブランチオンエラー(branch on error)」機能を実施する分岐命令はほとんどの場合「分岐が起きない」を評価するであろう。そのような命令は、分岐条件の最も起こりそうな結果の知識を用いてプログラマーまたはコンパイラにより設定された、操作コード内の静的分岐予測ビットを含んでいてもよい。

30

#### 【0006】

動的予測は一般に、予測される分岐命令および/または同じコードの他の分岐命令の分岐評価履歴（場合によっては、分岐予測精度履歴）に基づいている。実際のコードの詳しい分析は、最近の過去の分岐評価パターンが、将来の分岐命令の評価の良好なインジケータであるかもしれないことを示す。

#### 【0007】

図1に描画された動的分岐予測の1つの既知の形式は、分岐履歴レジスタ(BHR)100を利用して過去のnの分岐評価を記憶することである。簡単な実施において、BHR30はシフトレジスタを含む。レジスタ内の最も古い過去の評価が置き換えられて最も最近の分岐評価結果がシフトされる（例えば、1は分岐することを示し、0は分岐しないことを示す）。プロセッサは各分岐命令に対してローカルなBHR100を維持してもよい。

40

#### 【0008】

あるいは（またはさらに）、BHR100は、時々グローバルBHRまたはGHRとして技術的に知られるすべての条件付分岐命令の最近の過去の評価を含んでいてもよい。ここに使用されるように、BHRはローカル分岐履歴レジスタとグローバル分岐履歴レジスタの両方を指す。

#### 【0009】

図1に描画されるように、BHR100は、分岐予測テーブル(BPT)102をイン

50

デックスしてもよい。BHRはこの場合も先と同様にローカルまたはグローバルであってもよい。BHR100はBPT102を直接インデックスしてもよいし、またはBPTインデックスロジック104内の分岐命令のプログラムカウンター(PC)のような他の情報と結合されてもよい。BPTインデックスロジック104への他の入力もさらに利用されてもよい。BPTインデックスロジック104は、入力を連結接続(一般にはselectとして技術的に知られている)、入力のXOR(gshare)をとってもよいし、ハッシュ関数を実行してもよいし、またはさまざまな方法で入力を結合しまたは変換してもよい。

#### 【0010】

一例として、BPT102は、複数の飽和カウンターを備えていてもよい。それらのMSBsは、2つのモードを持つ分岐予測器として機能する。例えば、各テーブルエントリは、各々が重み付けされた予測値を割り当てられた4つの状態の1つを担う2ビットカウンターを備えていてもよい。

10

#### 【0011】

4つの状態は例えば、

[0010] 11 - 分岐が起きるであろうことが強く予測される

[0011] 10 - 分岐が起きるであろうことが弱く予測される

[0012] 01 - 分岐が起きないであろうことが弱く予測される

[0013] 分岐が起きないであろうことが強く予測される

カウンターは対応する分岐命令が「起きる」ことを評価する毎にインクリメントし、分岐命令が「起きない」ことを評価する毎にデクリメントする。カウンターのMSBは2つのモードを持つ分岐予測器である。それは、潜在する予測の強度または重みに関係なく、分岐が起きるかまたは起きないかを予測するであろう。飽和カウンターはめったに起こらない分岐評価の予測エラーを低減する。一方向を一貫して評価する分岐はカウンターを飽和するであろう。他の方向へのめったに起こらない評価は、カウンター値(および予測の強度)を変更するであろうが、2つのモードを持つ予測値を変更しないであろう。従って、めったに起こらない評価は、2度ではなく一度予測ミスするのみであろう。飽和カウンターのテーブルは説明に役立つ実例に過ぎない。一般に、BHTは、さまざまな分岐予測機構を含むテーブルをインデックスしてもよい。

20

#### 【0012】

BPT102において採用された分岐予測機構にも関わらず、BHR100は単独でまたは分岐命令PCのような他の情報と組み合わせてBPT102をインデックスし分岐予測を得る。以前の分岐評価をBHR100に記憶し、分岐予測内の評価を使用することにより、予測される分岐命令が過去の分岐動作、すなわちローカルBHR100の場合に固有の過去の動作およびグローバルBHR100の場合には、他の分岐命令の動作に相互に関連付けられる。この相互関係は、少なくとも非常に繰り返しの多いコードの場合には、正確な分岐予測に対する解決の鍵となるかもしれない。

30

#### 【0013】

図1は、BHR100に記憶される分岐評価、すなわち実行パイプステージにおけるように、パイプラインの深くでしか知られていないかもしれない条件付き分岐命令の実際の評価を描画していることに留意する必要がある。これが究極の結果ではあるものの、実際には、多くの高性能プロセッサは、BPT102からの予測された分岐評価をBHR100に記憶し、予測が誤りであるということが分かったなら、予測ミス回復動作の一部として後でBHR100を訂正する。簡単にするために作図は、このインプリメンテーション特徴を反映していない。

40

#### 【0014】

BHR100を採用する分岐予測器の有効性を低減するかもしれない一般的なコード構造はループである。ループは、ループを介して毎回インクリメントされるインデックス変数がループ終了値に到達したかどうかというようなループ終了条件をテストする条件付文型命令で終わる。そうでなければ、別の反復のために、および別のループ終了条件付分岐

50

評価のためにループの始めに実行が分岐する。nビットBHR100に関して、ループに関する3つの興味あるケースがある。ループは実行しない。ループはmの反復を介して実行する。ただし $m < n$ 。およびループはm回実行する。但し $m \geq n$ 。

【0015】

ループが実行しないなら、ループの開始におけるフォワード分岐はループ本体を介して分岐し、1つの分岐が起きた分岐評価を生じる。BHR100内の過去の分岐評価履歴は、唯一つの分岐評価により置き換えられるので、これはBHR100に対して最小効果を有する（（実際には、この分岐評価を有する相互関係により予測精度は改善されるかもしれない）。ループがmの反復、但し $m \geq n$ を介して実行するなら、ループ終了分岐命令の「分岐が起こるであろう」逆方向の分岐はBHR100を飽和する。すなわち、ループの終わりにおいて、nビットBHRは、ループ反復から生じ、ループが終了するとき単一の分岐が起こらないであろう評価で終わる数多くの分岐が起こるであろう評価に相当する、単一のゼロにより後続される正確に $n - 1$ の「1」を常に含まれるであろう。これは、（ローカルまたはグローバルBHR100のための）以前の分岐評価を有する全ての相互関係が失われるので、BHR100の有効性を効率的に破壊する。この場合、以前の分岐評価に対する分岐命令の相互関係を反映する分岐予測を含むエントリにマップするよりもむしろ、（BPTインデックスロジック104への他の入力に依存して）所定の分岐命令のための同じBPT102入力にマップする可能性があるであろう。

10

【0016】

さらに、飽和されたBHR100はBPT102内のエイリアシング(aliasing)を増加させてもよい。すなわち、多くの反復を有するループに続く全ての分岐命令は、BHR100がBPT102に直接インデックスするなら、同じBPT102エントリにマップするであろう。BHR100が他の情報と結合される場合でも、エイリアシングのチャンスは増加される。これは、ループに続く分岐命令に対してのみならずBPT102内のエントリを指すすべての分岐命令に対して予測精度に悪影響を及ぼす。

20

【0017】

ループがmの反復、但し $m < n$ を介して実行するなら、BHR100は飽和されず、ある以前の分岐評価履歴が保持される。しかしながら、以前の分岐評価履歴を表すビットは、mビット位置により置き換えられる。特にmが変化する場合、これは分岐予測に対して2つの悪影響を有する。第1に、分岐命令は、以前の分岐評価を有する同じ相互関係を獲得するためにBPT102内のより大きな数のエントリにマップするであろう。そしてBHR30に影響を及ぼすループ終了分岐なしに必要とするであろうよりも、同じ数の分岐命令に対して同じ精度をサポートするためにより大きなBPT102を必要とする。第2に、BPT102内の分岐予測は、「トレーニング」するために長くかかるであろう。そして、BPT102が正確な分岐予測の供給を開始する前に実行しなければならないコードの量を増加する。

30

【0018】

一例として、8ビットBHR100と、分岐命令A-Hを有し、その後にループが続き、次に分岐命令Xが続くコードセグメントを考察する。分岐は、Xは分岐GおよびHの評価履歴と強く相互に関連がある。介在ループの種々の反復は、Xを予測時に、以下の表1に提示されるBHR結果を発生するであろう。

40

【表 1】

表1:種々の数のループ反復に続くBHR100コンテンツ

BHR								コメント
A	B	C	D	E	F	G	H	ループが1回実行される(イニシャルフォワードまたはループ終了バックワード分岐は起きない)
B	C	D	E	F	G	H	1	ループがスキップされる(1つのイニシャルフォワード分岐が起きる)
C	D	E	F	G	H	1	0	2回の反復(ループ終了バックワード分岐が1回起き、次には起きない)
D	E	F	G	H	1	1	0	3回の反復
E	F	G	H	1	1	1	0	4回の反復
F	G	H	1	1	1	1	0	5回の反復
G	H	1	1	1	1	1	0	6回の反復

10

## 【0019】

この例において、いずれの場合にも、予測される分岐命令 X と分岐 G および H の以前の評価との間の所望の相互関係は BHR 100 内に存在する。しかしながら、それは BHR 100 内の異なる場所にあり、従って各ケースは異なる BPT 102 エントリにマップするであろう。これは BPT 102 スペースを浪費し、分岐予測トレーニングタイムを増加させ、BPT 102 内のエイリアシングのチャンスを増加させる。これらのすべては予測精度を低減する。

20

## 【発明の開示】

## 【0020】

1つ以上の実施形態において、ループ終了分岐命令評価を記憶するという悪影響は、ループ終了分岐命令を識別し、ループ終了命令に回答してBHRの更新を抑圧することにより改善される。ループ終了命令はさまざまな方法で識別される。

## 【0021】

一実施形態において、分岐予測方法は、分岐命令の特性に回答して分岐命令を実行するとBHRの更新を任意に抑圧することを含む。

## 【0022】

他の実施形態において、プロセッサは、条件付分岐命令の評価を予測するように機能的に作用する分岐予測器と、分岐予測器からの予測に基いて命令を推論的にフェッチし実行するように機能的に作用する実行パイプラインとを含む。また、プロセッサは、条件付分岐命令の評価を記憶するように機能的に作用するBHRと、分岐命令の特性に回答して条件付分岐命令の評価を記憶することを抑圧するように機能的に作用する制御回路とを含む。

30

## 【0023】

さらに他の実施形態において、プログラムコードに回答して命令を発生するように機能的に作用するコンパイラまたはアセンブラは、コードループを終了する条件付分岐命令を示すために機能的に作用するループ終了分岐命令マーキング機能を含む。

40

## 【発明を実施するための最良の形態】

## 【0024】

図1はプロセッサ10の機能ブロック図を描画する。プロセッサ10は制御ロジック14に従って、命令実行パイプライン12内の命令を実行する。いくつかの実施形態において、パイプライン12は、複数の並列パイプラインを有したスーパースケラードesignであってもよい。パイプライン12はパイプステージに組織された種々のレジスタまたはラッチ16、および1つ以上の算術論理演算ユニット(ALU)18を含む。汎用レジスタ(GPR)ファイル20は、メモリヒエラルキーの最上層を含むレジスタを提供する。

## 【0025】

50

パイプライン 12 は、メモリアドレス変換および命令サイド変換索引バッファ（TLB）24 により管理される許可を用いて命令キャッシュ（Iキャッシュ）22 から命令をフェッチする。条件付き分岐命令がパイプライン 12 において早期にデコードされるとき、分岐予測器 26 は、分岐動作を予測し、予測を命令プリフェッチユニット 28 に供給する。命令プリフェッチユニット 28 は、「分岐が起きるであろう」分岐予測に対してパイプライン 12 内で計算された分岐目標アドレスまたは「分岐が起きない」と予測された分岐に対して次のシーケンシャルアドレスにおいて、命令キャッシュ 22 から命令を推論的にフェッチする。いずれの場合においても、プリフェッチされた命令は推論的実行のためにパイプライン 12 にロードされる。

**【0026】**

10

分岐予測器 26 は、分岐履歴レジスタ（BHR）30、分岐予測器テーブル（BPT）32、BPT インデックスロジック 34、および BHR 更新ロジック 36 を含む。分岐予測器 26 はさらに以下により完全に記載される 1 つ以上の最後の分岐 PC レジスタ 38 を含む。

**【0027】**

データは、メモリアドレス変換およびメイン変換索引バッファ（TLB）42 を用いてデータキャッシュ（Dキャッシュ）40 からアクセスされる。種々の実施形態において、ITLB 24 は、TLB 42 の一部のコピーを備えていてもよい。あるいは、ITLB 24 と TLB 42 は統合されてもよい。同様に、プロセッサ 10 の種々の実施形態において、Iキャッシュ 22 および Dキャッシュ 40 は統合されてもよいまたは一体化されてもよい。Iキャッシュ 22 および / または Dキャッシュ 40 におけるミスは、メモリアンターフェース 46 の制御のもとにメイン（オフチップ）メモリ 44 へのアクセスを生じる。

20

**【0028】**

プロセッサ 10 は、種々の周辺装置 50 へのアクセスを制御する入力 / 出力（I/O）インターフェース 46 を含んでいてもよい。当業者は、プロセッサ 10 の多くの変形例が可能であることを認識するであろう。例えば、プロセッサ 10 は、Iキャッシュ 22 と Dキャッシュ 40 のいずれかまたは両方のための第 2 レベル（L2）のキャッシュを含んでいてもよい。さらにプロセッサ 10 内に描画された 1 つ以上の機能ブロックは、特定の実施形態から省略されてもよい。

30

**【0029】**

1 つ以上の実施形態によれば、分岐予測精度は、ループ終了分岐を分岐予測器 26 内の 1 つ以上の BHRs 30 を改悪することから防止することにより改善される。このプロセスは図 3 のフロー図として描画される。条件付き分岐命令はデコードされる（ブロック 52）。分岐がループ終了分岐か否かの決定が行われる（ブロック 54）。そうでなければ、BHR 30 は、分岐評価、すなわち、分岐命令が「分岐が起こる」または「分岐が起こらない」として評価されるかどうかを記録するために更新される（ブロック 56）。次に、実行は、それぞれ、分岐目標アドレスまたは次のシーケンシャルアドレスにおいて継続する（ブロック 58）。分岐がループ終了分岐でないなら、ループ終了分岐命令の分岐評価を記録するために BHR 30 を更新することは、（ブロック 54 からブロック 58 への経路により示されるように）抑圧される。このように、ループ反復分岐は、関連する分岐評価履歴を置き換えることにより BHR 30 の内容を改悪しない。分岐命令をループ終了分岐命令として識別する問い合わせ（ブロック 54）は、種々の方法により成就されてもよい。

40

**【0030】**

ループは、ループの終わりからループの始めに後方分岐することにより反復する。一実施形態によれば、分岐命令アドレスより小さい分岐目標アドレスまたは PC を有したすべての条件付分岐命令、すなわち、バックワード分岐はループ終了分岐命令と見なされ、BHR 30 を更新するのを防止される。この実施形態は簡単という利点を提供する。BHR 30 更新時間において、分岐命令が実際にパイプライン内において評価されるとき、分岐

50

命令PCは分岐目標アドレス(BTA)と比較される。BTA < PCなら、BHR30は更新されない。分岐目標アドレスが決定されるときそしてまた、ループ終了分岐ではないいくつかのバックワード分岐がBHR30に記録された評価を持たないであろうとき、この実施形態は、アドレス比較を必要とする損害を被る。

#### 【0031】

ループ終了分岐を検出する他の方法は同じ分岐命令の反復された実行を認識することである。図4に描画された一実施形態において、最後の分岐PC(LBPC)レジスタ38はその評価がBHR30に記憶された最後の分岐命令のPCを記憶する。簡単なループの場合に、分岐命令のPCがLBPC38に一致するなら、すなわち、分岐命令が評価された最後の分岐命令であったなら、分岐命令はループ終了分岐命令であると見なされ、BHR30のさらなる更新が抑圧される。図1に対して上述したように、図4は、任意の与えられた実施において、BHR更新ロジック36内の実際の分岐評価と比較されるLBPC38の内容を描画するけれども、LBPC38は、予測ミスの場合にはBHR30が訂正されて、予測された分岐評価と比較されてもよい。この実施形態は、ループの第1の反復のみを記憶し、BHR30からの唯一の以前の分岐評価のみを置き換える。この実施形態はコンパイラサポートを必要とせず、分岐の方向はBHR30更新時に決定する必要がない。

10

#### 【0032】

ループは1つ以上のネスティングされたループを含んでいてもよいし、またはループ内の他の分岐を含んでいてもよい。この場合、内部ループによるBHR30の飽和は、LBPCアプローチにより抑圧されてもよい。しかしながら、外部ループ終了分岐は依然としてBHR30に記憶されるであろう。一実施形態において、対応するLBPCレジスタ(LBPC0、LBPC1、...、LBPCM)38に記憶された連続的に評価された分岐命令のPCsを有した2以上のLBPCレジスタ38が提供されてもよい。分岐命令のPCがLBPCNレジスタ38のいずれかと一致するなら、BHR30の更新は抑圧されてもよい。

20

#### 【0033】

また、ループ終了分岐命令は、コンパイラまたはアセンブラーにより静的にマークされてもよい。一実施形態において、コンパイラは、ループ終了分岐にのみ使用される特定のタイプの分岐命令、例えば「BRLP」を発生する。BRLP命令は認識され、BRPE命令が実行パイプステージ内で評価するとき決して更新されない。他の実施形態において、コンパイラまたはアセンブラーは、1つ以上のあらかじめ定義されたビットを操作コード内に設定することによるように、ループ終了分岐表示を分岐命令内に埋め込んでもよい。ループ終了分岐ビットが検出され、BHR30の更新は、その分岐命令が実行パイプステージにおいて評価するとき抑圧される。ループ終了分岐の静的識別は、ループ終了識別機能をコンパイラまたはアセンブラーに移動することによりハードウェアを低減し、計算的な複雑さを低減する。

30

#### 【0034】

条件付分岐命令は、例えば、分岐命令アドレスまたはPC、命令タイプ、および操作コード内のインジケータビットの存在または非存在を含む、多くの特性を有する。ここで使用されるように、分岐動作の特性および/または分岐に関連するプログラムの特性は分岐命令の特性と考えられる。例えば、分岐命令PCが1つ以上のLBPCレジスタ38の内容と一致するかどうか、および分岐目標アドレスが分岐命令PCに関してフォワードかバックワードかは分岐命令の特性である。

40

#### 【0035】

この発明は特定の特徴、観点および実施形態に対して記載されたけれども、この発明の広い範囲内において多数の変形例、変更および他の実施形態が可能であることは明白であろう。従って、すべての変形例、変更および実施の形態は、この発明の範囲内であるとみなされるべきである。それゆえ、この実施形態は、あらゆる面で実例として解釈されるべきであり、制限されるものではないと解釈されるべきであり、添付されたクレームの意味

50

と等価な範囲内に入る全ての変更はクレーム内に包含されることを意図している。

【図面の簡単な説明】

【0036】

【図1】図1は、従来技術の分岐予測回路の機能ブロック図である。

【図2】図2は、プロセッサの機能ブロック図である。

【図3】図3は分岐命令を実行する方法のフロー図である。

【図4】図4は、1つ以上の最後の分岐PCレジスタを含む分岐予測回路の機能ブロック図である。

【図1】

図1

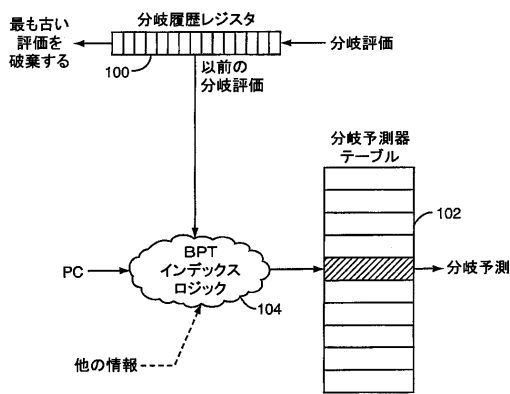


FIG. 1 (従来技術)

【図2】

図2

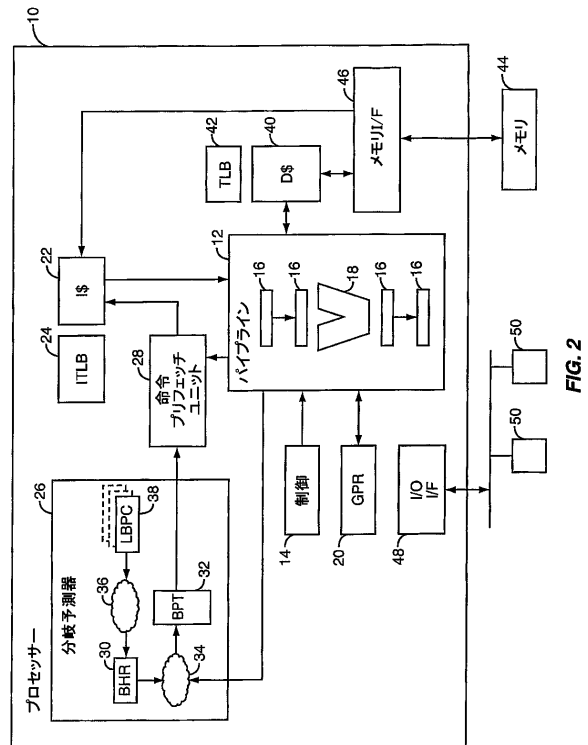


FIG. 2

【 図 3 】

図 3

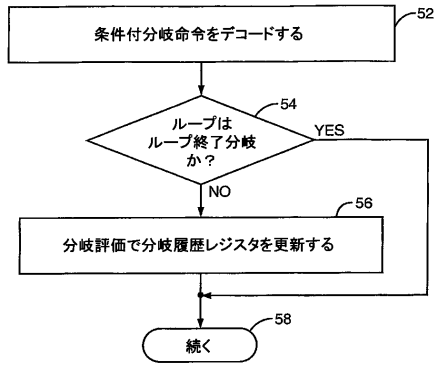


FIG. 3

【 図 4 】

図 4

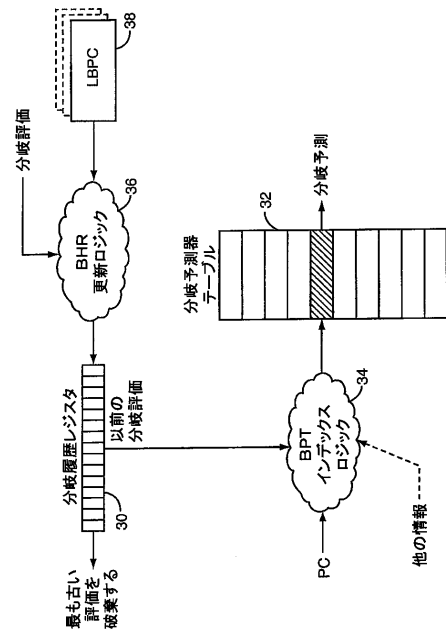


FIG. 4

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2006/006531

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G06F9/38 G06F9/45				
According to International Patent Classification (IPC) or to both national classification and IPC				
<b>B. FIELDS SEARCHED</b>				
Minimum documentation searched (classification system followed by classification symbols) G06F				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal				
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	US 5 175 827 A (MORISADA TSUYOSHI [JP]) 29 December 1992 (1992-12-29) abstract column 1, line 33 - line 54	1, 8, 18		
A	PO-YUNG CHANG ET AL: "Improving branch prediction accuracy by reducing pattern history table interference" PARALLEL ARCHITECTURES AND COMPILATION TECHNIQUES, 1996., PROCEEDINGS OF THE 1996 CONFERENCE ON BOSTON, MA, USA 20-23 OCT. 1996, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 20 October 1996 (1996-10-20), pages 48-57, XP010199404 ISBN: 0-8186-7632-9 abstract paragraph [04.1]	1, 8, 18		
----- -/-				
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C.				
<input checked="" type="checkbox"/> See patent family annex.				
* Special categories of cited documents :				
<table border="0"> <tr> <td style="vertical-align: top;"> <p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="vertical-align: top;"> <p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p> </td> </tr> </table>			<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p>	<p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p>
<p>*A* document defining the general state of the art which is not considered to be of particular relevance</p> <p>*E* earlier document but published on or after the international filing date</p> <p>*L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>*O* document referring to an oral disclosure, use, exhibition or other means</p> <p>*P* document published prior to the international filing date but later than the priority date claimed</p>	<p>*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>*X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>*Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>*Z* document member of the same patent family</p>			
Date of the actual completion of the international search	Date of mailing of the international search report			
8 May 2007	22/05/2007			
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer  Cohen, Benjamin			

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/US2006/006531

G(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 511 178 A (TAKEDA HIROSHI [JP] ET AL) 23 April 1996 (1996-04-23) column 10, line 51 - column 11, line 6 -----	14-17
A	US 6 253 373 B1 (PERI RAMESH V [US]) 26 June 2001 (2001-06-26) abstract; claim 1 -----	14-17
A	US 2001/039653 A1 (EGASHIRA ROH [JP]) 8 November 2001 (2001-11-08) abstract paragraph [0113] -----	14-17

**INTERNATIONAL SEARCH REPORT**International application No.  
PCT/US2006/006531**Box II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1.  As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
  
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
  
3.  As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

- The additional search fees were accompanied by the applicant's protest.
- No protest accompanied the payment of additional search fees.

International Application No. PCT/US2006/006531

**FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210**

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

1. claims: 1-13, 18-22

Suppression of the BHR update due to, eg. a loop-ending.

2. claims: 14-17

Compiler comprising a loop-ending marking function.

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

PCT/US2006/006531

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5175827	A	29-12-1992 NONE	
US 5511178	A	23-04-1996 JP 6243036 A	02-09-1994
US 6253373	B1	26-06-2001 NONE	
US 2001039653	A1	08-11-2001 JP 2001166948 A	22-06-2001

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100092196

弁理士 橋本 良郎

(74)代理人 100100952

弁理士 風間 鉄也

(72)発明者 リシリク、ボヒュースラブ

アメリカ合衆国、ノースカロライナ州 27560、マーリスビル、スウィート・スポット・サークル 1017

Fターム(参考) 5B013 BB02 BB07 BB16 BB17