



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I538207 B

(45)公告日：中華民國 105 (2016) 年 06 月 11 日

(21)申請案號：100139591

(22)申請日：中華民國 100 (2011) 年 10 月 31 日

(51)Int. Cl. : H01L29/78 (2006.01) H01L21/28 (2006.01)

(30)優先權：2010/11/03 日本 2010-246951

2011/05/14 日本 2011-108892

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：鄉戶宏充 GODO, HIROMICHI (JP) ; 小林聰 KOBAYASHI, SATOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2005/0017244A1 US 2010/0044711A1

US 2010/0059754A1 US 2010/0148168A1

US 2010/0181565A1

審查人員：莊敏宏

申請專利範圍項數：10 項 圖式數：21 共 96 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

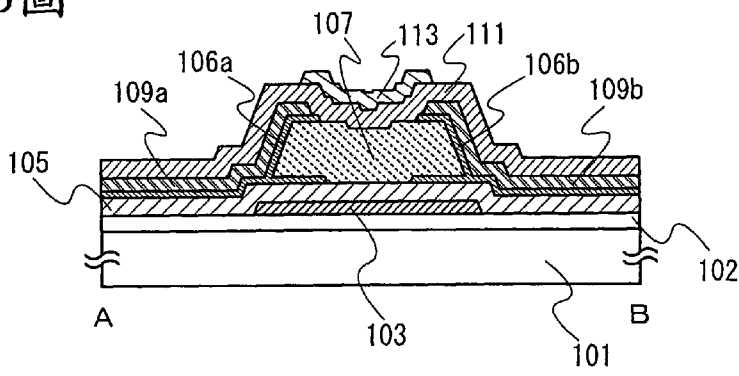
關於用於高功率使用之場效電晶體，其為電源裝置，提供一種具有良好的特性之場效電晶體。半導體裝置包含一第一閘極電極；一閘極絕緣層，覆蓋該第一閘極電極；一氧化物半導體層，與該第一閘極電極重疊且接觸該閘極絕緣層；具有高載子密度之氧化物半導體層，覆蓋該氧化物半導體層之端部；一源極電極與一汲極電極，與具有高載子密度之前述氧化物半導體層接觸；一絕緣層，覆蓋該源極電極、該汲極電極、與該氧化物半導體層；及一第二閘極電極，其與該絕緣層接觸且係被設於該源極電極與該汲極電極之間。具有高載子密度之該氧化物半導體層彼此面對而該氧化物半導體層係被插置於其間，且各前述氧化物半導體層係與該氧化物半導體層之端部的其中一者之上表面、下表面、與側表面之各者的一部分以及該閘極絕緣層之上表面的一部分相接觸。

As for a field-effect transistor for high power use, which is a power device, a field-effect transistor having favorable characteristics is provided. A semiconductor device includes a first gate electrode; a gate insulating layer covering the first gate electrode; an oxide semiconductor layer that overlaps with the first gate electrode and is in contact with the gate insulating layer; oxide semiconductor layers having high carrier density covering end portions of the oxide semiconductor layer; a source electrode and a drain electrode in contact with the oxide semiconductor layers having high carrier density; an insulating layer covering the source electrode, the drain electrode, and the oxide semiconductor layer; and a second gate electrode that is in contact with the insulating layer and is provided between the source electrode and the drain electrode. The oxide semiconductor layers having high carrier density face each other with the oxide semiconductor layer interposed therebetween, and each of the oxide semiconductor layers is in contact with part of each of

an upper surface, a lower surface, and a side surface of one of the end portions of the oxide semiconductor layer and part of an upper surface of the gate insulating layer.

指定代表圖：

第1B圖



符號簡單說明：

- 101 . . . 基板
- 102 . . . 基底絕緣層
- 103 . . . 第一閘極電極
- 105 . . . 閘極絕緣層
- 106a . . . 氧化物半導體層
- 106b . . . 氧化物半導體層
- 107 . . . 氧化物半導體層
- 109a . . . 源極電極
- 109b . . . 汲極電極
- 111 . . . 絕緣層
- 113 . . . 第二閘極電極

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100139591

※申請日：100 年 10 月 31 日

※IPC 分類：

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

H01L 29/78 (2006.01)

H01L 21/28 (2006.01)

二、中文發明摘要：

關於用於高功率使用之場效電晶體，其為電源裝置，提供一種具有良好的特性之場效電晶體。半導體裝置包含一第一閘極電極；一閘極絕緣層，覆蓋該第一閘極電極；一氧化物半導體層，與該第一閘極電極重疊且接觸該閘極絕緣層；具有高載子密度之氧化物半導體層，覆蓋該氧化物半導體層之端部；一源極電極與一汲極電極，與具有高載子密度之前述氧化物半導體層接觸；一絕緣層，覆蓋該源極電極、該汲極電極、與該氧化物半導體層；及一第二閘極電極，其與該絕緣層接觸且係被設於該源極電極與該汲極電極之間。具有高載子密度之該氧化物半導體層彼此面對而該氧化物半導體層係被插置於其間，且各前述氧化物半導體層係與該氧化物半導體層之端部的其中一者之上表面、下表面、與側表面之各者的一部分以及該閘極絕緣層之上表面的一部分相接觸。

三、英文發明摘要：

As for a field-effect transistor for high power use, which is a power device, a field-effect transistor having favorable characteristics is provided. A semiconductor device includes a first gate electrode; a gate insulating layer covering the first gate electrode; an oxide semiconductor layer that overlaps with the first gate electrode and is in contact with the gate insulating layer; oxide semiconductor layers having high carrier density covering end portions of the oxide semiconductor layer; a source electrode and a drain electrode in contact with the oxide semiconductor layers having high carrier density; an insulating layer covering the source electrode, the drain electrode, and the oxide semiconductor layer; and a second gate electrode that is in contact with the insulating layer and is provided between the source electrode and the drain electrode. The oxide semiconductor layers having high carrier density face each other with the oxide semiconductor layer interposed therebetween, and each of the oxide semiconductor layers is in contact with part of each of an upper surface, a lower surface, and a side surface of one of the end portions of the oxide semiconductor layer and part of an upper surface of the gate insulating layer.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件代表符號簡單說明：

101：基板

102：基底絕緣層

103：第一閘極電極

105：閘極絕緣層

106a：氧化物半導體層

106b：氧化物半導體層

107：氧化物半導體層

109a：源極電極

109b：汲極電極

111：絕緣層

113：第二閘極電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於包含氧化物半導體之半導體裝置。

於本說明書中，半導體裝置係指所有藉由利用半導體特性來操作之裝置。本說明書中所描述的電晶體係半導體裝置，且光電裝置、半導體電路、及包含該電晶體的電子裝置皆為半導體裝置。

【先前技術】

被使用於許多以平板顯示器為典型的液晶顯示裝置與發光顯示裝置之電晶體（薄膜電晶體與類似物）已包含矽半導體（例如非晶矽或多晶矽）且被形成於玻璃基板上。

注意力已被導向一種技術，該技術取代了此種矽半導體，而是使用展現半導體特性的金屬氧化物以用於電晶體。應注意在此說明書中，展現半導體特性的金屬氧化物係指氧化物半導體。

氧化物半導體的範例包含單一成分金屬氧化物的錫氧化物、錫氧化物、銦氧化物、鋅氧化物、及類似物以及同系化合物的以銦-鎵-鋅-氧為基的（In-Ga-Zn-O-based）氧化物。專利文件 1 與 2 已揭露將此氧化物半導體使用以形成電晶體作為顯示裝置之像素中的切換元件與類似物的技術。

除了上述液晶顯示裝置與發光顯示裝置以外，使用矽的半導體特性之半導體裝置包含電源裝置以供高功率施加

。電源裝置為對於電氣裝置的電源控制為不可缺少的半導體裝置，且係被使用於例如電氣裝置之電池的保護電路、或用於驅動雙動力汽車中的電氣馬達之反向器。

典型的電源裝置有整流二極體、電源金氧半場效電晶體（MOSFET）、絕緣閘極雙極性電晶體（IGBT）、及類似物；電源裝置需要良好的崩潰電壓特性與高輸出電流。

例如，為矽半導體其中一者之矽碳化物（SiC）係被使用於具有良好的崩潰電壓之肖特基屏障二極體的技術係為已知（見專利文件 3）。

[參考文件]

專利文件 1：日本專利申請案公開號 2007-123861

專利文件 2：日本專利申請案公開號 2007-096055

專利文件 3：日本專利申請案公開號 2007-133819

【發明內容】

電源裝置對於高功率施加係有需要具有良好的崩潰電壓特性與高輸出電流；然而，在實際製造電源裝置時有許多問題。

例如，關於取得良好的崩潰電壓特性（汲極崩潰電壓）的方法，電源裝置的半導體層之厚度會增加；然而，僅增加半導體層的厚度會使輸出電流減少。

鑒於上述問題，本發明之一實施例的目的係提供具有良好特性的半導體裝置。

在形成通道區的半導體層具有大厚度以改善場效電晶

體中崩潰電壓特性（汲極崩潰電壓）的情況下，由於半導體層之厚度方向的半導體層之電阻，導通狀態電流係減少。

導通狀態電流係指當場效電晶體導通時流於源極電極與汲極電極間之電流（汲極電流）。例如，導通狀態電流係指當場效電晶體之閘極電壓大於臨界電壓時流於源極電極與汲極電極間之電流（汲極電流）。

揭露於本發明之場效電晶體為具有兩個閘極電極的雙閘極電晶體，其中具有高載子密度的半導體層係被提供於半導體層形成通道區的部分。由於雙閘極電晶體，通道區可被形成於半導體層與絕緣層（其係被提供於兩閘極電極之各者與半導體層間）間的介面周圍，使得導通狀態電流可被改善。此外，具有高載子密度的半導體層係被提供於半導體層形成電晶體的部份，使得因半導體層之厚度方向的電阻所造成導通狀態電流的減少可被抑制。

再者，揭露於本發明之場效電晶體具有一種結構，其中形成通道區之半導體層之端部係被具有高載子密度的半導體層所覆蓋。依此結構，半導體層與源極及汲極電極間的接觸電阻可被減少；因此，導通狀態電流的減少可被抑制。

於本發明所揭露之場效電晶體中，具有大於矽半導體之帶寬的氧化物半導體係被使用於半導體層，使得良好的崩潰電壓特性（汲極崩潰電極）可被達成。

本發明之一實施例為一種半導體裝置，包含一第一閘

極電極；一閘極絕緣層，覆蓋該第一閘極電極；一氧化物半導體層，與該第一閘極電極重疊且接觸該閘極絕緣層；具有高載子密度之氧化物半導體層，覆蓋該氧化物半導體層之端部；一源極電極與一汲極電極，與具有高載子密度之前述氧化物半導體層接觸；一絕緣層，覆蓋該源極電極、該汲極電極、與該氧化物半導體層；及一第二閘極電極，其與該絕緣層接觸且係被設於該源極電極與該汲極電極之間。具有高載子密度之該氧化物半導體層彼此面對而該氧化物半導體層係被插置於其間，且各前述氧化物半導體層係與該氧化物半導體層之端部的其中一者之上表面、下表面、與側表面之各者的一部分以及該閘極絕緣層之上表面的一部分相接觸。

再者，該氧化物半導體層的厚度較佳大於或等於 $0.2\mu\text{m}$ 且小於或等於 $10\mu\text{m}$ ，且該氧化物半導體層可為一結晶氧化物半導體層。依此結晶氧化物半導體層，可提供高度可靠的半導體裝置，其中電晶體之電氣特性因可見光或紫外線的照射所造成的改變可被抑制。該結晶氧化物半導體層包含一氧化物，其包含 c 軸對準的晶體（亦稱為 CAAC(C-Axis Aligned Crystal)）且不具有單晶結構也沒有非晶結構。

換句話說，本發明之另一實施例為上述半導體裝置，其中的氧化物半導體層為結晶半導體層，且結晶氧化物半導體層具有平行結晶半導體層的表面之 a-b 平面且具有對準垂直該表面之方向的 c 軸。

再者，本發明之另一實施例為包含具有鋅的結晶氧化物半導體層之半導體裝置。此外，本發明之另一實施例為包含具有鋅與銦的結晶氧化物半導體層之半導體裝置。

根據本發明之一實施例，導通狀態電流的減少可被抑制，且可提供具有高崩潰電壓特性（汲極崩潰電壓）的半導體裝置。

【實施方式】

以下將參考所附圖式詳細說明本發明之實施例。然而，本發明並不限於以下說明且對於所屬技術領域中具有通常知識者而言可在不超出本發明的範疇及精神的情況下對說明的模式及細節進行各種修改。因此，本發明不應被解釋為受限於以下實施例的說明。於用於解釋實施例之圖式中，相同部份或具有相同功能之部份係以相同的元件符號表示。相同的剖面線圖樣係應用於相似部分，且相似部份在某些情況下不會特別以元件符號表示。應注意的是，各圖式中所顯示的各結構之大小、層厚度、或區域係在某些情況下被放大以清楚表示。因此本發明不限於圖式中所示的尺寸。

於包含於電晶體中的層（或電極）堆疊的圖式中，從上層之端部突出的下層的端部在某些情況下為了方便起見並未圖示於電晶體的平面圖中。

應注意的是，當說明中提到「A 與 B 係彼此連接」時，A 與 B 係彼此電氣連接的情況、及 A 與 B 係彼此直接連

接的情況，皆包含於其中。此時，A 與 B 之各者對應至物件（例如裝置、元件、電路、線路、電極、終端、導電膜、或層）。

應注意的是，電壓係指兩點的電位間的差，且電位係指在靜電場中給定點的單位電荷之靜電能（電位能）。應注意的是，一般而言，一個點的電位與參考電位（例如接地電位）間的差係被稱為電位或電壓，且電位與電壓在許多情況下係被使用為同義字。因此，於此說明書中，電位可被改述為電壓而電壓可被改述為電位，除非另有限定。

應注意的是，「源極（source）」與「汲極（drain）」的功能在例如在電路操作期間電流方向被改變的情況下可以切換。因此，在說明書中，用語「源極」與「汲極」可被使用以分別表示汲極與源極。

（實施例 1）

於此實施例中，將參考第 1A 至 1C 圖、第 2A 至 2D 圖、及第 3A 至 3D 圖說明根據本發明一實施例之電晶體的結構與製造電晶體的方法。

<電晶體 100 的結構>

第 1A 圖為電晶體 100 的平面圖。應注意的是，為了方便起見，第 1A 圖中未圖示基底絕緣層 102、閘極絕緣層 105、及絕緣層 111。第 1A 圖顯示作用為閘極電極的第一閘極電極 103、作用為通道形成區的氧化物半導體層

107、具有高載子密度的氧化物半導體層 106a 與 106b、源極電極 109a、汲極電極 109b、及設於源極電極 109a 與汲極電極 109b 間之第二閘極電極 113，其係重疊氧化物半導體層 107 且絕緣層 111 係被插置於其間，且係作用為背閘極電極。換句話說，電晶體 100 為雙閘極電晶體。

接著，沿線 A-B 所取的電晶體 100 之剖面圖係顯示於第 1B 圖。電晶體 100 在基板 101 上方包含基底絕緣層 102、第一閘極電極 103、閘極絕緣層 105、氧化物半導體層 107、具有高載子密度的氧化物半導體層 106a 與 106b、源極電極 109a、汲極電極 109b、絕緣層 111 及第二閘極電極 113。

沿線 A-B 所取的電晶體 100 之剖面圖係被說明。基底絕緣層 102 係設於基板 101 上方。第一閘極電極 103 係被設置成與基底絕緣層 102 接觸。第一閘極電極 103 係被閘極絕緣層 105 覆蓋。氧化物半導體層 107 重疊第一閘極電極 103 且係被設置成與閘極絕緣層 105 接觸。氧化物半導體層 107 的端部係被覆蓋具有高載子密度的氧化物半導體層 106a 與 106b。源極電極 109a 與汲極電極 109b 係與具有高載子密度的氧化物半導體層 106a 與 106b 接觸。絕緣層 111 覆蓋氧化物半導體層 107、源極電極 109a 與汲極電極 109b。第二閘極電極 113 係接觸絕緣層 111 且係介於源極電極 109a 與汲極電極 109b 間。

此外，具有高載子密度的氧化物半導體層 106a 與 106b 彼此面對而氧化物半導體層 107 係被插置於其間，且

各前述氧化物半導體層係與氧化物半導體層 107 之端部的其中一者之上表面、下表面、與側表面之各者的一部分以及閘極絕緣層 105 之上表面的一部分相接觸。

再者，第 1A 圖中沿線 C-D 所取的剖面圖係顯示於第 1C 圖。第 1C 圖顯示源極電極 109a。具有高載子密度的氧化物半導體層 106a 係接觸氧化物半導體層 107 之所有上表面、下表面、與側表面。源極電極 109a 係與具有高載子密度的氧化物半導體層 106a 接觸。

於電晶體 100 中，由於具有高載子密度的氧化物半導體層 106a 與 106b 覆蓋氧化物半導體層 107 之端部且係接觸源極電極 109a 與汲極電極 109b，故氧化物半導體層 107 與源極電極 109a 及汲極電極 109b 間的接觸電阻可被降低，使得由接觸電阻所產生之導通狀態電流的減少可被抑制。

當係為通道形成區的半導體層具有大厚度以改良場效電晶體中的崩潰電壓特性（汲極崩潰電壓）時，因半導體層之厚度方向的電阻使得導通狀態電流係被減少。然而，類似第 1B 圖與第 1C 圖，當具有高載子密度的氧化物半導體層 106a 與 106b 的部分係形成於閘極絕緣層 105 與氧化物半導體層 107 間時，因半導體層之厚度方向的電阻所造成導通狀態電流的減少可被抑制。

可預期的是，抑制導通狀態電流的減少之效果亦可在形成於閘極絕緣層 105 與氧化物半導體層 107 間之具有高載子密度的氧化物半導體層 106a 與 106b 的部分係被使用

任何金屬材料、其合金材料、與類似物來取代的情況下被獲得。然而，在此情形下，接觸電阻沒有產生充分的效果，因為任何的金屬材料或其合金材料係接觸氧化物半導體層 107。因此，較佳的情況是，具有高載子密度的氧化物半導體層 106a 與 106b 係形成於閘極絕緣層 105 與氧化物半導體層 107 間的部分中。

由於電晶體 100 為具有第一閘極電極 103 與第二閘極電極 113 的雙閘極電晶體，通道區可被形成於氧化物半導體層 107 與閘極絕緣層 105 間的介面周圍及氧化物半導體層 107 與絕緣層 111 間的介面周圍；因此，電晶體的導通狀態電流可被改善。

<電晶體 100 的組件>

關於基板 101，可使用藉由熔融法（fusion method）或流動法（float method）所形成的不含鹼的玻璃基板、具有足以承受將於之後執行的熱處理之抗熱性的塑膠基板、或類似物。此外，可使用絕緣膜係被設於金屬基板（例如不鏽鋼基板）的表面上之基板、或絕緣膜係被設於半導體基板的表面上之基板。

關於玻璃基板，若將於之後執行的熱處理之溫度很高，則較佳係使用應變點為 730°C 或更高的玻璃基板。關於玻璃基板，係使用例如鋁矽酸鹽玻璃、硼鋁矽酸鹽玻璃、或鋇硼矽酸鹽玻璃。應注意的是，當氧化鋇（ BaO ）的量大於三氧化二硼（ B_2O_3 ）時，可獲得具有高抗熱性的實用

玻璃。因此，較佳係使用 BaO 的量大於硼酸的玻璃基板。

應注意的是，取代上述玻璃基板，可使用以絕緣體（例如陶瓷基板、石英基板、或藍寶石基板）形成的基板。替代地，可使用結晶的玻璃或類似物。

設於基板 101 與第一閘極電極 103 間的基底絕緣層 102 不但可避免雜質元素自基板 101 擴散且可在用於製造電晶體的步驟中所包含的蝕刻步驟期間蝕刻基板 101。因此，基底絕緣層 102 的厚度較佳為（但不限於）50nm 或更多。應注意的是，基底絕緣層 102 係使用氧化物絕緣膜及/或氮化物絕緣膜（例如矽氧化物膜、鎵氧化物膜、鋁氧化物膜、矽氮化物膜、矽氮氧化物膜、鋁氮氧化物膜、及矽氮氧化合物膜）以單層結構或層狀結構來形成。當使用於基底絕緣層 102 時，具有高傳熱性的鋁氮化物膜、鋁氮氧化合物膜、矽氮化物膜對於改善散熱特別有效。由於鹼金屬（例如 Li 或 Na）係不純物，較佳係減少鹼金屬的含量。在使用包含不純物（例如鹼金屬）之玻璃基板作為基板 101 的情況下，基底絕緣層 102 較佳係使用氮化物絕緣膜（例如矽氮化物膜或鋁氮化物膜）來形成以防止鹼金屬的進入，且於此情形下，氧化物絕緣膜較佳係形成於氮化物絕緣膜上方。

作為閘極電極的第一閘極電極 103 可被使用金屬材料（例如鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、或鈳、或包含任何這些材料作為主要成分之合金材料）來形成。此外，第一閘極電極 103 可具有單層結構或具有二或更多層的層

狀結構。例如，可使用含有矽的鋁膜之單層結構、鋁膜與堆疊於其上的鈦膜之兩層結構、鎢膜與堆疊於其上的鈦膜之兩層結構、按順序堆疊為鈦模、鋁膜、鈦膜之三層結構、及類似物。

第一閘極電極 103 的厚度不特別限制且可根據以金屬材料、合金材料、或另一化合物形成之電阻及形成步驟所需時間的適當考量來決定。

閘極絕緣層 105 係接觸氧化物半導體層 107 因而需具有高品質。這是因為藉由移除不純物所獲得的 i 型或實質為 i 型的氧化物半導體層（氫濃度降低且被高度純化的氧化物半導體層）之氧化物半導體層 107 對於介面狀態與介面電荷極為敏感，因此氧化物半導體層 107 與閘極絕緣層 105 間的介面很重要。

閘極絕緣層 105 可被使用矽氧化物膜、鎵氧化物膜、鋁氧化物膜、矽氮化物膜、矽氮氧化物膜、鋁氮氧化物膜、及矽氮氧化合物膜來形成。應注意的是，閘極絕緣層 105 較佳在接觸氧化物半導體層 107 的部份包含氧。具體言之，氧化物絕緣膜較佳包含大量的氧，於（大量(a bulk of)）的膜中其超過至少化學計量。例如，在矽氧化物膜被使用作為閘極絕緣層 105 的情況下，組成化學式為 $\text{SiO}_{2+\alpha}$ （應注意 $\alpha > 0$ ）。藉由使用矽氧化物膜作為閘極絕緣層 105，氧可被供應至氧化物半導體層 107 且可獲得良好的特性。再者，閘極絕緣層 105 較佳係在考量將形成的電晶體尺寸（通道長度與通道寬度）及閘極絕緣層 105 的步階

覆蓋 (step coverage) 的情況下來形成。

當閘極絕緣層 105 係使用例如高 k (high- k) 材料 (例如鈺氧化物、釷氧化物、鈺矽酸鹽 (HfSi_xO_y ($x>0, y>0$)) 、加入氮的鈺矽酸鹽 ($\text{HfSi}_x\text{O}_y\text{N}_z$ ($x>0, y>0, z>0$)) 、或鈺鋁酸鹽 (HfAl_xO_y ($x>0, y>0$))) 來形成時，閘極漏電流可被減少。閘極絕緣層 105 可以單層結構或層狀結構來形成。當閘極絕緣層 105 的厚度增加時，閘極漏電流可被減少。應注意的是，閘極絕緣層的厚度可為大於或等於 50nm 及小於或等於 500nm。

氧化物半導體層 107 可被使用四種成分的金屬氧化物 (例如以銦-錫-鎳-鋅為基的 (In-Sn-Ga-Zn-based) 金屬氧化物) 、三種成分的金屬氧化物 (例如以銦-鎳-鋅為基的 (In-Ga-Zn-based) 金屬氧化物、以銦-錫-鋅為基的 (In-Sn-Zn-based) 金屬氧化物、以銦-鋁-鋅為基的 (In-Al-Zn-based) 金屬氧化物、以錫-鎳-鋅為基的 (Sn-Ga-Zn-based) 金屬氧化物、以鋁-鎳-鋅為基的 (Al-Ga-Zn-based) 金屬氧化物、或以錫-鋁-鋅為基的 (Sn-Al-Zn-based) 金屬氧化物) 、兩種成分的金屬氧化物 (例如以銦-鎳為基的 (In-Ga-based) 金屬氧化物、以銦-鋅為基的 (In-Zn-based) 金屬氧化物、以錫-鋅為基的 (Sn-Zn-based) 金屬氧化物、或以鋁-鋅為基的 (Al-Zn-based) 金屬氧化物) 、單一成分的金屬氧化物 (例如鋅氧化物、或類似物) 來形成。除了上述金屬氧化物以外，可使用例如銦氧化物與錫氧化物、及這些金屬氧化物之其中一者之金屬氧化物以

用於氧化物半導體層 107。氧化物半導體層 107 較佳係考量後文中說明的結晶氧化物半導體的製造而使用包含鋅之金屬氧化物或包含鋅與銦之金屬氧化物來形成。舉例來說，以銦-鎵-鋅為基的金屬氧化物意指含有銦（In）、鎵（Ga）、鋅（Zn）的氧化物膜，且對其組成比例沒有限制。再者，以銦-鎵-鋅為基的金屬氧化物可包含 In、Ga、Zn 以外的元素。

再者，氧化物半導體層 107 較佳係藉由充分移除不純物（例如氫）且充分供應氧而被高度純化。具體言之，氧化物半導體層 107 中的氫濃度係例如小於或等於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳係小於或等於 $5 \times 10^{18} \text{atoms/cm}^3$ ，再較佳係小於或等於 $5 \times 10^{17} \text{atoms/cm}^3$ 。應注意的是，氧化物半導體層 107 中的氫濃度係由二次質譜儀（SMS）所測量。因氧化物半導體層 107 中的載子（例如氫）所產生的載子密度（其中氫係被降低至足夠低的濃度且其中能帶中因氧不足造成的缺陷狀態係藉由如上所述在後文中說明的製程中充分供應氧而被降低）係大於或等於 $1 \times 10^{10} / \text{cm}^3$ 且小於或等於 $1 \times 10^{13} / \text{cm}^3$ 。依此方式，藉由使用 i 型（本質（intrinsic））或實質 i 型的氧化物半導體，可獲得具有良好電氣特性之電晶體 100。由於鹼金屬（Li 或 Na）為不純物，此種鹼金屬的含量較佳被降低。氧化物半導體層 107 中的鹼金屬濃度係 $2 \times 10^{16} \text{cm}^{-3}$ 或更低，較佳係 $1 \times 10^{15} \text{cm}^{-3}$ 或更低。再者，鹼土金屬的含量較佳為低，因為鹼土金屬亦為不純物。

具體言之，以銦-鎵-鋅-氧為基的金屬氧化物較佳係被使用為用於半導體裝置的半導體材料，因為當沒有施加電場時其具有足夠高的電阻，且因為其具有高場效移動性。

場效電晶體的汲極崩潰電壓係由氧化物半導體層的厚度來決定。因此，為了增加汲極崩潰電壓，氧化物半導體層 107 的厚度較佳係為厚且可根據期望的汲極崩潰電壓來做選擇。因此，考量源極電極與汲極電極間的電流量，氧化物半導體層 107 的厚度較佳係為 $0.2\mu\text{m}$ 至 $10\mu\text{m}$ 的範圍內。

現在將說明包含氧化物半導體的電晶體之汲極崩潰電壓。

當半導體中的電場達到特定臨界值時，碰撞電離 (impact ionization) 會發生，由高電場所加速的載子會碰撞空乏層中的晶格，因而產生成對的電子與電洞。當電場變得更高時，由碰撞電離所產生之成對的電子與電洞會進一步藉由電場而加速，而使碰撞電離重複，導致突崩崩潰 (avalanche breakdown)，其中電流係指數地增加。此碰撞電離因載子 (電子與電洞) 具有大於或等於半導體的能帶間隙之動能而發生。已知顯示碰撞電離的機率之碰撞電離係數與能帶間隙相關且當能帶間隙增加時碰撞電離未必會發生。

由於氧化物半導體的能帶間隙為 3.15eV ，其係大於矽的能帶間隙 (1.12eV)，故突崩崩潰預期未必會發生。因此，包含氧化物半導體的電晶體具有高汲極崩潰電壓，使

得導通狀態電流即使當施加高電場時也不容易以指數方式急遽增加。

接著，將說明包含氧化物半導體的電晶體之熱載子衰退（hot-carrier degradation）。

熱載子衰退係指電晶體特性的惡化，例如臨界電壓或閘極漏電流中的偏移，其起因係如後所述：被迅速地加速的電子在進入閘極絕緣膜之通道中的汲極附近受損且在閘極絕緣膜與氧化物半導體間的介面處變成固定的電荷或形成陷阱能階（trap level）。熱載子衰退的因素為例如通道-熱-電子受損（channel-hot-electron injection；CHE 受損）及汲極-突崩-熱-載子受損（drain-avalanche-hot-carrier injection；DAHC 受損）。

由於矽的能帶間隙係窄，電子有可能被如同由於突崩崩潰之突崩般產生，且被加速成非常迅速以越過障壁至閘極絕緣膜之電子在數量上係增加。然而，氧化物半導體具有寬能帶間隙；因此，突崩崩潰未必會發生且對於熱載子衰退的抵抗能力較矽為高。因為此理由，可知包含氧化物半導體之電晶體具有高汲極崩潰電壓。因此，此實施例中所述之電晶體係適用於用於高功率施加的電源裝置，例如整流二極體或絕緣閘極雙極性電晶體（IGBT）。

具有高載子密度的氧化物半導體層 106a 與 106b（其覆蓋氧化物半導體層 107 的端部）可被使用以銦-鋅-氧為基的（In-Zn-O-based）材料、以銦-錫-氧為基的（In-Sn-O-based）材料、以銦-氧為基的（In-O-based）材料、或

以錫-氧為基的 (Sn-O-based) 材料來形成。上述材料可包含 SiO_x ($x>0$, 例如 SiO_2) ; 當上述材料包含 SiO_x 時, 要將具有高載子密度的氧化物半導體層 106a 與 106b 變成非晶會較容易。於此情形下, 當熱處理係在用以製造電晶體 100 的步驟中被執行時, 具有高載子密度的氧化物半導體層 106a 與 106b 可避免被結晶化。具有高載子密度的氧化物半導體層 106a 與 106b 可具有大於或等於 1nm 且小於或等於 200nm 之厚度。

源極電極 109a 與汲極電極 109b 可被使用在第一閘極電極 103 的說明中提到的任何金屬材料與合金材料來形成, 且電極的結構之厚度可根據關於第一閘極電極 103 的說明而被適當地決定。

絕緣層 111 可被使用在閘極絕緣層 105 的說明中提到的任何絕緣膜來形成。絕緣層 111 亦接觸係為通道形成區的氧化物半導體層 107; 因此, 絕緣層 111 較佳在接觸氧化物半導體層 107 的部份包含氧, 且具體言之, 絕緣層 111 較佳係使用矽氧化物膜來形成。藉由使用矽氧化物膜 ($\text{SiO}_{2+\alpha}$ (應注意 $\alpha>0$)), 氧可被供應至氧化物半導體層 107 且可獲得良好的特性。替代地, 亦可使用在閘極絕緣層 105 的說明中提到的高 k (high- k) 材料。再者, 絕緣層 111 可以單層結構或層狀結構來形成。當絕緣層 111 的厚度增加時, 於後閘極側的閘極漏電流可被減少。絕緣層 111 的厚度較佳係大於或等於 50nm 且小於或等於 500nm。

作為背閘極電極的第二閘極電極 113 可被使用在第一閘極電極 103 的說明中提到的任何金屬材料與合金材料來形成，且電極的結構之厚度可根據關於第一閘極電極 103 的說明而被適當地決定。

至於可靠度，包含氧化物半導體的電晶體之電氣特性係因可見光或紫外線的照射或熱或電場的施加而改變。關於電氣特性的改變之範例，電晶體變成「常時導通（normally-on）」的電晶體，其中汲極電流即使在沒有電壓被施加至閘極電極（ $V_g=0$ ）的狀態下亦會流動。在根據本發明之一實施例的電晶體 100 被考量為 n 通道（n-channel）電晶體（其中電子為大多數的載子）的情形下，於汲極電流中的電子流於形成為空乏層之區域中。換句話說，電子於其中流動的區域包含於設有源極電極 109a、汲極電極 109b、及絕緣層 111 之側的氧化物半導體層 107（第 1B 圖中之氧化物半導體層 107 之上側）。因此，電洞係被電子感應且被導引至氧化物半導體層 107 側（第 1B 圖中的絕緣層 111 之底側）上的絕緣層 111；於是，可知電晶體隨著時間的經過變成常時導通。因此，由於電晶體 100 具有第二閘極電極 113，可將給定電位施加至第二閘極電極 113，且臨界電壓（ V_{th} ）係被控制，使得電晶體可被避免常時導通。

現在將參考第 2A 至 2D 圖說明第二閘極電極 113 的外形。

第 2A 圖所示的第二閘極電極 113 與第 1A 圖所示的

第二閘極電極 113 具有相同外形。第二閘極電極 113 可被形成爲平行第一閘極電極 103 且重疊源極電極 109a 與汲極電極 109b 且絕緣層 111 係被插置於其間。於此情形下，施加至第二閘極電極 113 的電位與施加至第一閘極電極 103 的電位可被獨立地控制。因此，上述優點效果可被獲得。

如第 2B 圖所示，第二閘極電極 113 有可能平行第一閘極電極 103 但是不重疊源極電極 109a 與汲極電極 109b。同樣的在此組構中，由於施加至第二閘極電極 113 的電位與施加至第一閘極電極 103 的電位可被獨立地控制，故臨界電壓（ V_{th} ）可被控制，使得電晶體可被避免常時導通。

如第 2C 圖所示，第二閘極電極 113 可被連接至第一閘極電極 103。換句話說，第一閘極電極 103 與第二閘極電極 113 可被彼此電氣連接，透過形成於閘極絕緣層 105 與絕緣層 111 中的開口 150。在此情形下，施加至第二閘極電極 113 的電位與施加至第一閘極電極 103 的電位係相等。因此，電晶體可被避免變成常時導通。

如第 2D 圖所示，第二閘極電極 113 不一定要連接至第一閘極電極 103，且可處於浮接狀態（floating state）。

再者，如同第 2B 圖中的結構，第 2C 圖與第 2D 圖所示的結構中第二閘極電極 113 有可能不重疊源極電極 109a 與汲極電極 109b 且絕緣層 111 係被插置於其間。

雖然未於第 1A 至 1C 圖中顯示，保護絕緣層可被設置於電晶體 100 中之絕緣層 111 或第二閘極電極 113 上方。

<電晶體 100 的製造方法>

接著，將參考第 3A 至 3D 圖說明製造電晶體 100 的方法。

基底絕緣層 102 係被形成於基板 101 上方。透過此程序，可獲得使得玻璃基板中的不純物可被避免進入將被形成的電晶體之效果。

基底絕緣層 102 可被藉由濺鍍法、CVD 法、塗佈法等類似方法來形成。

應注意的是，當基底絕緣層 102 係藉由濺鍍法來形成時，基底絕緣層 102 較佳係當在處理室中仍存在的氫、水、氫氧基、氫化物或類似物被移除時才形成。這是為了避免氫、水、氫氧基、氫化物或類似物仍包含於基底絕緣層 102 中。較佳係使用包覆真空泵（*entrapment vacuum pump*）以移除在處理室中仍存在的氫、水、氫氧基、氫化物或類似物。關於包覆真空泵，較佳係使用例如低溫泵、離子泵、鈦昇華泵（*titanium sublimation pump*）。抽真空單元可為設有冷阱（*cold trap*）的渦輪泵。氫、水、氫氧基、氫化物或類似物係被以低溫泵抽真空而從處理室移除；因此，當基底絕緣層 102 係被形成於處理室中時，基底絕緣層 102 中所含有的不純物之濃度可被降低。

較佳係使用高純度氣體（其中例如氫、水、氫氧基、

或氫化物的不純物係被移除至不純物濃度係以 ppm 或 ppb 來表示的程度) 來作為形成基底絕緣層 102 時所使用的濺鍍氣體。

於此實施例中，基板 101 係被轉送至處理室，包含高純度氧的濺鍍氣體(其中氫、水、氫氧基、氫化物、或類似物係被移除)係被導入處理室中，且透過使用矽靶材，矽氧化物膜係在基板 101 上方被形成為基底絕緣層 102。應注意的是，當基底絕緣層 102 被形成時，基板 101 可被加熱。

當基底絕緣層 102 係使用例如層狀結構而形成時，矽氮化物膜係被使用矽靶材與包含高純度氮之濺鍍氣體(其中例如氫、水、氫氧基、氫化物、或類似物係被移除)於矽氧化物膜與基板間形成。同樣在該情形下，如在矽氧化物膜的情形，較佳係在處理室中仍存在的氫、水、氫氧基、氫化物或類似物被移除的狀態下才形成。應注意的是，在處理中，基板 101 可被加熱。

在矽氮化物膜與矽氧化物膜係堆疊成基底絕緣膜的情況下，矽氮化物膜與矽氧化物膜可使用相同矽靶材在相同處理室中被形成。首先，矽氮化物膜係以包含氮的蝕刻氣體被引入且設置於處理室中的矽靶材被使用的方式來形成。接著，矽氧化物膜係以將氣體轉換為包含氧的蝕刻氣體且使用相同的矽靶材的方式來形成。矽氮化物膜與矽氧化物膜可在不暴露於空氣中的情況下連續形成；因此，可避免例如氫、水、氫氧基、或氫化物的不純物被矽氮化物膜

的表面吸收。

接著，第一閘極電極 103 係形成於基板 101（其上方係形成有基底絕緣層 102）上方。第一閘極電極 103 可被以藉由濺鍍法（物理氣相沈積法（PVD 法）、真空沈積法、化學氣相沈積法（CVD 法））使導電膜形成於基板 101 上方；光阻遮罩係藉由第一微影（photolithography）步驟於導電膜上方形成；及導電膜係使用光阻遮罩來蝕刻（或處理）的方式來形成。替代地，光阻遮罩係由列印（printing）法或噴墨（ink-jet）法取代微影步驟，使得形成第一閘極電極 103 的步驟數量可被減少。應注意的是，第一閘極電極 103 的端部較佳具有錐狀的外形，因為與之後將形成的閘極絕緣層 105 間的覆蓋可被改善。在使用微影步驟的情形下，錐狀的外形可被藉由蝕刻同時將光阻遮罩倒退而獲得。

於此實施例中，具有厚度為 150nm 的鎢膜係藉由濺鍍法來形成為將為第一閘極電極 103 之導電膜，然後使用藉由第一微影步驟形成的光阻遮罩來蝕刻以形成第一閘極電極 103。

覆蓋第一閘極電極 103 之閘極絕緣層 105 係被形成。閘極絕緣層 105 可被使用類似基底絕緣層 102 中的方法來形成。當矽氧化物層係由濺鍍法形成時，矽靶材或石英靶材係被使用作為靶材且氧或氧與氫的混合氣體係被使用作為濺鍍氣體。

例如，較佳係將使用微波（頻率為 2.45GHz 的微波）

之高密度電漿輔助 CVD 法使用於絕緣層係由 CVD 法所形成的情況下。這是因為使用絕緣層（其為緻密的(dense)且具有高崩潰電壓與高品質）作為閘極絕緣層 105 會提供閘極絕緣層 105 與被高度純化的氧化物半導體層（其氫濃度係被降低）間的緊密接觸，使得介面狀態可被降低且介面特性可為良好的。此外，由於使用高密度電漿輔助 CVD 法所形成的絕緣層可具有一致的厚度，故絕緣層具有絕佳的步階覆蓋。再者，關於使用高密度電漿輔助 CVD 法所形成的絕緣層，其厚度可被準確地控制。

於此實施例中，200nm 厚的矽氮氧化物膜係藉由濺鍍法而形成。閘極絕緣層 105 較佳係被使用，使得氫濃度被降低。閘極絕緣層 105 可利用類似形成基底絕緣層 102 中的方法來形成。例如，閘極絕緣層 105 係使用含有高純度氧之濺鍍氣體（其中氫、水、氫氧基、氫化物、或類似物係被移除）來形成，或閘極絕緣層 105 係當處理室中仍存在的氫、水、氫氧基、氫化物、或類似物被移除時被形成。再者，較佳係預熱處理係在閘極絕緣層 105 被形成之前被執行，以移除仍存在於濺鍍裝置的內壁上、靶材的表面上、或靶材材料中的水分或氫；在預熱處理後，基板或濺鍍裝置係被冷卻；然後，在沒有暴露於空氣的情況下，形成閘極絕緣層 105。

接著，在形成具有高載子密度的氧化物半導體層 106a 與 106b 的步驟中，在形成氧化物半導體層 107 前，具有高載子密度的氧化物半導體膜與其蝕刻的一組形成係被執

行一次。首先，在閘極絕緣層 105 上方，具有高載子密度的氧化物半導體膜係被形成。具有高載子密度的氧化物半導體膜可被使用用於類似將於之後形成的氧化物半導體膜 117 中的方法來形成。於此實施例中，關於上述材料，含有 SiO_2 的 In-Sn-O 膜係被藉由濺鍍法來形成為具有 50nm 的厚度。

因此，氧化物半導體膜係被使用由第二微影步驟所形成的光阻遮罩來蝕刻，使得具有高載子密度的島形氧化物半導體層 104a 與 104b 係被形成。此時，氧化物半導體膜較佳係被蝕刻使得具有高載子密度的島形氧化物半導體層 104a 與 104b 的端部係為錐狀。關於此蝕刻步驟，可使用濕蝕刻處理、乾蝕刻處理、或兩者一起。至於用於濕蝕刻的蝕刻劑，可使用磷酸、乙酸、與硝酸的混合溶液、氫過氧化氫混合物（31wt%過氧化氫水：28wt%氨水：水=5：2：2（體積比））或類似物。此外，亦可使用 ITO-07N（KANTO CHEMICAL CO., INC.所製造）。

濕蝕刻之後，藉由清潔處理，蝕刻劑係與被蝕刻的材料一起被移除。包含蝕刻劑與被蝕刻掉的材料之廢液可被純化且材料可被再利用。當例如銦的材料係從蝕刻後的廢液中搜集並再利用時，資源可被有效率地使用且成本可被降低。

至於乾蝕刻處理的蝕刻氣體，較佳係使用含有氯的氣體（以氯為基的氣體，氯（ Cl_2 ）、三氯化硼（ BCl_3 ）、四氯化矽（ SiCl_4 ）、四氟化碳（ CF_4 ））。

替代地，亦可使用含有氟的氣體（以氟為基的氣體，例如例如四氟化碳（ CF_4 ）、六氟化硫（ SF_6 ）、三氟化氮（ NF_3 ）、或三氟甲烷（ CHF_3 ））、溴化氫（ HBr ）、氧（ O_2 ）、任何將例如氦（ He ）或氬（ Ar ）之稀有氣體加入這些氣體中者、或類似物。

關於乾蝕刻法，可使用平行板反應式離子蝕刻（ RIE ）法或感應耦合電漿（ ICP ）蝕刻法。為了將該層蝕刻成期望的外形，可適當地調整蝕刻條件（施加至線圈狀電極的電源量、施加至基板側之電極的電源量、基板側之電極的溫度、或類似物）。

接著，氧化物半導體層 107 係被形成為接觸具有高載子密度的島形氧化物半導體層 104a 與 104b 並重疊第一閘極電極 103，且閘極絕緣層 105 係被插置於其間。首先，在閘極絕緣層 105 與具有高載子密度的島形氧化物半導體層 104a 與 104b 上方，氧化物半導體膜 117 係被藉由濺鍍法、塗佈法、列印法、或類似方法而形成。

於此實施例中，氧化物半導體膜 117 係被藉由濺鍍法來形成。氧化物半導體膜 117 係被以濺鍍氣體（其中，氫、水、氫氧基、氫化物或類似物係被移除）被引入處理室中且金屬氧化物係被使用作為靶材同時基板係被保持於保持在降壓狀態的處理室中且仍存在處理室中的水分係被移除的方式來形成。較佳係使用包覆真空泵以移除在處理室中仍存在的氫、水、氫氧基、氫化物或類似物。例如，較佳係使用例如低溫泵、離子泵、或鈦昇華泵。抽真空單元

可為設有冷阱的渦輪泵。例如，氫、水、氫氧基、氫化物或類似物（更佳係包含含有碳原子的化合物）係被使用低溫泵而從處理室中被排出。因此，氧化物半導體膜 117 中所含有的不純物之濃度可被降低。氧化物半導體膜 117 可在基板被加熱時被形成。在預熱處理被以類似形成閘極絕緣層 105 的方法執行之後，氧化物半導體膜 117 係被形成。

再者，當濺鍍裝置之處理室的洩露率被設為小於或等於 $1 \times 10^{-10} \text{ Pa} \cdot \text{m}^3/\text{second}$ 時，例如鹼金屬或氫化物之不純物進入藉由濺鍍法所形成之氧化物半導體膜的機會可被降低。再者，由於使用包覆真空泵作為真空系統，可降低來自真空系統之不純物（例如鹼金屬、氫原子、氫分子、水、氫氧基、或氫化物）的逆流。

關於藉由濺鍍法中用以形成氧化物半導體膜 117 的靶材，由以上說明可使用含有鋅的金屬氧化物靶材或含有鋅與銦的金屬氧化物靶材。可使用含有大於或等於 2wt% 及小於或等於 10wt% 之 SiO_2 的靶材。氧化物半導體膜的靶材之充填率係大於或等於 90% 且小於或等於 100%，較佳係大於或等於 95% 且小於或等於 99.9%。使用具有高充填率的氧化物半導體膜之靶材的氧化物半導體膜 117 係為緻密的。

於此實施例中，厚度為 500nm 的氧化物半導體膜 117 係使用以銦-鎵-鋅為基的金屬氧化物靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [莫耳比]）來形成。至於靶材，可使用以

銦 - 鎵 - 鋅 爲 基 的 金 屬 氧 化 物 靶 材 (組 成 比 例 爲 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [莫耳比])、以銦 - 鎵 - 鋅 爲 基 的 金 屬 氧 化 物 靶 材 (組 成 比 例 爲 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [原子比])、或以銦 - 鎵 - 鋅 爲 基 的 金 屬 氧 化 物 靶 材 (組 成 比 例 爲 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [原子比])。

氧化物半導體膜 117 可藉由濺鍍法於稀有氣體 (典型爲氬) 大氣、氧大氣、或稀有氣體 (典型爲氬) 與氧大氣中形成。較佳係使用高純度氣體 (其中例如氬、水、氫氧基、或氫化物的不純物係被移除至不純物濃度係以 ppm 或 ppb 來表示的程度) 來作為形成氧化物半導體膜 117 時所使用的濺鍍氣體。

於此實施例中，關於膜形成條件之範例，可應用以下條件：基板 101 與靶材間的距離爲 170nm；基板溫度爲 250℃；壓力爲 0.4Pa；直流功率 (DC) 爲 0.5kW；且大氣含有氧、大氣含有氬、或大氣含有氧與氬。

關於預熱，較佳係基板 101 (透過直到及包含形成閘極絕緣層 105 的步驟之步驟所形成) 在濺鍍裝置的預熱室中被預熱且基板 101 上吸收的例如氬、水、氫氧基、或氫化物的不純物係被消除與移除，使得氧化物半導體膜 117 中的氬僅可能的少。關於預熱室中所提供的抽真空單元，較佳係低溫泵。應注意的是，此預熱處理可被省略。此外，預熱步驟可被執行於其上尚未形成第一閘極電極 103 之基板 101 上、或可被執行於其上尚未形成作為源極電極 109a 與汲極電極 109b 的導電膜之基板 101 上。

應注意的是，在藉由濺鍍法形成氧化物半導體膜 117 之前，較佳係執行反向濺鍍（其中離子體 (plasma) 係藉由氬氣的引入所產生），且依附於閘極絕緣層 105 之表面上的粒子係被移除，使得閘極絕緣層 105 與氧化物半導體層 107 間的介面處之電阻可被降低。反向濺鍍係指變更基板的表面之方法，其係藉由在氬大氣中使用 RF 電源來施加電壓至基板以在基板的附近形成離子體。應注意的是，可使用氮大氣、氦大氣、或類似物來代替氬大氣。替代地，可使用於其中加入氧、氫、氧化二氮或類似物之氬大氣。可使用於其中加入氯、四氟化碳或類似物之氬大氣。

步驟進行到目前的結構係顯示於第 3A 圖。

接著，氧化物半導體膜係被使用藉由第三微影步驟所形成的光阻遮罩來蝕刻，使得島形氧化物半導體層係被形成。用於島形氧化物半導體層的第三微影步驟可類似其他微影步驟。用於蝕刻氧化物半導體膜 117 的步驟可被以類似形成具有高載子密度的島形氧化物半導體層 104a 與 104b 的方式來形成。此時，蝕刻係較佳被執行使得島形氧化物半導體層的端部具有錐狀的外形。

接著，第一熱處理係被執行於島形氧化物半導體層以形成氧化物半導體層 107。

第一熱處理的溫度係高於或等於 400°C 且低於或等於 750°C，較佳係高於或等於 400°C 且低於或等於基板的應變點。於此，基板係被引入電爐（其為一種熱處理裝置）中且係在島形氧化物半導體層於惰性氣體（例如氮）或稀有

氣體大氣中以 450℃ 執行熱處理達一小時。接著，氧化物半導體層沒有暴露至空氣；於是，氫、水、氫氧基、氫化物、或類似物可被避免進入島形氧化物半導體層中。因此，其氫濃度係被降低且被純化並為 i 型或實質為 i 型的氧化物半導體層 107 可被獲得。換句話說，島形氧化物半導體層之去水與去氫作用中的至少一者可藉由此第一熱處理來執行。

應注意的是，於第一熱處理中，較佳係氫、水、氫氧基、氫化物、或類似物不包含於氮或稀有氣體（例如氮、氬、或氫）中。被引入熱處理裝置中之氮或稀有氣體（例如氮、氬、或氫）的純度較佳為 6N（99.9999%）或更多，更加為 7N（99.99999%）或更多（亦即，不純物濃度較佳為 1ppm 或更少，較佳為 0.1ppm 或更少）。

再者，島形氧化物半導體層之第一熱處理可在形成島形氧化物半導體層之前被執行。換句話說，第一熱處理可被執行於氧化物半導體膜 117。在此情形下，在第一熱處理之後，基板被拿出熱處理裝置，然後第三微影步驟係被執行，使得蝕刻係被執行以形成島形氧化物半導體層。

使用於第一熱處理的熱處理裝置並沒有特別的限定，可使用用於藉由從加熱器（例如電阻加熱器）來熱傳導或熱輻射加熱將被處理的物件之裝置。例如，可使用電爐、快速熱退火（RTA）裝置（如氣體快速熱退火（GRTA）裝置或燈快速熱退火（LRTA）裝置）。LRTA 裝置為藉由自燈（例如鹵素燈、金屬氧化物燈、氬弧燈、碳弧燈、高

壓鈉燈、或高壓水銀燈）所發出的光（電磁波）的輻射來加熱將被處理的物件之裝置。GRTA 裝置為使用高溫氣體進行熱處理的裝置。

步驟進行到目前的結構係顯示於第 3B 圖。

接著，為了形成具有高載子密度的氧化物半導體層 106a 與 106b，藉由類似以上方法的方法再次形成 50nm 厚的具有高載子密度的氧化物半導體膜。於此程序中，具有高載子密度的氧化物半導體膜與具有高載子密度的島形氧化物半導體層 104a 與 104b 係彼此接合且被處理成期望的外形，使得具有高載子密度的氧化物半導體層 106a 與 106b 係被形成。

接著，用以形成源極電極 109a 與汲極電極 109b 的導電膜係被形成為接觸閘極絕緣層 105 與氧化物半導體層 107。導電膜可被藉由類似形成第一閘極電極 103 中的方法來形成。於此實施例中，厚度為 150nm 的鈦膜係藉由濺鍍法形成。接著，所形成的導電膜（於此係鈦膜）係被使用藉由第四微影步驟所形成的光阻遮罩來蝕刻，使得源極電極 109a 與汲極電極 109b 係被形成。此時，蝕刻係較佳被執行使得源極電極 109a 與汲極電極 109b 的端部具有錐狀的外形。

再者，形成於氧化物半導體層 107 上方之具有高載子密度的氧化物半導體膜係被使用源極電極 109a 與汲極電極 109b 作為遮罩來蝕刻，使得具有高載子密度的氧化物半導體層 106a 與 106b 係被形成以覆蓋氧化物半導體層

107 的端部。於此，源極電極 109a 與汲極電極 109b 係被使用作為遮罩；因此，在某些情況下，於氧化物半導體層 107 上方之具有高載子密度的氧化物半導體層 106a 與 106b 之錐狀部分係被形成以從源極電極 109a 與汲極電極 109b 突出。於此程序中，氧化物半導體層 107 的蝕刻率有可能實質等於氧化物半導體層 107 上方之具有高載子密度的氧化物半導體膜的蝕刻率。因此，較佳係參考當具有高載子密度的氧化物半導體層 106a 與 106b 係形成時具有高載子密度的氧化物半導體膜之蝕刻率，對蝕刻時間作適當調整來對氧化物半導體膜進行處理。

步驟進行到目前的結構係顯示於第 3C 圖。

接著，絕緣層 111 係形成為接觸部分的氧化物半導體層 107、部分的具有高載子密度的氧化物半導體層 106a 與 106b、源極電極 109a、及汲極電極 109b。絕緣層 111 可藉由類似基底絕緣層 102 與閘極絕緣層 105 中的方法來形成。於此實施例中，200nm 厚的矽氧化物膜係藉由濺鍍法而形成。

之後，較佳係執行與第一熱處理的溫度不同之熱處理。藉由熱處理，氧係被從閘極絕緣層 105 與絕緣層 111 供應至氧化物半導體層 107。同樣的，熱處理的溫度越高，因光輻射或 BT 應力（BT stress）的施加所造成在臨界電壓（ V_{th} ）中改變的量會變得越多。然而，當熱處理之熱溫度高於 320℃ 時，導通特性會衰減。因此，熱處理係在大氣為惰性大氣、氧大氣、或氧與氮的混合大氣、且熱溫

度係高於或等於 200°C 且低於或等於 400°C （較佳係高於或等於 250°C 且低於或等於 320°C ）的情況下被執行。此外，熱處理時間係大於或等於 1 分鐘且小於或等於 24 小時。需注意熱處理可在之後將形成的第二閘極電極 113 的形成之後被執行。

此外，矽氮化物膜可被形成於絕緣層 111 上方以避免水分或鹼金屬進入氧化物半導體層 107 中。由於鹼金屬（例如 Li 或 Na）係不純物，較佳係減少氧化物半導體層 107 中例如鹼金屬的含量。氧化物半導體層 107 中的鹼金屬濃度係 $2 \times 10^{16} \text{cm}^{-3}$ 或更低，較佳係 $1 \times 10^{15} \text{cm}^{-3}$ 或更低。再者，氧化物半導體層 107 中的鹼土金屬的含量較佳為低，因為鹼土金屬亦為不純物。應注意的是，在稍後說明的第二閘極電極 113 被形成之後，矽氮化物膜可被形成為保護絕緣層。

接著，作用為背閘極電極的第二閘極電極 113 係形成為接觸絕緣層 111 且介於源極電極與汲極電極間。第二閘極電極 113 係被以導電膜被形成於絕緣層 111 上方然後所形成的導電膜係被使用藉由第五微影步驟所形成的光阻遮罩來蝕刻的方式來形成。第二閘極電極 113 可被藉由類似第一閘極電極 103、源極電極 109a、與汲極電極 109b 中的方法來形成。於此實施例中，第二閘極電極 113 係藉由濺鍍法使用 150nm 厚的鋁膜來形成。

步驟進行到目前的結構係顯示於第 3D 圖。

因此，可形成於其中導通狀態電流的降低可被抑制且

具有高崩潰電壓特性（汲極崩潰電壓）之電晶體。應注意的是，此實施例可適當結合說明於其他實施例的任何結構來實施。

（實施例 2）

於此實施例中，將說明具有與實施例 1 中所說明的電晶體 100 之結構有部份不同的結構之電晶體 200。

於此實施例中所說明的電晶體 200 中，實施例 1 中所說明的電晶體 100 之氧化物半導體層 107 包含結晶氧化物半導體。結晶氧化物半導體可藉由以下兩種類型的方法來形成。

一種方法是以氧化物半導體形成兩次且熱處理執行兩次的方式（爲了方便起見，此方法稱爲方法 1）形成結晶氧化物半導體膜，而另一種方法是以基板係在氧化物半導體被形成時被加熱的方式（爲了方便起見，此方法稱爲方法 2）形成結晶氧化物半導體膜。應注意的是，由以上任一方法形成的結晶氧化物半導體膜具有一區域，其中晶體係在 c 軸方向垂直對準膜表面且既不是單晶也不是非晶。換句話說，使用上述任一方法，所形成的結晶氧化物半導體包含具有 c 軸對準的晶體（亦稱爲 CAAC）之氧化物。因此，於此實施例中，形成電晶體 200 的通道區之結晶氧化物半導體層（CAAC 層）係作爲結晶氧化物半導體層 130。

電晶體 200 的平面結構係類似於電晶體 100 的平面結

構。第 4A 圖為電晶體 200 的平面圖。第 4B 圖為電晶體 200 中沿線 E-F 所取的剖面圖。第 4C 圖為電晶體 200 中沿線 G-H 所取的剖面圖。應注意的是，第 4A 至 4C 圖中，與第 1A 至 1C 圖類似的元件係使用相同的元件符號。

於此實施例所說明的電晶體 200 可說是將實施例 1 的電晶體 100 之氧化物半導體層 107 以結晶氧化物半導體層 130 取代而成的電晶體。因此，於此實施例中，僅說明結晶氧化物半導體層 130，而電晶體 200 中沿線 E-F 所取的之剖面結構與沿線 G-H 所取的剖面結構之詳細說明可參考實施例 1 所說明的電晶體 100 中沿線 A-B 所取的剖面結構及沿線 C-D 所取的剖面結構之說明。

電晶體 200 具有與電晶體 100 相同的結構，除了電晶體 100 中的氧化物半導體層 107 係改變為結晶氧化物半導體層 130；因此，電晶體 200 的效果與電晶體 100 的效果類似。換句話說，於電晶體 200 中，由於具有高載子密度的氧化物半導體層 106a 與 106b 覆蓋結晶氧化物半導體層 130 且接觸源極電極 109a 與汲極電極 109b，故結晶氧化物半導體層 130 與源極電極 109a 及汲極電極 109b 間的接觸電阻可被降低。因此，因接觸電阻所產生之導通狀態電流的降低係可被抑制。

再者，當具有高載子密度的氧化物半導體層 106a 與 106b 的部分係形成於閘極絕緣層 105 與結晶氧化物半導體層 130 間時，因半導體層於半導體層的厚度方向之電阻所產生之導通狀態電流的降低係可被抑制。

如實施例 1 中的說明，當具有高載子密度的氧化物半導體層 106a 與 106b 係使用任何金屬材料、其合金材料、與類似物形成時，因與結晶氧化物半導體層 130 的接觸電阻，使得抑制導通狀態電流的降低之效果無法被充分獲得。因此，較佳係將具有高載子密度的氧化物半導體層 106a 與 106b 形成於閘極絕緣層 105 與氧化物半導體層 107 間的部分之一部份。

由於電晶體 200 為具有第一閘極電極 103 與第二閘極電極 113 的雙閘極電晶體，通道區可被形成於結晶氧化物半導體層 130 與閘極絕緣層 105 間的介面附近及結晶氧化物半導體層 130 與絕緣層 111 間的介面附近，使得電晶體的導通狀態電流可被改善。

由於電晶體 200 包含將於後文說明的結晶氧化物半導體層 130，導通狀態電流的降低係被抑制，導通狀態電流係改善，且可靠度為良好的。

於此，將額外說明用於製造結晶氧化物半導體層 130 的方法。

於方法 1 中，第一氧化物半導體膜係被形成；第一熱處理係在氮、氧、稀有氣體、或乾空氣大氣下以高於或等於 400℃ 且低於或等於 750℃ 被執行；且具有結晶區（包含片狀晶）的第一結晶氧化物半導體膜係被形成於包含第一氧化物半導體膜之表面的區域。第一熱處理係類似於實施例 1 中者。比第一氧化物半導體膜厚的第二氧化物半導體膜係被形成；第二熱處理係以高於或等於 400℃ 且低於

或等於 750°C 被執行；利用第一氧化物半導體膜作為晶體生長的晶種，晶體生長往上繼續進行；且整個第二氧化物半導體膜係被結晶化（第二氧化物半導體膜係被形成）。於是，具有大厚度與結晶區的氧化物半導體膜可被形成；且具有大厚度與結晶區的氧化物半導體膜被加工成期望的外形，使得結晶氧化物半導體層 130 可被形成。此外，第一結晶氧化物半導體膜與第二結晶氧化物半導體膜的厚度（亦即結晶氧化物半導體層 130 的厚度）可在考量電晶體 200 之期望的崩潰電壓特性（汲極崩潰電壓）的情況下被適當決定（例如，厚度可為大於或等於 $0.2\mu\text{m}$ 且小於或等於 $10\mu\text{m}$ ）。使用於第一結晶氧化物半導體膜與第二結晶氧化物半導體膜的材料可為含有鋅的材料或含有鋅與銮的材料（其係選自實施例 1 中說明的金屬氧化物材料）。

應注意的是，於方法 1 中，實施例 1 係關於將第一熱處理、第二熱處理用於形成第一氧化物半導體膜與第二氧化物半導體膜之適當方法。

接著，將說明方法 2。具有其中晶體係在 c 軸方向垂直對準膜的表面的區域之結晶氧化物半導體膜可被以氧化物半導體膜係當基板被在自實施例 1 中說明的半導體材料中選擇的含有鋅的材料或含有鋅與銮的材料中的晶體係被在 c 軸方向對準的溫度下加熱而被形成時的方式被形成。接著，結晶氧化物半導體膜被加工成期望的外形，使得結晶氧化物半導體層 130 可被形成。此外，使用此種形成方法，步驟的數量可被減少。應注意的是，實施例 1 係關於

用於形成結晶氧化物半導體膜之適當方法。雖然基板被加熱的溫度可被適當設定，因為其他膜形成條件根據例如膜形成裝置而改變，當結晶氧化物半導體膜被形成於濺鍍裝置中時所使用的基板加熱溫度為 100°C 至 500°C ，較佳為 200°C 至 400°C ，較佳為 250°C 至 300°C 。除了當結晶氧化物半導體膜被形成時所執行的基板加熱外，被沈積的氧化物半導體膜係經受當結晶氧化物半導體膜被形成時之溫度高於基板加熱溫度的熱處理。因此，膜中的微缺陷與堆疊層的介面之缺陷可被補償。

於結晶氧化物半導體層 130 中，大量的鋅與氧聚集至結晶氧化物半導體層 130 的表面，且包含鋅或氧且具有六方晶軸（hexagonal）上表面（第 5A 圖所示的概示平面圖）之一或多層的石墨烯類型（graphene-type）二維晶體係形成於最外的表面；於最外的表面處之晶體層於將堆疊的厚度方向中生長。於第 5A 圖中，白圈表示鋅原子，黑圈表示氧原子。藉由增加熱處理的溫度，晶體生長繼續從表面進行至內部的表面且進一步從內部進行至底部。再者，第 5B 圖概示作為其中二維晶體已生長之堆疊層的範例之六層的二維晶體的堆疊。

結晶氧化物半導體層 130 具有較高的金屬與氧在沿著介面的方向之接合秩序。因此，於此實施例中說明的電晶體 200 中，在載子沿著結晶氧化物半導體層 130 的介面流動的情況下，亦即，在載子流動實質平行 a-b 平面的情況下，結晶氧化物半導體層 130 沒有保護該流動；因此，即

使當光輻射被執行或 BT 應力被施加時，電晶體特性的衰減係被抑制或降低。換句話說，電晶體 200 可說為具有良好的可靠度。

電晶體 200 可被藉由使用用於製造結晶氧化物半導體層 130 的方法代替用於製造電晶體 100 的方法中之用於製造氧化物半導體層 107 的方法來形成。因此，實施例 1 係關於除了用於形成結晶氧化物半導體層 130 之方法以外的製造方法。

因此，其中導通狀態電流的降低可被抑制且具有高崩潰電壓特性（汲極崩潰電壓）之電晶體可被形成。應注意的是，此實施例可適當結合說明於其他實施例的任何結構來實施。

（實施例 3）

於此實施例中，將說明於任何實施例中所說明的電晶體之應用。於任何實施例中所說明的電晶體可被使用作為例如電源裝置至各種電子裝置之電池的保護電路。

其中於任何實施例中所說明的電晶體係被使用作為保護電路的應用之範例係參考第 9A 與 9B 圖來說明。

第 9A 圖顯示電磁爐 1000。電磁爐 1000 藉由使用流經線圈單元 1001 的電流所產生的電磁感應對鍋具與類似物加熱。電磁爐 1000 包含用以供應流經線圈單元 1001 的電流之電池 1002、其中本發明之一實施例的電晶體作為保護電路的一部份之半導體裝置 1003、及用以對電池 1002

充電之太陽能電池 1004。應注意的是，第 9A 圖顯示太陽能電池 1004 作為對電池 1002 充電的手段；替代地，電池 1002 可藉由其他手段來充電。其中本發明之一實施例的電晶體作為保護電路的一部份之半導體裝置 1003 可降低過電流施加至電池 1002；因此，當保護電路未被操作時降低電源消耗是有可能的。

第 9B 圖顯示電動腳踏車 1010。當電流流經馬達單元 1011 時電動腳踏車 1010 獲得電源。電動腳踏車 1010 包含用以供應流經馬達單元 1011 的電流之電池 1012 及其中本發明之一實施例的電晶體作為保護電路的一部份之半導體裝置 1013。雖然對電池 1012 充電的手段未特別顯示於第 9B 圖，電池 1012 可藉由額外設置的電產生器或類似物而被充電。其中本發明之一實施例的電晶體作為保護電路的一部份之半導體裝置 1013 可降低充電時過電流施加至電池 1012；因此，當保護電路未被操作時降低電源消耗是有可能的。

於此實施例說明的應用之範例係為一範例，且本發明之一實施例並不限於此。本發明之一實施例的電晶體可被使用於各種用於高功率施加的半導體裝置。

應注意的是，此實施例可適當結合說明於其他實施例的任何結構來實施。

（實施例 4）

於此實施例中，將額外說明可被使用於實施例中所說

明的電晶體之氧化物半導體層 107 與結晶氧化物半導體層 130 的金屬氧化物（氧化物半導體）。如上所述，氧化物半導體較佳含有至少銦（In）或鋅（Zn）。具體言之，In 與 Zn 較佳係被包含。

此外，關於用於降低包含於氧化物半導體的電晶體之電氣特性中的變化之穩定器，較佳係包含選自鎵（Ga）、錫（Sn）、鈦（Hf）、鋁（Al）、及除了 In 與 Zn 以外的鑰系元素中的一或多個元素。

至於鑰系元素，有鑰（La）、鈰（Ce）、鐑（Pr）、釹（Nd）、釷（Sm）、鎳（Eu）、釷（Gd）、鉕（Tb）、鐳（Dy）、釹（Ho）、鉕（Er）、鈹（Tm）、鐳（Yb）、及鐳（Lu）。

關於上述單一成分的金屬氧化物，可使用例如銦氧化物、錫氧化物、鋅氧化物、或類似物。

關於兩種成分的金屬氧化物，除了上述的以銦-鋅為基的金屬氧化物、以銦-鎵為基的金屬氧化物、以錫-鋅為基的金屬氧化物、以鋁-鋅為基的金屬氧化物以外，可使用例如以鋅-鎂為基的金屬氧化物、以錫-鎂為基的金屬氧化物、以銦-鎂為基的金屬氧化物、金屬氧化物、或類似物。

關於三種成分的金屬氧化物，除了上述的以銦-鎵-鋅為基的金屬氧化物（亦稱為 IGZO）、以銦-錫-鋅為基的金屬氧化物（亦稱為 ITZO）、以錫-鎵-鋅為基的金屬氧化物、以銦-鋁-鋅為基的金屬氧化物、以鋁-鎵-鋅為基的金屬

氧化物、以錫-鋁-鋅爲基的金屬氧化物以外，可使用例如以銦-鉛-鋅爲基的金屬氧化物、以銦-鐳-鋅爲基的金屬氧化物、以銦-銻-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、以銦-釷-鋅爲基的金屬氧化物、以銦-釷-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、以銦-釷-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、以銦-釷-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、以銦-鎢-鋅爲基的金屬氧化物、或類似物。

關於四種成分的金屬氧化物，除了上述的以銦-錫-鎳-鋅爲基的金屬氧化物以外，可使用例如以銦-鉛-鎳-鋅爲基的金屬氧化物、以銦-鋁-鎳-鋅爲基的金屬氧化物、以銦-錫-鋁-鋅爲基的金屬氧化物、以銦-錫-鉛-鋅爲基的金屬氧化物、以銦-鉛-鋁-鋅爲基的金屬氧化物、或類似物。

在以銦-鎳-鋅爲基的金屬氧化物中，可使用例如原子比爲 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($=1/3 : 1/3 : 1/3$) 或 $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($=2/5 : 2/5 : 1/5$) 之以銦-鎳-鋅爲基的金屬氧化物、或其成分接近上述成分的任何金屬氧化物。

在以銦-錫-鋅爲基的金屬氧化物中，可使用例如原子比爲 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($=1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($=1/3 : 1/6 : 1/2$)、或 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($=1/4 : 1/8 : 5/8$) 之以銦-錫-鋅爲基的金屬氧化物、或其成分接近上述成分的任何金屬氧化物。

然而，以上材料的限制之外，可根據所需半導體特性（例如移動性、臨界電壓、及變化）來使用適當組成的材料。爲了獲得所需半導體特性，較佳係將載子密度、不純物濃度、缺陷密度、金屬元素與氧間的原子比、原子間距、密度、及類似物設定爲適當的值。

氧化物半導體可爲單晶或非單晶。

在非單晶的情形下，氧化物半導體可爲非晶或多晶。再者，氧化物半導體可具有包含部份具有晶性之非晶結構。應注意的是，非晶結構具有許多缺陷；因此，較佳係使用非-非晶結構。

此實施例的內容或其部份可結合任何或其他實施例與範例加以實施。

（實施例 5）

將額外說明實施例 2 中說明的結晶氧化物半導體層 130。結晶氧化物半導體層 130 包含含有 CAAC 之氧化物。CAAC 具有結晶部分與非結晶部分，且結晶部分具有 c 軸對準。

含有 CAAC 之氧化物爲到目前爲止爲未知的新的氧化物半導體。

CAAC 具有 c 軸對準且可使用當從 a-b 平面、表面、或介面的方向看來爲三角形或六角形的原子配置。

於 CAAC 中，金屬原子係以層狀方式排列，或金屬原子與氧原子係以沿 c 軸的層狀方式排列。

於 CAAC 中， a 軸或 b 軸的方向係於 a - b 平面中改變（結晶係繞 c 軸旋轉）。

CAAC 廣義來說為非單晶。

CAAC 具有當從垂直 a - b 平面的方向看來為三角形、六角形、正三角形、正六角形的原子配置。

於 CAAC 中，金屬原子係以層狀方式排列或金屬原子與氧原子係以當從垂直 c 軸的方向看來的層狀方式排列。

CAAC 不是單晶，但這不表示 CAAC 僅由非晶成分組成。

雖然 CAAC 包含結晶化部份（結晶部分），一結晶部份與另一結晶部份間的界限在某些情況下並不明顯。

在氧係被包含於 CAAC 中的情形下，氮可取代 CAAC 中所包含之部份的氧。

CAAC 中包含的個別結晶部分的 c 軸可被對準一個方向（例如垂直 CAAC 形成於其上方之基板的表面的方向或 CAAC 的表面）。

替代地，CAAC 中包含的個別結晶部分的 a - b 平面的法線可被對準一個方向（例如垂直 CAAC 形成於其上方之基板的表面的方向或 CAAC 的表面）。

根據其組成或類似物，CAAC 可成為導體、半導體、或絕緣體。CAAC 根據其組成或類似物而傳送或不傳送可見光。

例如，形成為膜狀的 CAAC 具有三角形或六角形的原子配置（當以電子顯微鏡從垂直膜的表面或支撐基板的表

面之方向觀察）。

再者，金屬原子係以層狀方式排列或金屬原子與氧原子（或氮原子）係以層狀方式排列（當膜的剖面係以電子顯微鏡觀察）。

將參考第 10A 至 10E 圖、第 11A 至 11C 圖、及第 12A 至 12C 圖說明 CAAC 的結晶結構之範例。

於第 10A 至 10E 圖、第 11A 至 11C 圖、及第 12A 至 12C 圖中，垂直方向對應 c 軸方向且垂直 c 軸的平面方向對應 a - b 平面。於此實施例中，「上半部 (upper half)」與「下半部 (lower half)」係分別指 a - b 平面以上的上半部及 a - b 平面以下的下半部。

第 10A 圖顯示包含一個六座標 (hexacoordinate) 的 In 原子與在 In 原子附近的六個四座標 (tetra-coordinate) 的氧（後文中稱為四座標 O）原子之結構 A。於此，包含一個金屬原子與其附近的氧原子之結構係稱為小組 (small group)。結構 A 為八面體結構，但為了方便起見，簡化為平面結構。應注意的是，四座標 O 原子存在於結構 A 中各上半部與下半部。於結構 A 的小組中，電荷為 0。

第 10B 圖顯示包含一個五座標 (pentacoordinate) 的 Ga 原子、在 Ga 原子附近的三個三座標 (tricoordinate) 的氧（後文中稱為三座標 O）原子、及在 Ga 原子附近的兩個四座標的氧原子之結構 B。所有三座標的 O 原子存在於 a - b 平面。一個四座標的 O 原子存在於結構 B 中各上半部與下半部。In 原子亦可具有結構 B，因為 In 原子可具

有五個配體 (ligand)。於結構 B 的小組中，電荷為 0。

第 10C 圖顯示包含一個四座標的 Zn 原子及在 Zn 原子附近的四個四座標的氧原子之結構 C。於結構 C 中，一個四座標的 O 原子存在於上半部且三個四座標的 O 原子存在於下半部。於結構 C 的小組中，電荷為 0。

第 10D 圖顯示包含一個六座標的 Sn 原子及在 Sn 原子附近的六個四座標的氧原子之結構 D。於結構 D 中，三個四座標的 O 原子存在於各上半部與下半部。於結構 D 的小組中，電荷為 +1。

第 10E 圖顯示包含兩個 Zn 原子之結構 E。於結構 E 中，一個四座標的 O 原子存在於各上半部與下半部。於結構 E 的小組中，電荷為 -1。

於此實施例中，複數個小組形成中組，且複數個中組形成大組（亦稱為單位晶格）。

現在將說明小組間接合的規則。關於六座標 In 原子，上半部中的三個 O 原子各具有三個鄰近的 In 原子於下游方向，且下半部中的三個 O 原子各具有三個鄰近的 In 原子於上游方向。關於五座標 Ga 原子，上半部中的一個 O 原子具有一個鄰近的 Ga 原子於下游方向，且下半部中的一個 O 原子具有一個鄰近的 Ga 原子於上游方向。關於四座標 Zn 原子，上半部中的一個 O 原子具有一個鄰近的 Zn 原子於下游方向，且下半部中的三個 O 原子各具有三個鄰近的 Zn 原子於上游方向。依此方式，金屬原子以上的四座標 O 原子的數量等於鄰近各四座標 O 原子或各四

座標 O 原子以下的金屬原子之數量；同樣的，金屬原子以下的四座標 O 原子的數量等於鄰近各四座標 O 原子或各四座標 O 原子以下的金屬原子之數量。由於四座標 O 原子的座標數量為 4，鄰近 O 原子與 O 原子以下的金屬原子之數量與鄰近 O 原子與 O 原子以上的金屬原子之數量為 4。因此，當金屬原子以上的四座標 O 原子的數量與另一金屬原子以下的四座標 O 原子的數量之合為 4 時，兩種類型的含有金屬原子的小組可被接合。例如，在六座標金屬（In 或 Sn）係透過三個下半部的四座標 O 原子來接合的情況下，其係被接合至五座標金屬（Ga 或 In）原子或四座標金屬（Zn）。

座標數量為 4、5、或 6 的金屬原子係透過 c 軸方向的四座標 O 原子而被接合至另一金屬。除上述外，中組可以藉由結合複數個小組使得層狀結構的總電荷為 0 之不同的方式被形成。

第 11 圖顯示包含於以 In-Sn-Zn 為基的金屬氧化物的層狀結構之中組 A 的模型。第 11B 圖顯示包含三個中組的大組 B。應注意的是，第 11C 圖顯示在第 11B 圖的層狀結構被從 c 軸方向觀察情況下的原子配置。

第 11A 圖中，三座標的 O 原子係被省略，而四座標的 O 原子係顯示為圓圈；圓圈中的數字表示四座標 O 原子的數量。例如，存在於關於 Sn 原子之各上半部與下半部的三個四座標 O 原子係以圓圈中標示數字 3 來表示。同樣的，於第 11A 圖中，存在於關於 In 原子之各上半部與

下半部的一個四座標 O 原子係以圓圈中標示數字 1 來表示。第 11A 圖亦顯示於下半部鄰近一個四座標 O 原子及於上半部鄰近三個四座標 O 原子之 Zn 原子，及於上半部鄰近一個四座標 O 原子及於下半部鄰近三個四座標 O 原子之 Zn 原子。

於第 11A 圖中以 In-Sn-Zn 為基的金屬氧化物的層狀結構所包含之中組中，從上往下的順序為，於上半部與下半部各鄰近三個四座標 O 原子的 Sn 原子係接合至於上半部與下半部各鄰近一個四座標 O 原子的 In 原子。In 原子係接合至於上半部鄰近三個四座標 O 原子的 Zn 原子。Zn 原子係透過於 Zn 原子下半部中的一個四座標 O 原子而接合至於上半部與下半部各鄰近三個四座標 O 原子的 In 原子。In 原子係接合至包含兩個 Zn 原子且於上半部鄰近一個四座標 O 原子之小組。該小組係透過於該小組下半部中的一個四座標 O 原子而接合至於上半部與下半部各鄰近三個四座標 O 原子的 Sn 原子。複數個此種中組係被接合而形成大組。

於此，用於三座標 O 原子的一個接合之電荷與用於四座標 O 原子的一個接合之電荷可被分別假設為 -0.667 與 -0.5。例如，（六座標或五座標的）In 原子之電荷、（四座標的）Zn 原子之電荷、（五座標或六座標的）Sn 原子之電荷分別為 +3、+2、與 +4。於是，含有 Sn 原子的小組中的電荷為 +1。因此，（消除 +1）的 -1 之電荷係被需要以形成含有 Sn 原子的層狀結構。至於具有 -1 之電荷的結構

，可給定結構 E 中所示包含兩個 Zn 原子的小組。例如，利用包含兩個 Zn 原子的一個小組，包含 Sn 原子的一個小組的電荷可被消除，使得層狀結構的總電荷可為 0。

當第 11B 圖所示的大組被重複時，可獲得以 In-Sn-Zn 為基的金屬氧化物結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。應注意的是，所獲得的以 In-Sn-Zn 為基的金屬氧化物之層狀結構可以下列組成方程式表示， $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 為 0 或自然數)

m 越大，則以 In-Sn-Zn 為基的金屬氧化物的晶性係被改善，此係為較佳的。

相同的方式係被應用至使用以 In-Sn-Zn 為基的金屬氧化物以外的氧化物半導體之情形下。

第 12A 圖顯示以銦-鎘-鋅為基的金屬氧化物之層狀結構中所包含的中組之模型的範例。

於第 12A 圖所示的以銦-鎘-鋅為基的金屬氧化物之層狀結構中所包含的中組之模型中，從上往下的順序為，於上半部與下半部各鄰近三個四座標 O 原子的 In 原子係接合至於上半部鄰近一個四座標 O 原子的 Zn 原子。Zn 原子係透過於 Zn 原子下半部中的三個四座標 O 原子而接合至於上半部與下半部各鄰近一個四座標 O 原子的 Ga 原子。Ga 原子係透過 Ga 原子下半部中的一個四座標 O 原子而接合至於上半部與下半部各鄰近三個四座標 O 原子的 In 原子。複數個此種中組係被接合而形成大組。

第 12B 圖顯示包含三個中組的大組。應注意的是，第

12C 圖顯示在第 12B 圖的層狀結構被從 c 軸方向觀察情況下的原子配置。

於此，由於（六座標或五座標的）In 原子之電荷、（四座標的）Zn 原子之電荷、與（五座標）Ga 原子之電荷分別為 +3、+2、與 +3，含有任何 In 原子、Zn 原子、與 Ga 原子的小組中的電荷為 0。結果，具有此種小組的結合之中組的總電荷總為 0。

爲了形成以銦-鎵-鋅爲基的金屬氧化物之層狀結構，大組可被使用不止第 12A 圖所示的中組還有其中異於第 12A 圖的 In 原子、Ga 原子、與 Zn 原子的配置之中組而形成。

當第 12B 圖所示的大組被重複時，可獲得以 In-Ga-Zn 爲基的金屬氧化物結晶。應注意的是，所獲得的以 In-Ga-Zn 爲基的金屬氧化物之層狀結構可以下列組成方程式表示， $\text{InGaO}_3(\text{ZnO})_n$ （n 爲自然數）。

在當 $n=1$ （ InGaZnO_4 ）時的情形下，例如第 21A 圖中所示的結晶結構可被獲得。應注意的是，第 21A 圖之結晶結構中，由於 Ga 原子與 In 原子各具有五個配體（如第 10B 圖所示），故以 Ga 取代 In 的結構可被獲得。

在當 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）時的情形下，例如第 21B 圖中所示的結晶結構可被獲得。應注意的是，第 21B 圖之結晶結構中，由於 Ga 原子與 In 原子各具有五個配體（如第 10B 圖所示），故以 Ga 取代 In 的結構可被獲得。

此實施例的內容或其部份可結合任何或其他實施例與

範例加以實施。

(實施例 6)

由於許多原因，絕緣閘極電晶體被實際測量的場效移動性會低於其原本移動性；此現象不只發生在使用氧化物半導體的情形。

移動性降低的其中一種理由是半導體內部的缺陷或半導體與絕緣膜間之介面的缺陷。當使用 Levinson 模型 (Levinson model) 時，假設半導體內部沒有存在缺陷時的場效移動性可被理論地計算。

假設原本半導體的移動性與所測量的場效移動性分別為 μ_0 與 μ ，且位障 (potential barrier) (例如粒界 (grain boundary)) 存在於半導體中，則所測量的場效移動性可以方程式 (1) 表示。

[方程式 1]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right) \quad (1)$$

於此， E 表示位障的高度、 k 表示波茲曼常數、而 T 表示絕對溫度。

當假設缺陷可被歸因於位障時，位障的高度可根據 Levinson 模型表示為方程式 (2)。

[方程式 2]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g} \quad (2)$$

於此， e 表示基本電荷、 N 表示通道中每單位面積的平均缺陷密度、 ϵ 表示半導體的介電係數、 n 表示通道中每單位面積的載子數量、 C_{ox} 表示每單位面積的電容、 V_g 表示閘極電壓、及 t 表示通道厚度。

在半導體的厚度小於或等於 30nm 的情形下，通道的厚度可被當作與半導體的厚度相同。

線性區域中的汲極電流 I_d 可以方程式 (3) 表示。

[方程式 3]

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right) \quad (3)$$

於此， L 表示通道長度且 W 表示通道寬度，且 L 與 W 於此情形中各為 $10\mu\text{m}$ 。

此外， V_d 表示汲極電壓。

當方程式 (3) 兩邊各除以 V_g 然後兩邊取對數，可獲得方程式 (4)。

[方程式 4]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g} \quad (4)$$

方程式 (4) 的右邊為 V_g 的函數。

由此方程式，可了解缺陷密度 N 可被從線的斜率（其中 $\ln(I_d/V_g)$ 為縱軸而 $1/V_g$ 為橫軸）獲得。

換句話說，缺陷密度可由電晶體的 I_d-V_g 特性來評估。

其中銦 (In)、錫 (Sn)、與鋅 (Zn) 的比例為 1 : 1 : 1 之氧化物半導體的缺陷密度 N 大約為 $1 \times 10^{12}/\text{cm}^2$ 。

基於此方式或類似方式所獲得的缺陷密度， μ_0 可被計算為 $120 \text{ cm}^2/\text{Vs}$ 。

含有缺陷的 In-Sn-Zn 氧化物所測量的移動性約為 $35 \text{ cm}^2/\text{Vs}$ 。

然而，假設半導體內部及半導體與絕緣膜間的介面處沒有缺陷存在，則氧化物半導體的移動性 μ_0 係預期為 $120 \text{ cm}^2/\text{Vs}$ 。

應注意的是，即使當沒有缺陷存在於半導體內部時，通道與閘極絕緣膜間的介面處的散布 (scattering) 仍會影響電晶體的傳導性質。換句話說，在離通道與閘極絕緣膜間的介面距離 x 的位置處的移動性 μ_1 可以方程式 (5) 表示。

[方程式 5]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right) \quad (5)$$

在方程式 (5) 中， D 表示閘極方向的電場，而 B 與

G 為常數。 B 與 G 可從實際測量結果獲得；根據以上測量結果， B 為 $4.75 \times 10^7 \text{ cm/s}$ 且 G 為 10 nm （介面散布的影響所到達的深度）。當 D 被增加時（亦即當閘極電壓被增加時），方程式（5）的第二項係被增加且因而移動性 μ_1 係降低。

半導體中沒有缺陷且其通道包含理想的氧化物半導體之電晶體的移動性 μ_2 之計算結果 F 係顯示於第 13 圖。

關於該計算，係使用 Synopsys, Inc. 所製造的軟體 Sentaurus Device。

關於該計算，氧化物半導體的能帶間隙、電子親合性（electron affinity）、相對介電係數、及厚度分別為 2.8 eV 、 4.7 eV 、15、及 15 nm 。

這些值係由使用濺鍍法所形成的薄膜之測量所獲得。

再者，閘極、源極、及汲極的工作函數（work function）係被分別假設為 5.5 eV 、 4.6 eV 、及 4.6 eV 。

閘極絕緣膜的厚度係被假設為 100 nm ，且其相對介電係數係被假設為 4.1。通道長度與通道寬度各被假設為 $10 \mu\text{m}$ ，且汲極電壓 V_d 係被假設為 0.1 V 。

如計算結果 F 所示，於閘極電壓（其係超過 1 V 一點且係當閘極電壓變大時會降低，這是因為介面散布的影響會增加）的移動性有大於 $100 \text{ cm}^2/\text{Vs}$ 的峰值。

應注意的是，為了降低介面散布，係期望半導體層的表面在原子等級上為平坦的（原子級的層平整度（atomic layer flatness））。

包含具有此移動性的氧化物半導體之精密電晶體（minute transistor）的特性係被計算。

使用於計算的電晶體包含設於氧化物半導體層中的一對 n 型半導體區域間的通道形成區。

該計算係在該對 n 型半導體區域的電阻為 $2 \times 10^{-3} \Omega \text{ cm}$ 的條件下被執行。

該計算係在通道長度為 33nm 且通道寬度為 40nm 的條件下被執行。

此外，側壁絕緣區係被設於閘極電極的側壁上。

該計算係在重疊側壁絕緣區的半導體區域為偏位（off-set）區域的條件下被執行。

關於該計算，係使用 Synopsys, Inc. 所製造的軟體 Sentaurus Device。

第 14A 至 14C 圖顯示電晶體之閘極電極（ V_g ：閘極與源極間的電位差）與汲極電流（ I_d ，實線表示）及移動性（ μ ，虛線表示）之關係的計算結果。

汲極電流 I_d 係在汲極電壓（汲極與源極間的電位差）為 +1V 的條件下所獲得，而移動性 μ 係在汲極電壓為 +0.1V 的條件下所獲得。

第 14A 圖顯示在閘極絕緣膜之厚度為 15nm 的條件下的計算結果。

第 14B 圖顯示在閘極絕緣膜之厚度為 10nm 的條件下的計算結果。

第 14C 圖顯示在閘極絕緣膜之厚度為 5nm 的條件下

的計算結果。

當閘極絕緣膜越薄時，尤其在關閉狀態的汲極電流 I_d （關閉狀態電流）會明顯降低。

相反的，在導通狀態的移動性 μ 與汲極電流 I_d 之峰值中沒有明顯的改變。

第 15A 至 15C 圖顯示閘極電極（ V_g ）與汲極電流 I_d （實線）及移動性 μ （虛線）在偏位長度 L_{off} （側壁絕緣區的長度）為 5nm 的情況下之關係。

汲極電流 I_d 係在汲極電壓為 +1V 的條件下所獲得，而移動性 μ 係在汲極電壓為 +0.1V 的條件下所獲得。

第 15A 圖顯示在閘極絕緣膜之厚度為 15nm 的條件下的計算結果。

第 15B 圖顯示在閘極絕緣膜之厚度為 10nm 的條件下的計算結果。

第 15C 圖顯示在閘極絕緣膜之厚度為 5nm 的條件下的計算結果。

第 16A 至 16C 圖顯示閘極電極（ V_g ）與汲極電流 I_d （實線）及移動性 μ （虛線）在偏位長度 L_{off} （側壁絕緣區的長度）為 15nm 的情況下之關係。

汲極電流 I_d 係在汲極電壓為 +1V 的條件下所獲得，而移動性 μ 係在汲極電壓為 +0.1V 的條件下所獲得。

第 16A 圖顯示在閘極絕緣膜之厚度為 15nm 的條件下的計算結果。

第 16B 圖顯示在閘極絕緣膜之厚度為 10nm 的條件下

的計算結果。

第 16C 圖顯示在閘極絕緣膜之厚度為 5nm 的條件下的計算結果。

在任一結構中，當閘極絕緣膜越薄時，關閉狀態的電流會明顯降低，而在移動性 μ 之峰值與導通狀態電流中沒有明顯的改變。

應注意的是，移動性 μ 之峰值於第 14A 至 14C 圖中約為 $80\text{cm}^2/\text{Vs}$ 、於第 15A 至 15C 圖中約為 $60\text{cm}^2/\text{Vs}$ 、於第 16A 至 16C 圖中約為 $40\text{cm}^2/\text{Vs}$ ；因此，移動性 μ 之峰值係當偏位長度 L_{off} 增加時降低。

再者，相同的條件係應用至關閉狀態電流。

道通狀態電流亦係當偏位長度 L_{off} 增加時降低；然而，導通狀態電流的降低相較於關閉狀態電流的降低更顯為漸增的 (gradual)。

再者，圖式顯示在任一結構中，汲極電流在閘極電壓約 1V 時超過 $10\mu\text{A}$ (其係記憶體元件或類似物所需者)。

此實施例的內容或其部份可結合任何或其他實施例與範例加以實施。

[範例 1]

於此範例中，將說明電晶體 100 與電晶體 200 之導通狀態電流的計算結果。應注意的是，在計算中，電晶體 100 與電晶體 200 之結構係被簡化 (見第 6A 至 6C 圖)。

再者，計算中係使用 Synopsys, Inc. 所製造的 Sentaurus

Device。

第 6A 圖為實施例說明的電晶體 100 中沿通道長度方向之剖面結構的簡化圖式（沿第 1A 圖線 A-B 所取之剖面結構）。第 6B 圖為沿第 6A 圖線 O-P 所取在 X 方向之剖面圖。第 6C 圖為沿第 6A 圖線 Q-R 所取在 X 方向之剖面圖。應注意的是，第 6A 至 6C 圖中對應至第 1A 至 1C 圖的元件係以相同的元件符號來表示。於電晶體 200 之簡化剖面圖中，由於電晶體 200 為其中電晶體 100 的氧化物半導體層 107 被結晶氧化物半導體層 130 取代之電晶體，故電晶體 200 未圖示於此範例。

以下說明電晶體 100 與電晶體 200 中導通狀態電流之計算結果所反映的參數。再者，氧化物半導體層 107 的計算參數（能帶間隙 E_g 、電子親合性 χ 、相對介電係數、及電子移動性）係與結晶氧化物半導體層 130 的計算參數相同。

1. 通道長度 $L1$ ：10 μm
2. 源極電極 109a 與汲極電極 109b 的長度 $L2$ ：5 μm
3. 氧化物半導體層 107 的厚度 T_{OS} ：10 μm
4. 絕緣層 111 的厚度 T_G ：0.2 μm
5. 通道寬度 $W1$ ：100 μm
6. 源極電極 109a 與汲極電極 109b 的寬度 $W2$ ：
5 μm
7. 用於第一閘極電極 103 之鎢的工作函數 ϕ_M ：
4.9 eV

8. 用於源極電極 109a 與汲極電極 109b 之鈦的工作函數 ϕ_M : 4.0 eV

9. 用於第二閘極電極 113 之鉬的工作函數 ϕ_M : 4.8 eV

10. 用於氧化物半導體層 107 之以 In-Ga-Zn 為基的金屬氧化物的能帶間隙 E_g 、電子親合性 χ 、相對介電係數、及電子移動性: 3.15 eV、4.3 eV、15、 $10 \text{ cm}^2/\text{Vs}$

11. 用於閘極絕緣層 105 之矽氮氧化物的相對介電係數: 4.1

12. 用於絕緣層 111 之矽氧化物的相對介電係數: 3.8

應注意的是，計算係在第一閘極電極 103、源極電極 109a、汲極電極 109b、及第二閘極電極 113 具有相同電位（不考慮其厚度）的假設下被執行，因此導通狀態電流不會反映該等厚度。此外，因為當氧化物半導體層 106a 與 106b 具有該等厚度時，具有高載子密度的氧化物半導體層 106a 與 106b 中之壓降太小，故導通狀態電流不會反映具有高載子密度的氧化物半導體層 106a 之厚度。

第 7A 圖顯示當氧化物半導體層 107 的厚度為 $10 \mu\text{m}$ 且閘極電壓為 10V 且汲極電壓係從 0V 改變成 20V 時電晶體 100 與電晶體 200 之導通狀態電流（汲極電流）的計算結果。作為比較範例，與電晶體（其中，接觸閘極絕緣層 105 及具有高載子密度的氧化物半導體層 106a 之氧化物半導體層 107 的部份係被移除）採類似方式被執行的計算及

其結果係被顯示於第 7A 圖。第 8A 圖對應第 6A 圖且顯示比較範例的電晶體之簡化剖面結構。第 8B 圖對應第 6B 圖且顯示比第 8A 圖之剖面圖。第 8C 圖對應第 6C 圖且顯示比第 8A 圖之剖面圖。

於第 7A 圖中，水平軸表示閘極電壓（ V_g ），而垂直軸表示汲汲電流（ V_d ）。第 7A 圖顯示電晶體 100 與電晶體 200 之各導通狀態電流（汲極電流）係高於比較範例之電晶體的導通狀態電流（汲極電流）。

第 7B 圖顯示電晶體 100、電晶體 200、與比較範例之電晶體（當氧化物半導體層 107 的厚度為 $0.2\mu\text{m}$ 、 $1.0\mu\text{m}$ 、 $5.0\mu\text{m}$ 、及 $10\mu\text{m}$ 與閘極電壓為 10V 且汲極電壓為 20V 時）的導通狀態電流（汲極電流）之計算結果。

於第 7B 圖中，水平軸表示氧化物半導體層 107 的厚度（ T_{os} ），而垂直軸表示汲極電流（ V_d ）。第 7B 圖顯示在比較範例的電晶體中，導通狀態電流（汲極電流）係當氧化物半導體層 107 的厚度增加時降低。具體言之，當汲極電壓增加時，導通狀態電流（汲極電流）的降低會很明顯。

此係由氧化物半導體層 107 的厚度方向中的電阻所引起。換句話說，在氧化物半導體層 107 為薄的情況下，電阻的效果（壓降）很小且不涉及導通狀態電流（汲極電流）的降低；然而，當氧化物半導體層 107 的厚度增加時，電阻的效果（壓降）可被忽略；於是，可說是導通狀態電流（汲極電流）係被降低。

另一方面，可確認的是，即使在電晶體 100 與電晶體 200 之氧化物半導體層 107 的厚度係增加的情況下，導通狀態電流（汲極電流）的降低係被抑制而導通狀態電流（汲極電流）係被改善。

這是因為具有高載子密度的氧化物半導體層 106a 與 106b 係被形成以覆蓋氧化物半導體層 107 的端部；因此，即使在氧化物半導體層 107 為厚的情況下，氧化物半導體層 107 的厚度方向中的電阻之效果（壓降）可被降低。

如上述，在電晶體 100 與電晶體 200 中，具有高載子密度的氧化物半導體層 106a 與 106b 彼此面對而氧化物半導體層 107 係被插置於其間，且各氧化物半導體層係接觸氧化物半導體層 107 之端部的其中一者之上表面、下表面、與側表面之各者的一部分以及閘極絕緣層 105 之上表面的一部分；因此，導通狀態電流（汲極電流）的降低係被抑制而導通狀態電流中的改善可被實現。

[範例 2]

藉由當加熱基板時沈積氧化物半導體或藉由在形成氧化物半導體膜之後執行熱處理，其中使用含有 In、Sn、與 Zn(ITZO)之氧化物半導體的電晶體可具有良好的特性。

應注意的是，各 In、Sn、與 Zn 的組成比例較佳係大於或等於 5atOMIC%。

藉由故意在形成含有 In、Sn、與 Zn 的氧化物半導體膜之後加熱基板，電晶體的場效移動性可被改善。

n 通道電晶體的臨界電壓可在正方向 (positive direction) 中正向地偏移。

當 n 通道電晶體的臨界電壓係正向地偏移時，用於保持 n 通道電晶體之關閉狀態的電壓之絕對值可被降低，而電源消耗可被降低。

再者，當 n 通道電晶體的臨界電壓係正向地偏移，且臨界電壓係大於或等於 0V，可形成常時關閉 (normally-off) 電晶體。

以下將說明包含 ITZO 的電晶體之特性。

[樣本 A 至 C 的共同條件]

氧化物半導體層係被形成於基板上方以具有 15nm 的厚度，使用具有組成比例為 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 之靶材，於此條件下，氣體流速為 $\text{Ar}/\text{O}_2 = 6/9 \text{ sccm}$ ，沈積壓為 0.4Pa 且沈積功率為 100W。

接著，氧化物半導體層係被蝕刻為島形氧化物半導體層。

然後，鎢層係被形成於氧化物半導體層上方且藉由蝕刻處理以具有 50nm 的厚度，使得源極電極與汲極電極係被形成。

接著，使用矽烷 (SiH_4) 與一氧化二氮 (N_2O) 藉由電漿輔助 CVD 法，矽氮氧化物 (SiON) 係被形成以具有 100nm，使得矽氮氧化物作用為閘極絕緣層。

然後，鎢氮化物膜係被形成以具有 15nm 的厚度且鎢

膜係被形成以具有 135nm 的厚度；接著，這些膜係藉由蝕刻處理而形成閘極電極。

再者，藉由電漿輔助 CVD 法，矽氮氧化物（SiON）係被形成以具有 300nm 的厚度，然後，聚亞醯氨（polyimide）膜係被形成以具有 1.5 μ m 的厚度，而形成介層絕緣膜。

接著，接觸孔係被形成於介層絕緣膜中。第一鈦膜係被形成以具有 50nm 的厚度；鋁膜係被形成以具有 100nm 的厚度；第二鈦膜係被形成以具有 50nm 的厚度，且這些膜係藉由蝕刻處理，而形成測量墊（measurement pad）。

如上所述，具有電晶體的半導體裝置係被形成。

（樣本 A）

於樣本 A 中，基板係在氧化物半導體層的形成期間經受故意的加熱。

再者，於樣本 A 中，熱處理係在氧化物半導體層的形成之後與氧化物半導體層被蝕刻處理之前被執行。

（樣本 B）

於樣本 B 中，氧化物半導體層係在基板被加熱至 200℃ 的狀態下被形成。

再者，於樣本 B 中，熱處理係在氧化物半導體層的形成之後與氧化物半導體層被蝕刻處理之前被執行。

氧化物半導體層係在基板被加熱的狀態下被形成的原

因是在氧化物半導體層中作為施體 (donor) 的氫係被移除。

(樣本 C)

於樣本 C 中，氧化物半導體層係在基板被加熱至 200℃ 的狀態下被形成。

再者，於樣本 C 中，熱處理係在氧化物半導體層的形成之後與氧化物半導體層被蝕刻處理之前在 650℃ 的氮大氣下被執行一小時；然後，熱處理係在 650℃ 的氧大氣下被執行一小時。

熱處理係在 650℃ 的氮大氣下被執行一小時的原因是在氧化物半導體層中作為施體的氫係被移除。

於此，氧亦被用以移除在氧化物半導體層中作為施體的氫之熱處理所移除，而在氧化物半導體層中作為載子之氧不足會發生。

因此，降低氧不足的效果係試著藉由在 650℃ 的氧大氣下被執行一小時來獲得。

(樣本 A 至 C 的電晶體之特性)

樣本 A 之電晶體的基本特性係顯示於第 17A 圖。應注意的是，於第 17A 圖中，實線表示汲極電流 (I_{ds})，而虛線表示場效移動性。

樣本 B 之電晶體的基本特性係顯示於第 17B 圖。應注意的是，於第 17B 圖中，實線表示汲極電流 (I_{ds})，而虛

線表示場效移動性。

樣本 C 之電晶體的基本特性係顯示於第 17C 圖。應注意的是，於第 17C 圖中，實線表示汲極電流（ I_{ds} ），而虛線表示場效移動性。

樣本 A 的電晶體之場效移動性為 $18.8\text{cm}^2/\text{Vsec}$ 。

樣本 B 的電晶體之場效移動性為 $32.2\text{cm}^2/\text{Vsec}$ 。

樣本 C 的電晶體之場效移動性為 $34.5\text{cm}^2/\text{Vsec}$ 。

於此，當由類似樣本 A 至 C 的形成方法所形成之氧化物半導體層的剖面係透過穿透式電子顯微鏡（TEM）被觀察時，晶性係於由類似樣本 B 與樣本 C 的形成方法（其中加熱係在形成氧化物半導體層時於基板上執行）之形成方法所形成之樣本中被觀察到。

令人驚訝的是，其中加熱係在形成氧化物半導體層時於基板上執行之樣本具有結晶部份與非結晶部份，且結晶部份具有 c 軸對準。

其中加熱係在形成氧化物半導體層時於基板上執行之樣本具有不存在於傳統上之新的結晶結構（因為一般多晶的結晶部分中的結晶不在相同的方向上定向而是不同的方向上定向）。

可瞭解的是，由第 17A 至 17C 圖所示的結果之比較可知，作為施體的氫元素可由在膜形成或膜形成之後的熱處理時於基板上執行熱處理來移除；因此，n 通道電晶體之臨界電壓可被正向地偏移。

換句話說，樣本 B（其中加熱係在形成氧化物半導體

層時於基板上執行)的臨界電壓比樣本 A (加熱係不在形成氧化物半導體層時於基板上執行)的臨界電壓更可被正向地偏移。

可觀察到，當樣本 B 與樣本 C (其加熱皆係在形成氧化物半導體層時於基板上執行)在比較時，樣本 C (加熱係在形成氧化物半導體層之後執行)比樣本 B (加熱係不在形成氧化物半導體層之後執行)更可被正向地偏移。

當熱處理的溫度更高時，輕的元素 (例如氫) 更容易被移除；因此，當熱處理的溫度更高時，氫更容易被移除。

因此，可考量的是，當在形成氧化物半導體層時或之後之熱處理的溫度進一步增加時，更正向的偏移可被獲得。

(樣本 B 與樣本 C 的閘極 BT 應力測試之結果)

閘極 BT 應力測試係被執行於樣本 B (加熱係不在形成氧化物半導體層之後執行)與樣本 C (加熱係在形成氧化物半導體層之後執行)。

首先，電晶體的特性 $V_{gs}-I_{ds}$ 係在 25°C 的基板溫度與 10V 的 V_{ds} 被測量，且在加熱與利用正極性施加高電壓之前的電晶體之特性係被測量。

接著，基板溫度係設為 150°C 且 V_{ds} 係設為 0.1V 。

之後， 20V 的 V_{gs} 係被施加至閘極電極，使得 20V 的 V_{gs} 係被施加至閘極絕緣膜 608，且此條件係被保持一小

時。

接著， V_{gs} 係設為 $0V$ 。

然後，電晶體的特性 $V_{gs}-I_{ds}$ 係在 $25^{\circ}C$ 的基板溫度與 $10V$ 的 V_{ds} 被測量，且在加熱與利用正極性施加高電壓之後的電晶體之特性係被測量。

如上所述，比較在加熱與利用正極性施加高電壓之前與之後的電晶體特性係稱為正 BT 測試。

另一方面，首先電晶體的特性 $V_{gs}-I_{ds}$ 係在 $25^{\circ}C$ 的基板溫度與 $10V$ 的 V_{ds} 被測量，且在加熱與利用負極性施加高電壓之前的電晶體之特性係被測量。

接著，基板溫度係設為 $150^{\circ}C$ 且 V_{ds} 係設為 $0.1V$ 。

之後， $-20V$ 的 V_{gs} 係被施加至閘極絕緣膜 608，且此條件係被保持一小時。

接著， V_{gs} 係設為 $0V$ 。

然後，電晶體的特性 $V_{gs}-I_{ds}$ 係在 $25^{\circ}C$ 的基板溫度與 $10V$ 的 V_{ds} 被測量，且在加熱與利用負極性施加高電壓之後的電晶體之特性係被測量。

如上所述，比較在加熱與利用負極性施加高電壓之前與之後的電晶體特性係稱為負 BT 測試。

第 18A 圖顯示樣本 B 的正 BT 測試的結果，而第 18B 圖顯示樣本 B 的負 BT 測試的結果。

第 19A 圖顯示樣本 C 的正 BT 測試的結果，而第 19B 圖顯示樣本 C 的負 BT 測試的結果。

正 BT 測試與負 BT 測試是用以決定電晶體之劣化的

測試；可發現到，參考第 18A 與第 19A 圖，藉由至少正 BT 測試，臨界電壓可被正向地偏移。

具體言之，可發現到，於第 18A 圖中，當正 BT 測試被執行時，電晶體變成常時關閉。

因此，可發現到，當正 BT 測試及當製造電晶體時之熱處理係被執行時，臨界電壓的正偏移可被提升且常時關閉的電晶體可被形成。

第 20 圖顯示樣本 A 之電晶體的關閉狀態電流與測量時基板溫度（絕對溫度）的倒數間的關係。

於此，水平軸表示由測量時基板溫度的倒數乘以 1000 所獲得的值（ $1000/T$ ）。

應注意的是，在通道寬度為 $1\mu\text{m}$ 的情況下之電流量係顯示於第 20 圖。

當基板溫度為 125°C （ $1000/T$ 約為 2.51）時，關閉狀態電流係小於或等於 $1\times 10^{-19}\text{A}/\mu\text{m}$ 。

當基板溫度為 85°C （ $1000/T$ 約為 2.79）時，關閉狀態電流係小於或等於 $1\times 10^{-20}\text{A}/\mu\text{m}$ 。

換句話說，可發現到，相較於包含矽半導體之電晶體，極低關閉狀態電流係被獲得。

當溫度降低時，關閉狀態電流係降低；因此，很清楚可知，較低關閉狀態電流係在室溫獲得。

本申請案係基於 2010 年 11 月 3 日與 2011 年 5 月 14 日申請之日本專利申請案第 2010-246951 號與第 2011-108892 號，其全部內容係併入於此作為參考。

【圖式簡單說明】

第 1A 至 1C 圖顯示根據本發明之一實施例的電晶體之平面圖與剖面圖。

第 2A 至 2D 圖顯示根據本發明之一實施例的電晶體之平面圖。

第 3A 至 3D 圖顯示用於製造根據本發明之一實施例的電晶體之方法的剖面圖。

第 4A 至 4C 圖顯示根據本發明之一實施例的電晶體之平面圖與剖面圖。

第 5A 與 5B 圖顯示二維結晶。

第 6A 至 6C 圖顯示使用於計算之根據本發明之一實施例的電晶體之結構的剖面圖。

第 7A 與 7B 圖顯示根據本發明之一實施例的電晶體之汲極電流的計算結果。

第 8A 至 8C 圖顯示使用於計算之根據本發明之一實施例的電晶體之結構的剖面圖。

第 9A 與 9B 圖顯示使用根據本發明之一實施例的電晶體之電子裝置。

第 10A 至 10E 圖為氧化物半導體的範例。

第 11A 至 11C 圖為氧化物半導體的範例。

第 12A 至 12C 圖為氧化物半導體的範例。

第 13 圖顯示閘極電壓與場效移動性間的關係。

第 14A 至 14C 圖各顯示閘極電壓與汲極電流間的關係

第 15A 至 15C 圖各顯示閘極電壓與汲極電流間的關係

第 16A 至 16C 圖各顯示閘極電壓與汲極電流間的關係

第 17A 至 17C 圖顯示電晶體的特性。

第 18A 與 18B 圖顯示電晶體的特性。

第 19A 與 19B 圖顯示電晶體的特性。

第 20 圖顯示電晶體的關閉狀態電流與溫度的關係。

第 21A 與 21B 圖顯示氧化物半導體的範例。

【主要元件符號說明】

100：電晶體

101：基板

102：基底絕緣層

103：第一閘極電極

104a：島形氧化物半導體層

104b：島形氧化物半導體層

105：閘極絕緣層

106a：氧化物半導體層

106b：氧化物半導體層

107：氧化物半導體層

109a：源極電極

109b：汲極電極

- 111：絕緣層
- 113：第二閘極電極
- 117：氧化物半導體膜
- 130：結晶氧化物半導體層
- 150：開口
- 200：電晶體
- 1000：電磁爐
- 1001：線圈單元
- 1002：電池
- 1003：半導體裝置
- 1004：太陽能電池
- 1010：電動腳踏車
- 1011：馬達單元
- 1012：電池
- 1013：半導體裝置

103年10月31日修訂 各換頁

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

第一閘極電極；

第一絕緣層，覆蓋該第一閘極電極；

第一氧化物半導體層，與該第一閘極電極重疊且接觸該第一絕緣層；

第二氧化物半導體層與第三氧化物半導體層，接觸該第一絕緣層；

源極電極，接觸該第二氧化物半導體層上；

汲極電極，接觸該第三氧化物半導體層上；

第二絕緣層，覆蓋該源極電極、該汲極電極、與該第一氧化物半導體層；及

第二閘極電極，接觸該第二絕緣層上，

其中該第二氧化物半導體層與該第三氧化物半導體層都具有高於該第一氧化物半導體層之載子密度；及

其中該第二氧化物半導體層與該第三氧化物半導體層彼此面對而該第一氧化物半導體層係被插置於其間，且該第二氧化物半導體層與該第三氧化物半導體層都係部分地與該第一氧化物半導體層之端部的其中一者之上表面、下表面、與側表面之各者相接觸。

2. 一種半導體裝置，包含：第一閘極電極；

第一絕緣層，在該第一閘極電極上；

第一氧化物半導體層，在該第一絕緣層上且部分地接觸該第一絕緣層；

第二氧化物半導體層與第三氧化物半導體層，接觸該第一絕緣層與該第一氧化物半導體層之下表面；

源極電極與汲極電極，在該第一氧化物半導體層上且電連接到該第一氧化物半導體層；及

第二絕緣層，覆蓋該第一氧化物半導體層、該源極電極、與該汲極電極，

其中該第二氧化物半導體層與該第三氧化物半導體層都具有高於該第一氧化物半導體層的載子密度。

3. 如申請專利範圍第 2 項之半導體裝置，還包含該第二絕緣層上的第二閘極電極。

4. 一種半導體裝置，包含：

第一絕緣層；

第一氧化物半導體層，在該第一絕緣層上且部分地接觸該第一絕緣層；

第二氧化物半導體層與第三氧化物半導體層，接觸該第一絕緣層與該第一氧化物半導體層之下表面；

源極電極與汲極電極，在該第一氧化物半導體層上且電連接到該第一氧化物半導體層；

第二絕緣層，覆蓋該第一氧化物半導體層、該源極電極、與該汲極電極；及

第一閘極電極，在該第二絕緣層上，

其中該第二氧化物半導體層與該第三氧化物半導體層都具有高於該第一氧化物半導體層的載子密度。

5. 如申請專利範圍第 4 項之半導體裝置，還包含該

第一絕緣層下的第二閘極電極。

6. 如申請專利範圍第 1、2 與 4 中任一項之半導體裝置，其中該第一氧化物半導體層的厚度大於或等於 $0.2\ \mu\text{m}$ 且小於或等於 $10\ \mu\text{m}$ 。

7. 如申請專利範圍第 1、2 與 4 中任一項之半導體裝置，其中該第一氧化物半導體層為結晶氧化物半導體層，且該結晶氧化物半導體層具有平行表面之 a-b 平面且具有對準垂直該表面之方向的 c 軸。

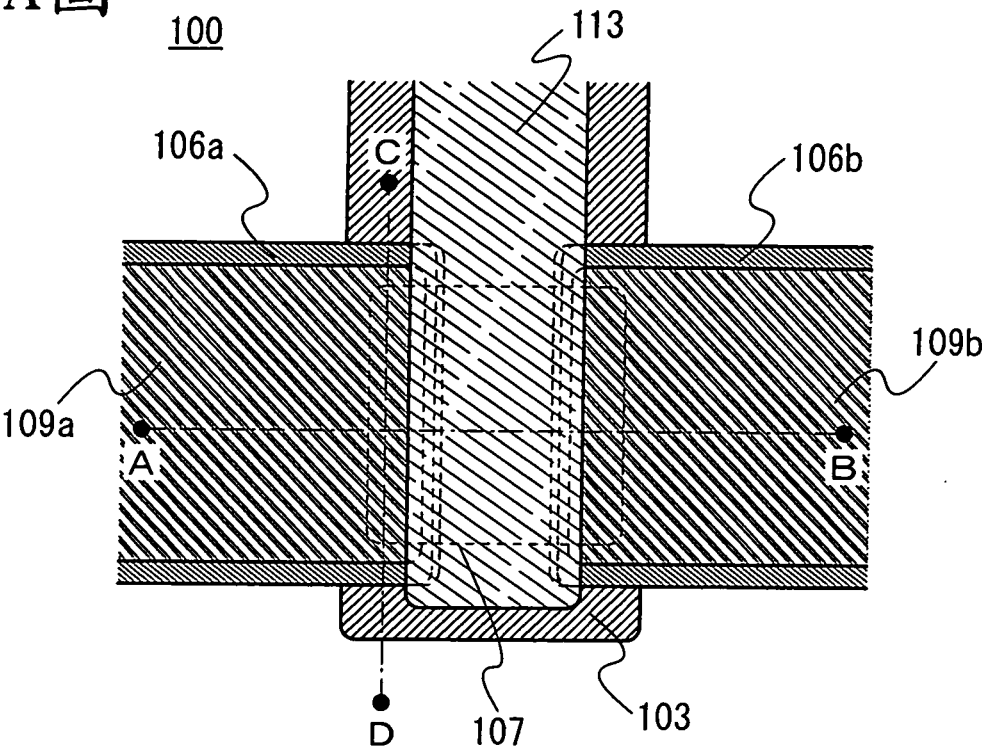
8. 如申請專利範圍第 7 項之半導體裝置，其中該結晶氧化物半導體層包含銦、鎵與鋅中之至少一者。

9. 如申請專利範圍第 1、2 與 4 中任一項之半導體裝置，其中該第一絕緣層包含超過化學計量的氧。

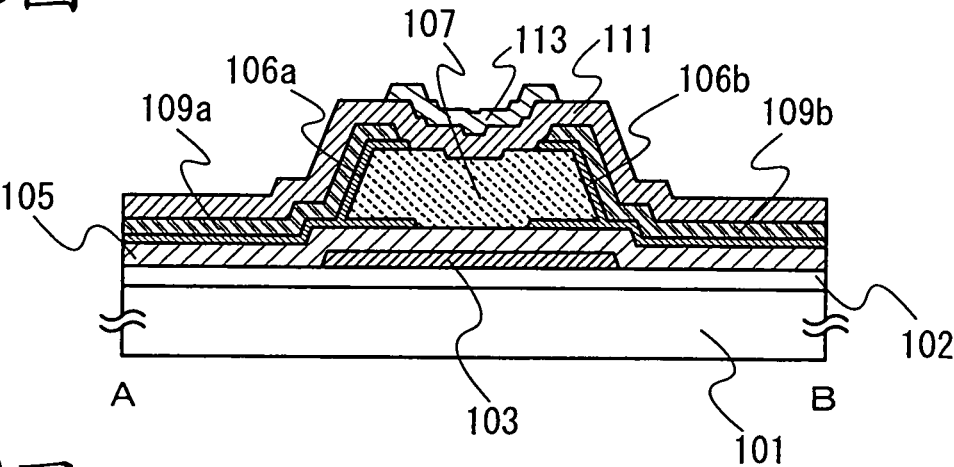
10. 如申請專利範圍第 2 或 3 項之半導體裝置，
其中該第二氧化物半導體層位於該第一氧化物半導體層與該源極電極之間；及

其中該第三氧化物半導體層位於該第一氧化物半導體層與該汲極電極之間。

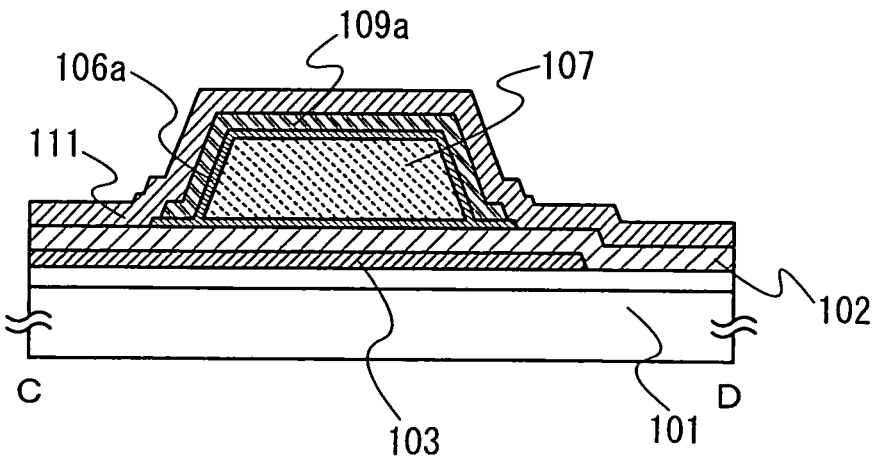
第1A圖



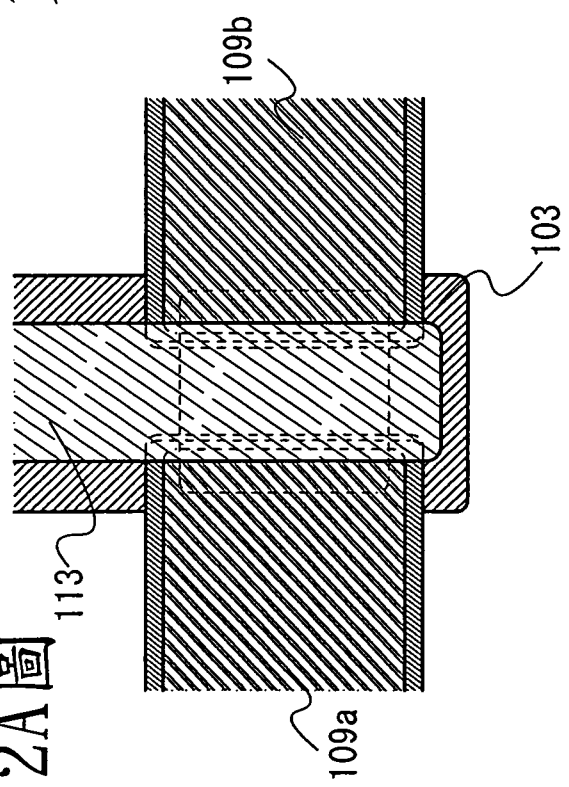
第1B圖



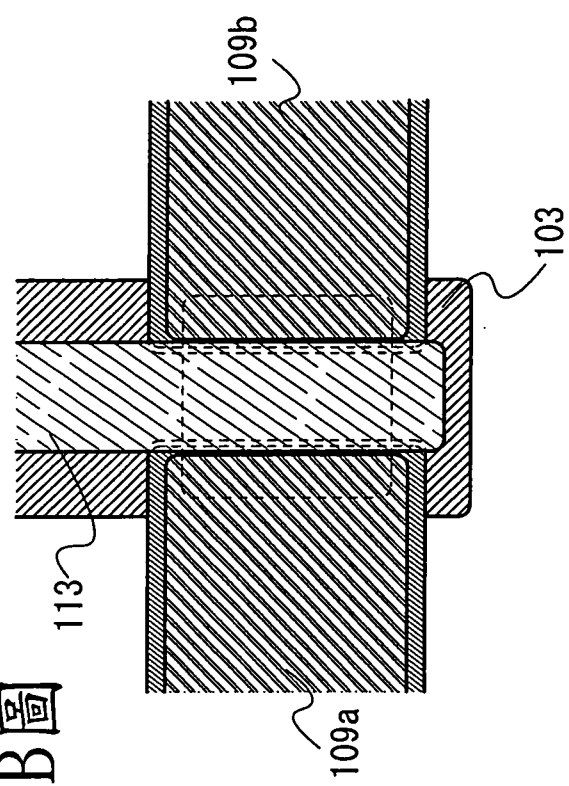
第1C圖



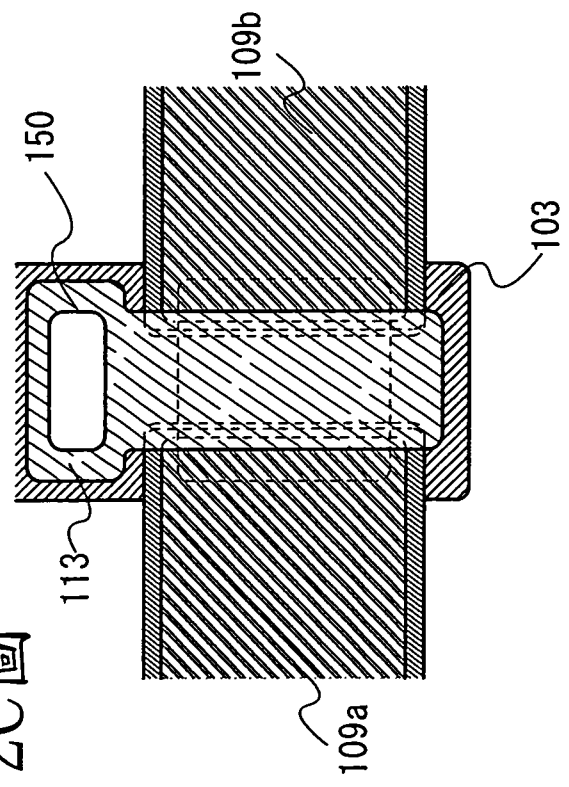
第2A圖



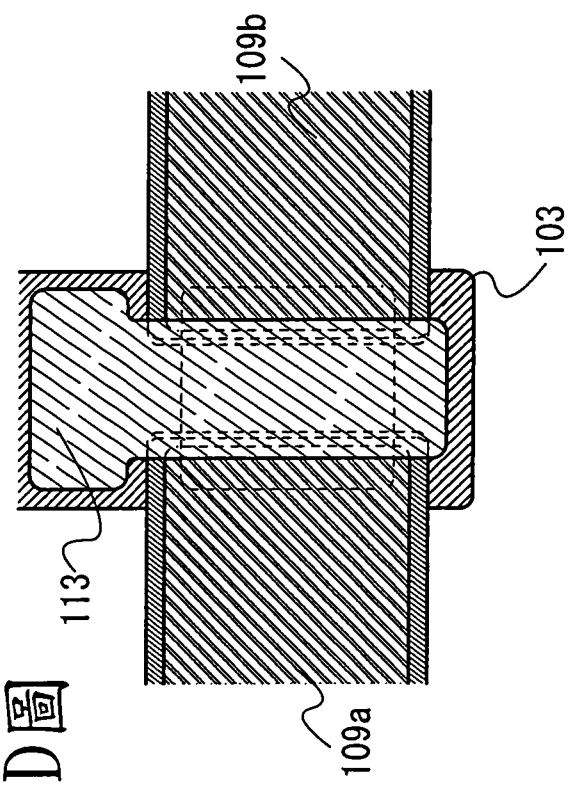
第2B圖



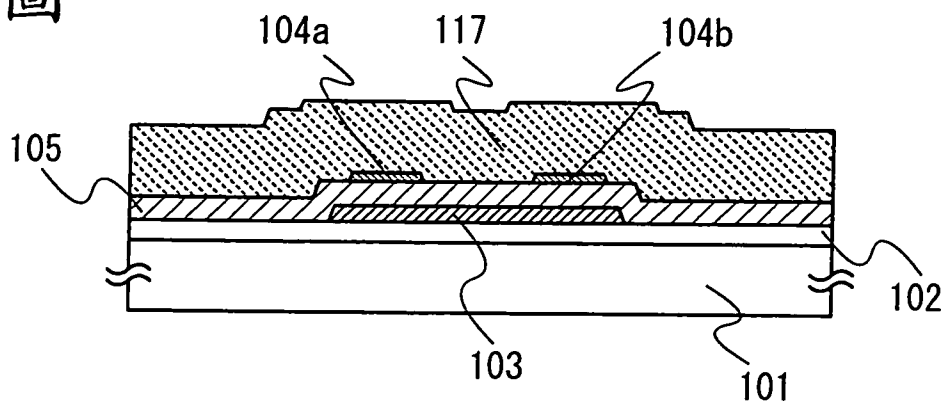
第2C圖



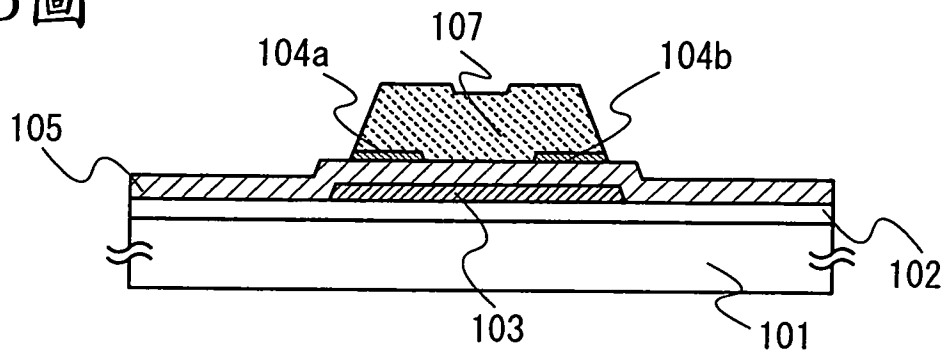
第2D圖



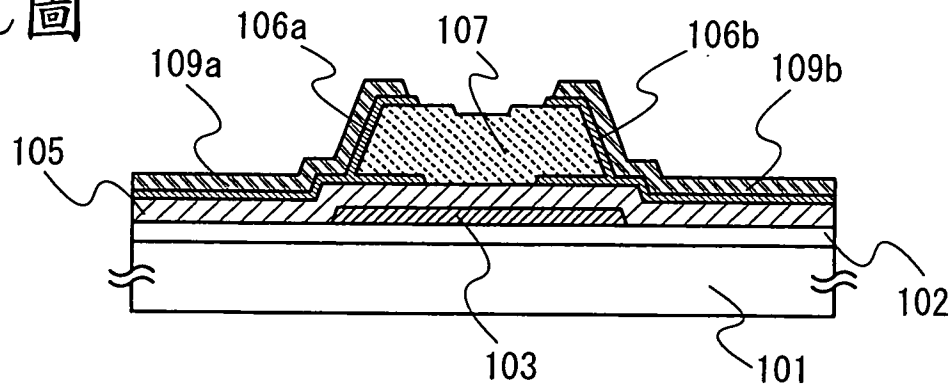
第3A圖



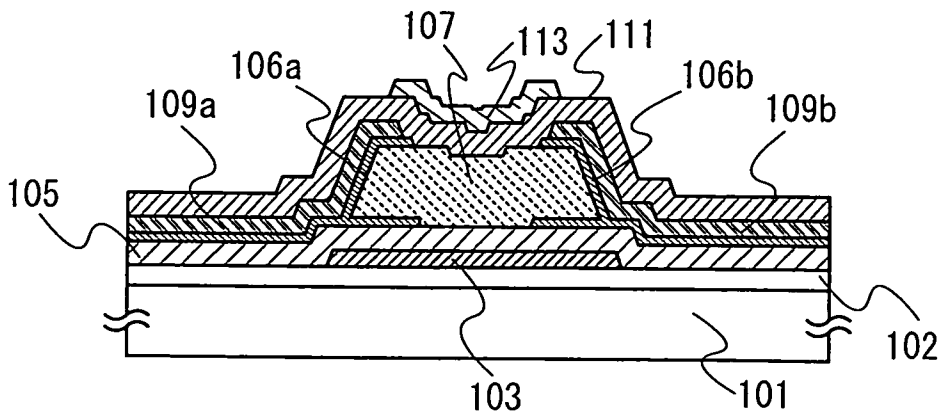
第3B圖



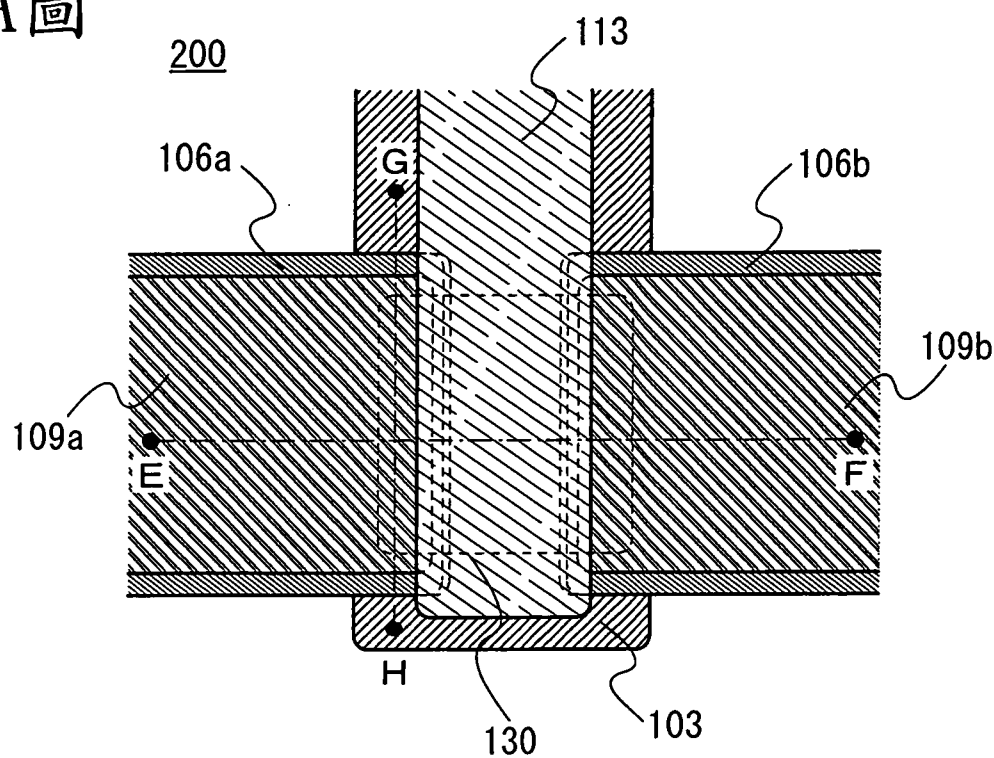
第3C圖



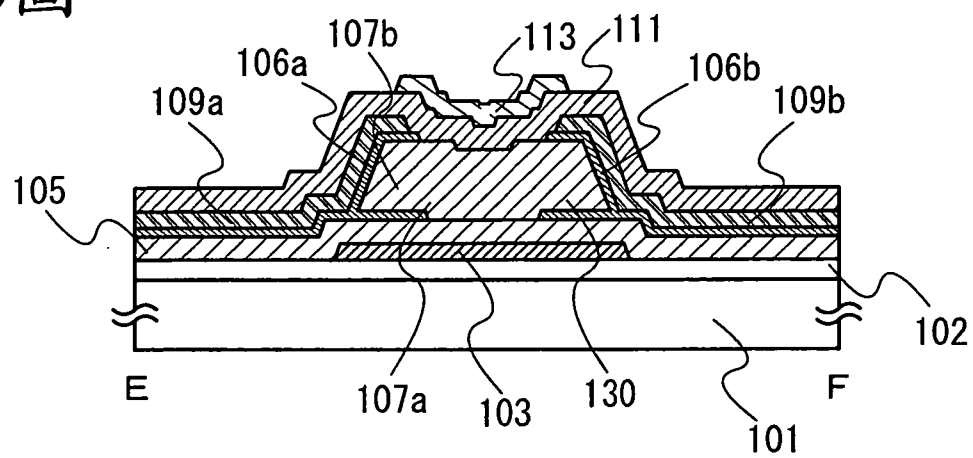
第3D圖



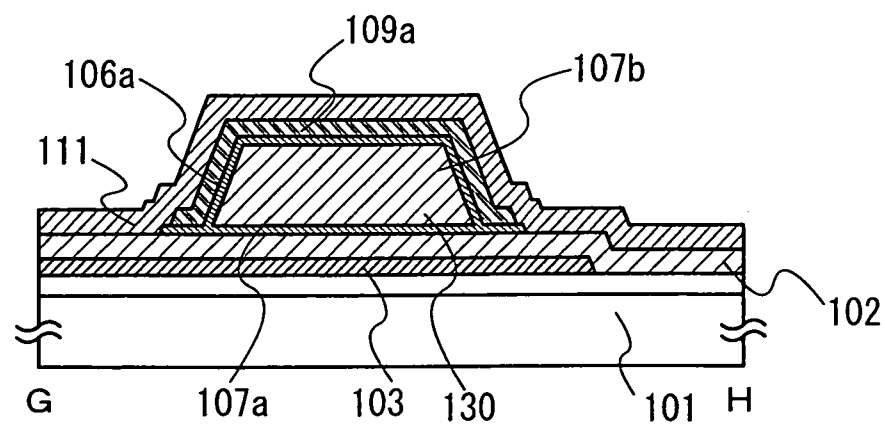
第4A圖



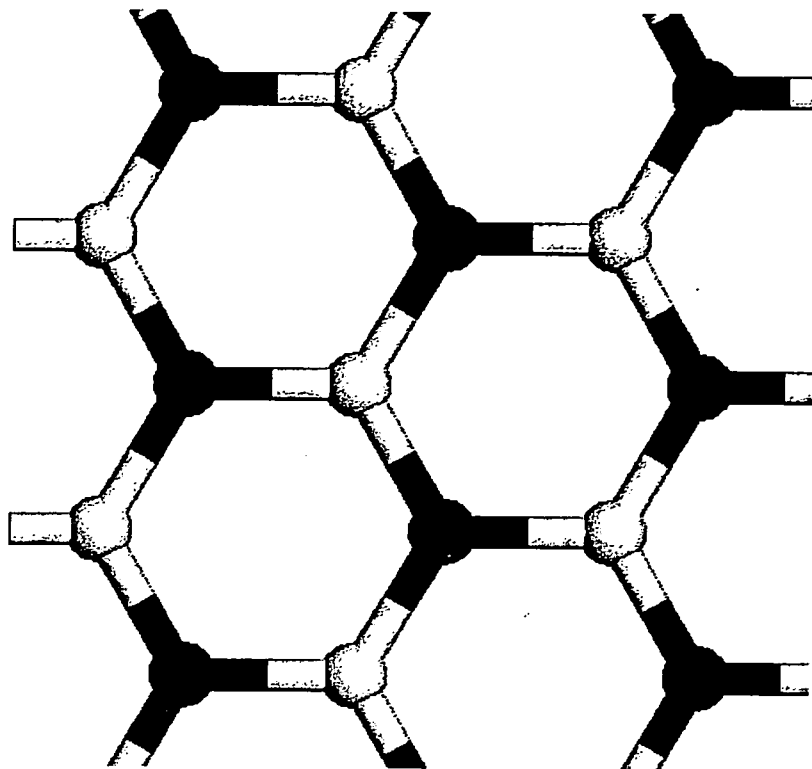
第4B圖



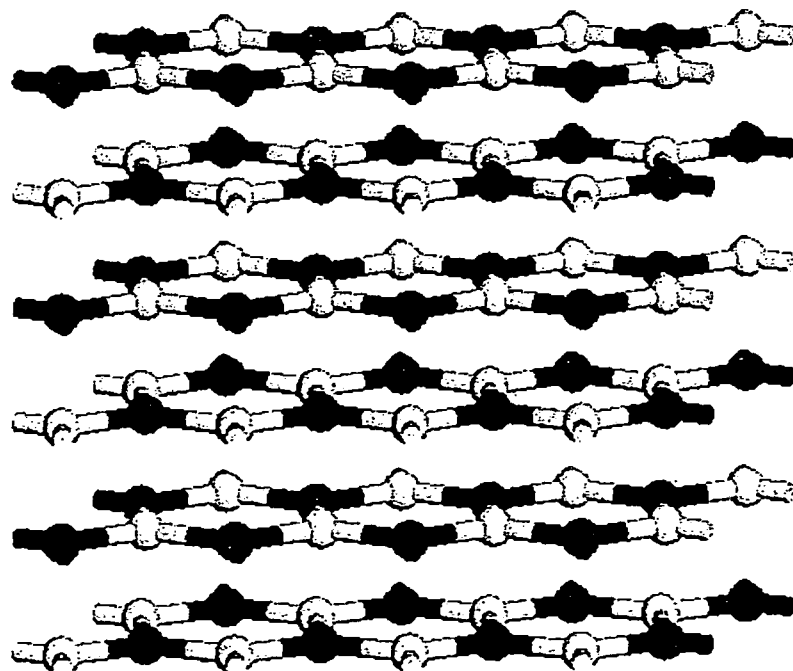
第4C圖



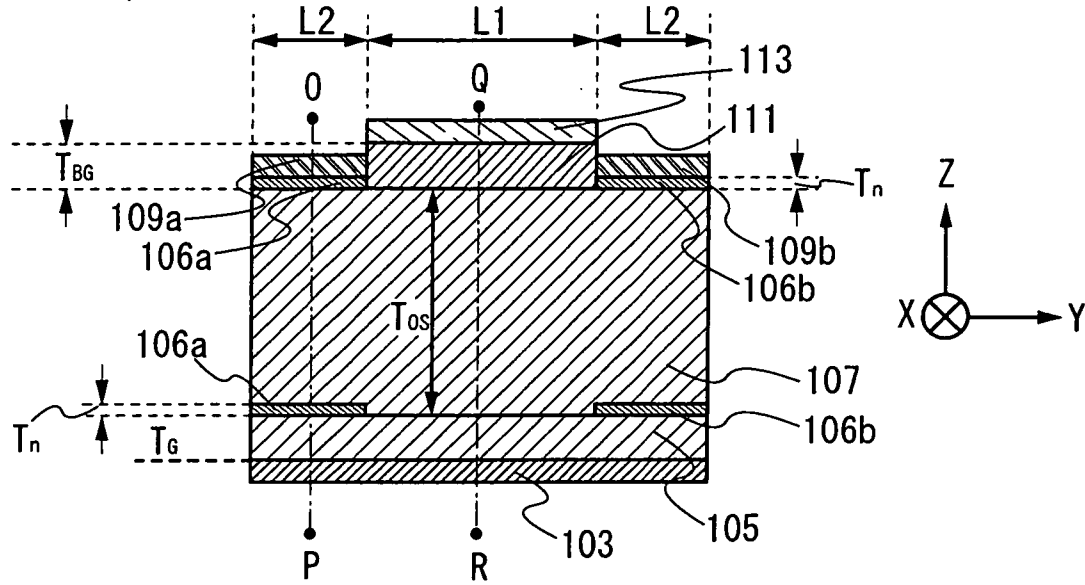
第5A圖



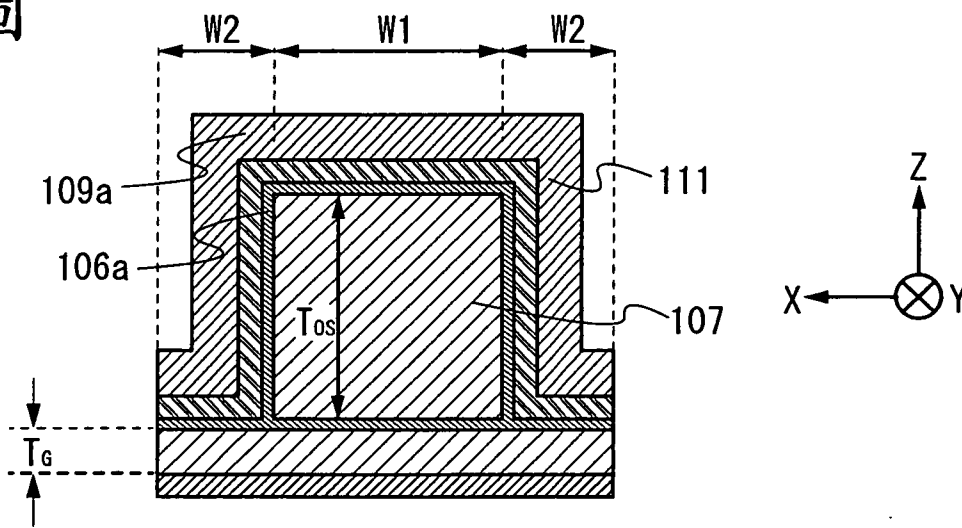
第5B圖



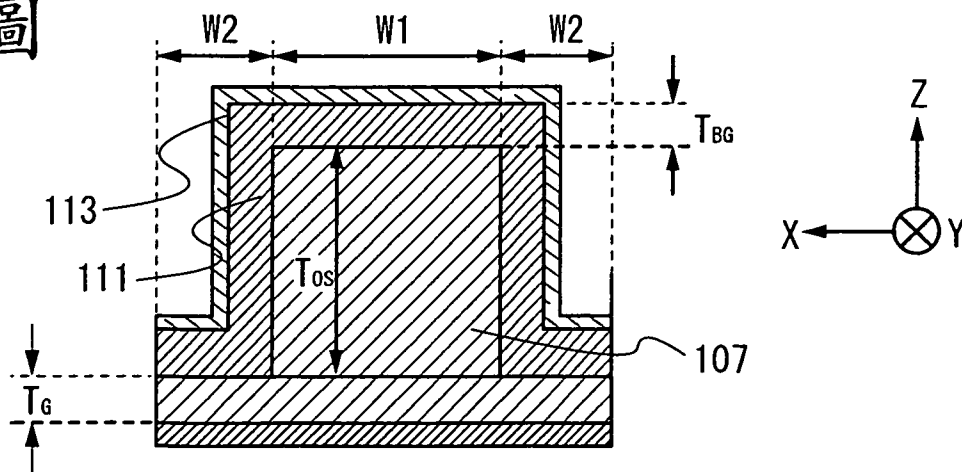
第6A圖



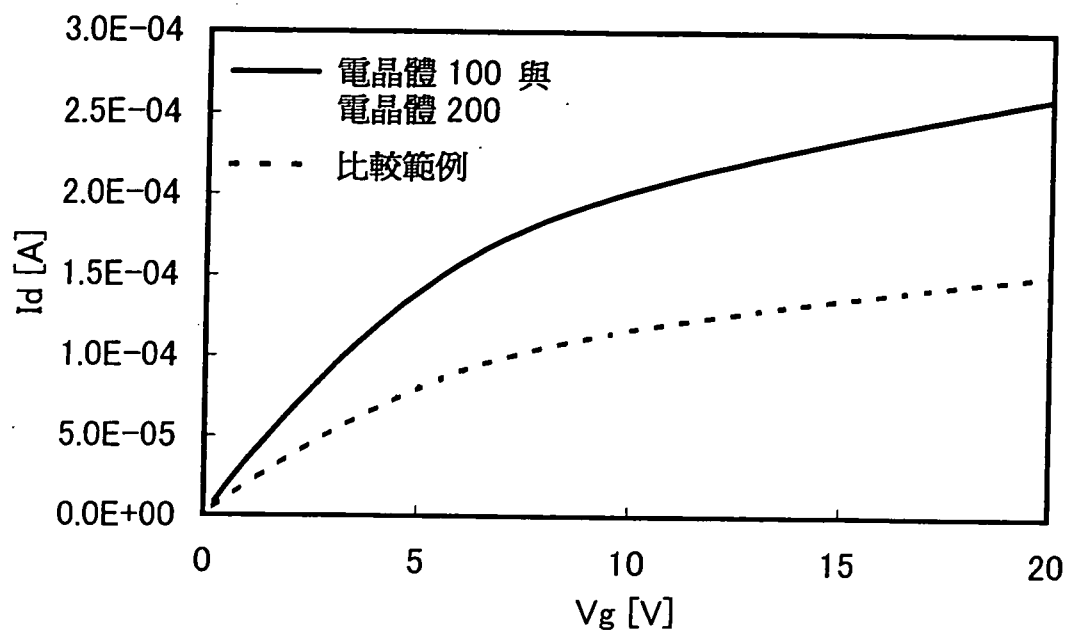
第6B圖



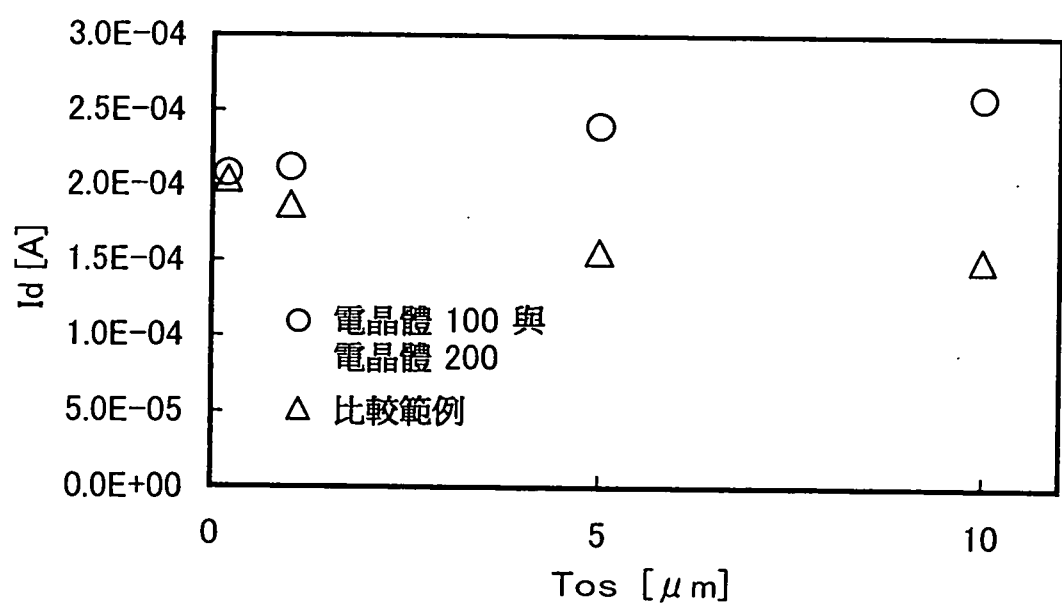
第6C圖



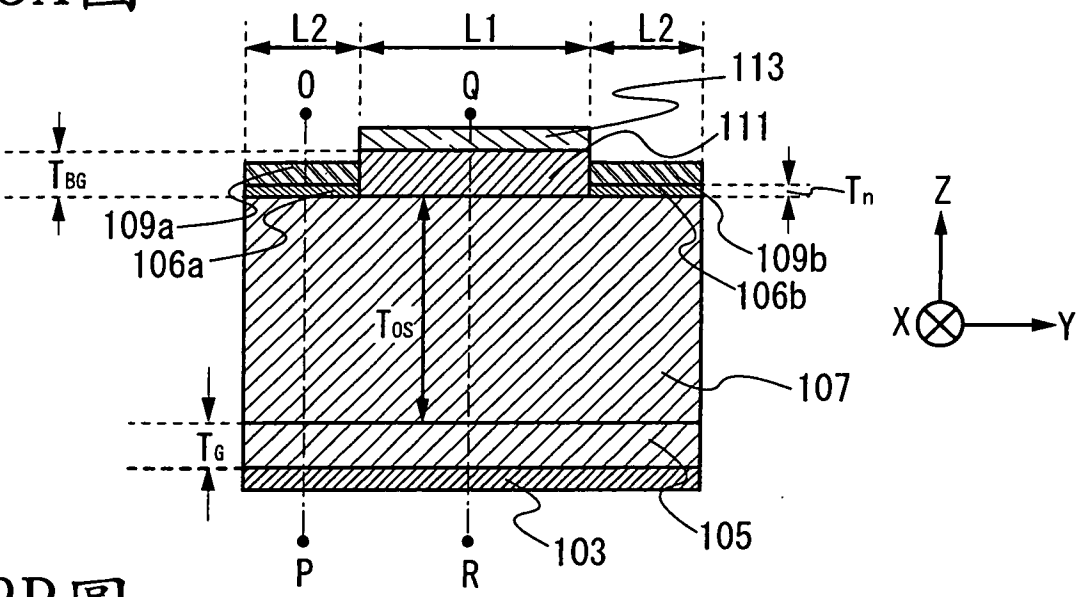
第7A圖



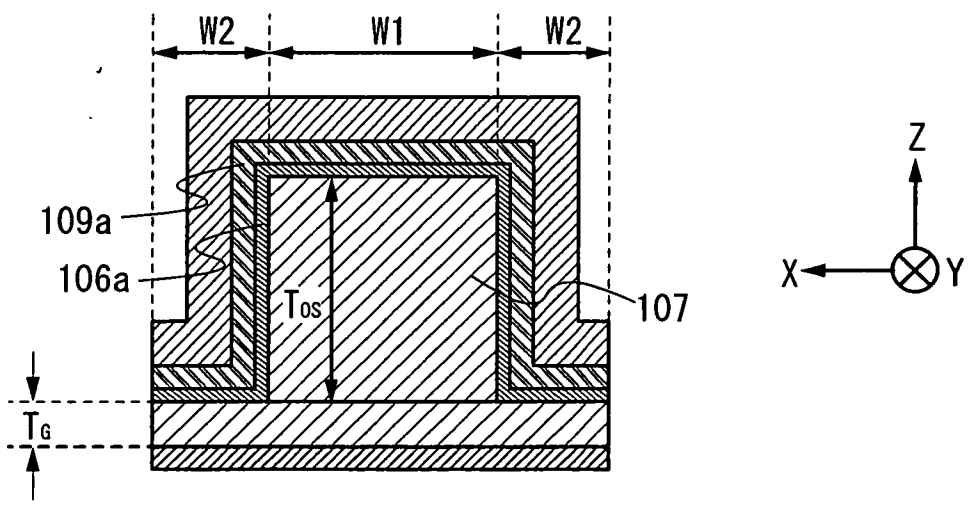
第7B圖



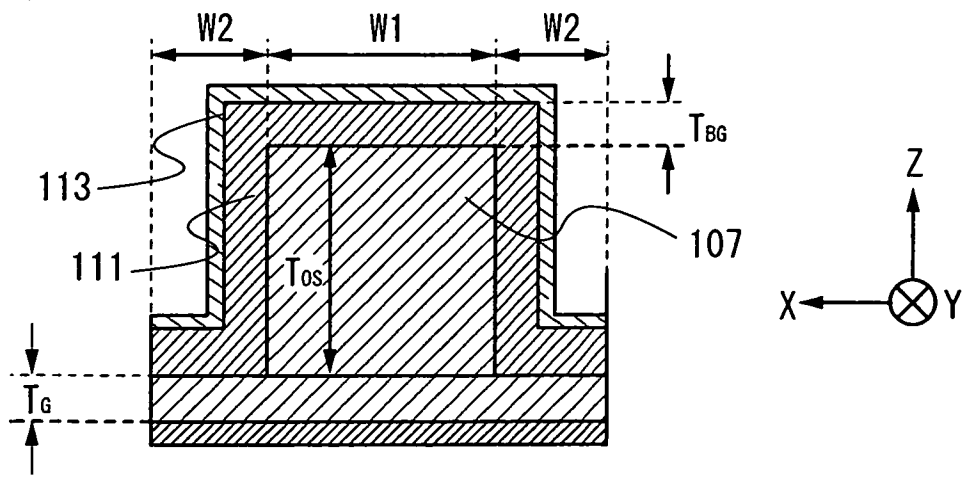
第8A圖



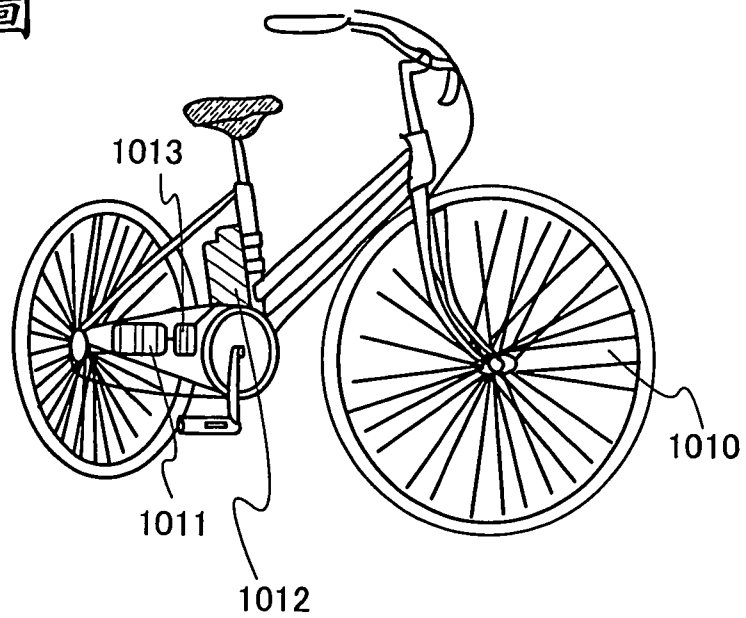
第8B圖



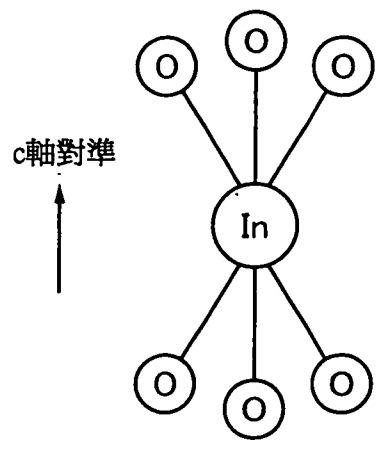
第8C圖



第9B圖

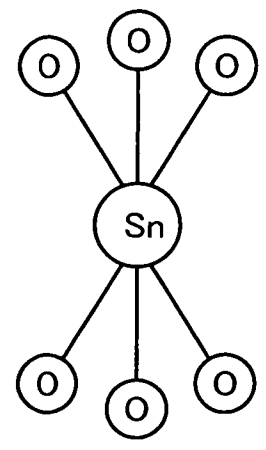


第10A圖



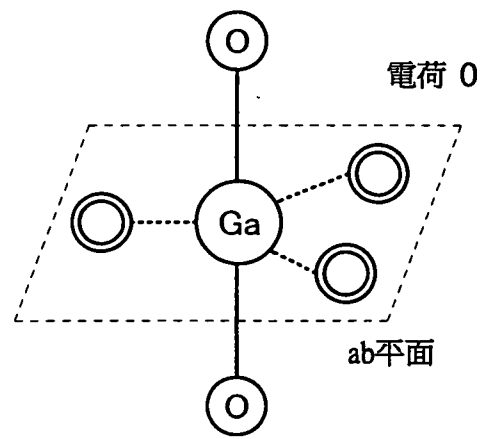
電荷 0

第10D圖

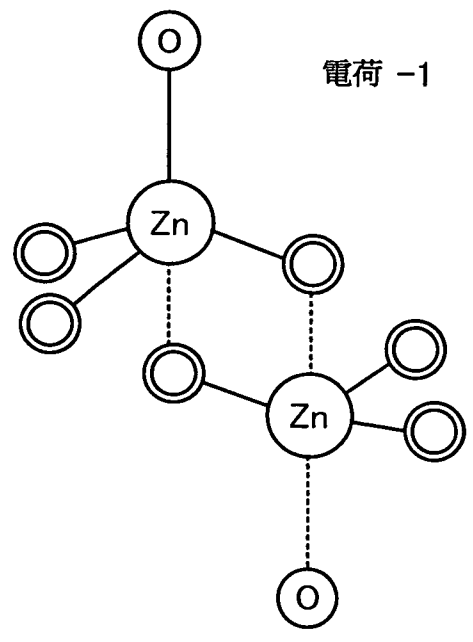


電荷 +1

第10B圖

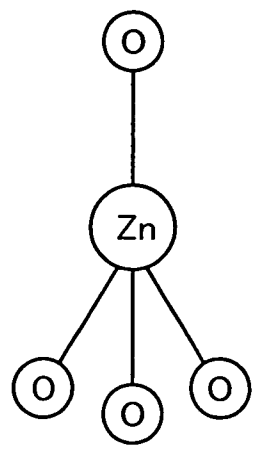


第10E圖



電荷 -1

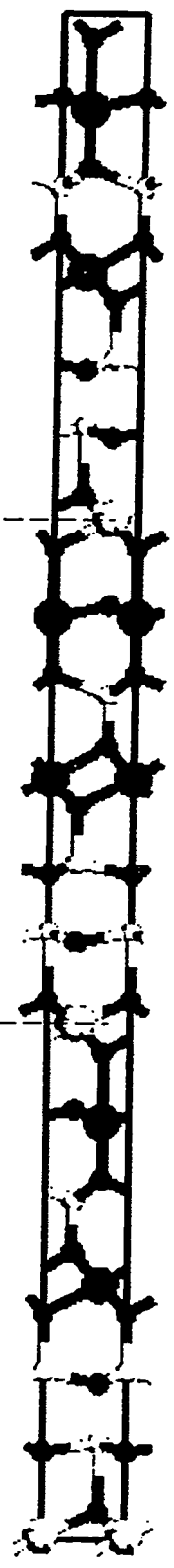
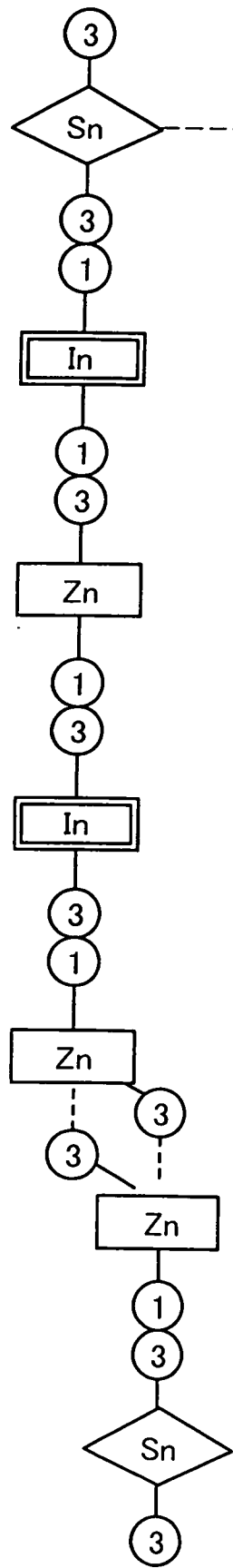
第10C圖



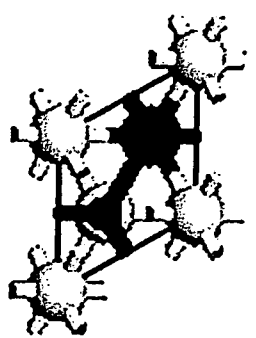
電荷 0

第11A圖

第11B圖



第11C圖

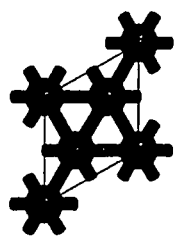
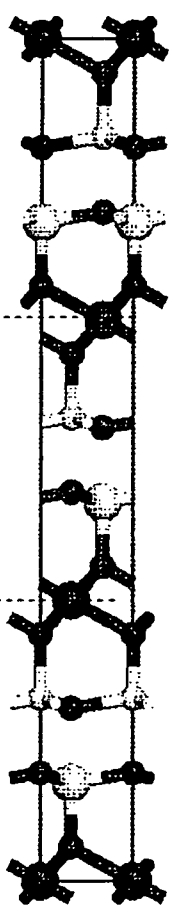
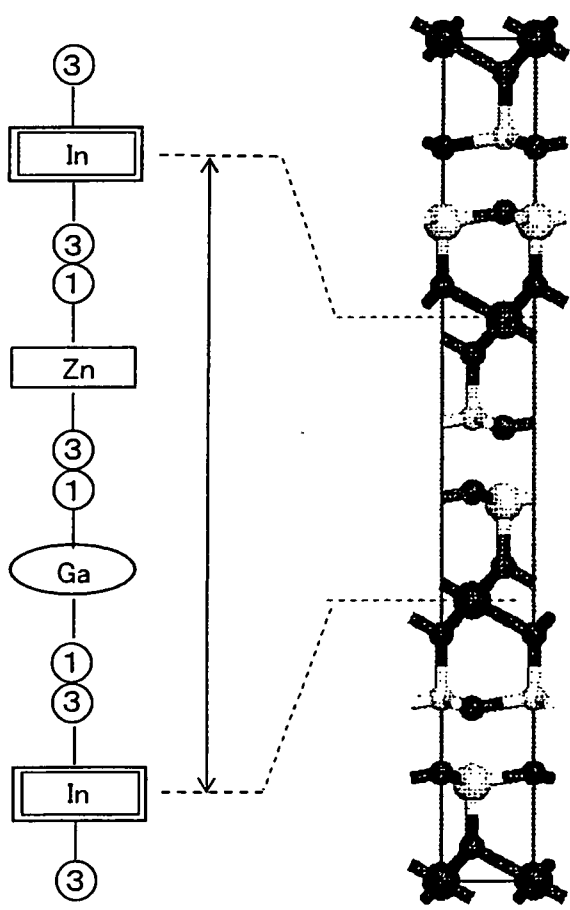


- In
- Sn
- Zn
- 0

第12A圖

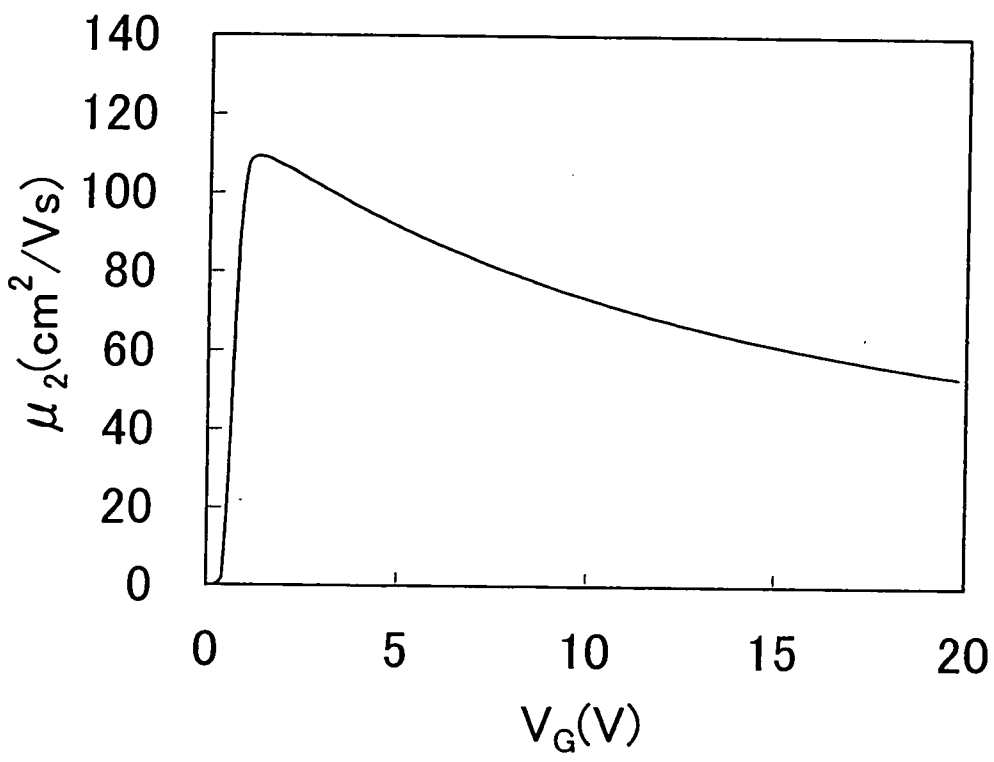
第12B圖

第12C圖

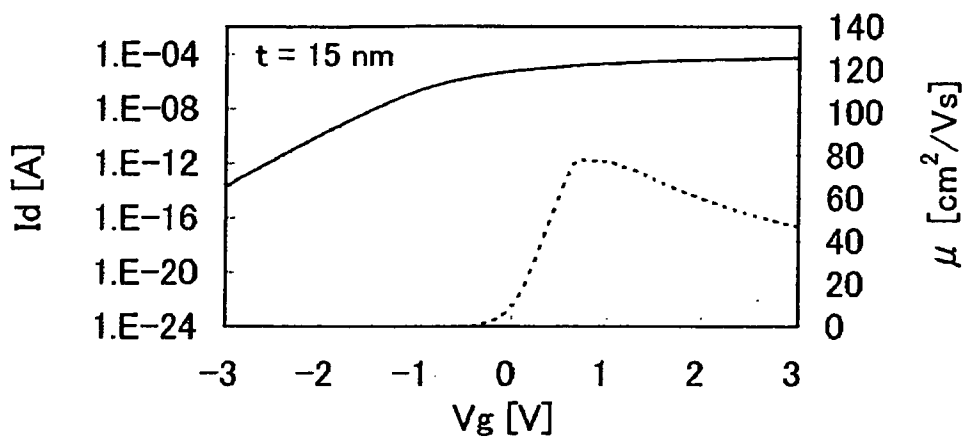


-  In
-  Ga
-  Zn
-  O

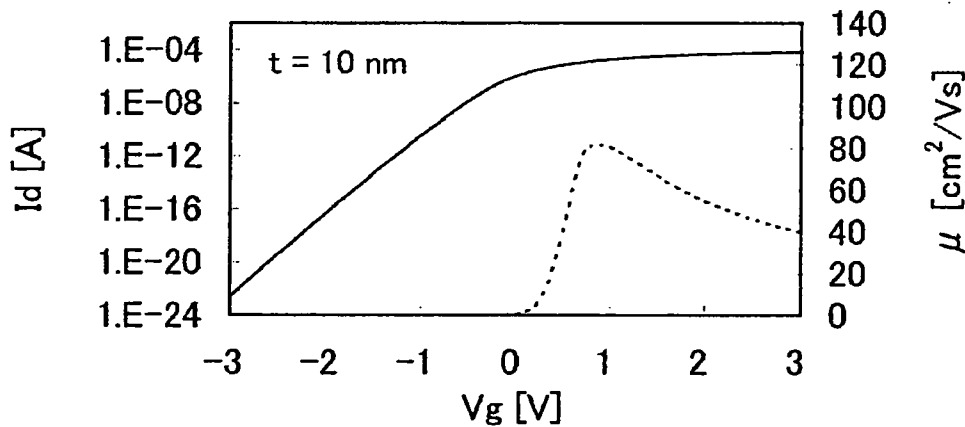
第13圖



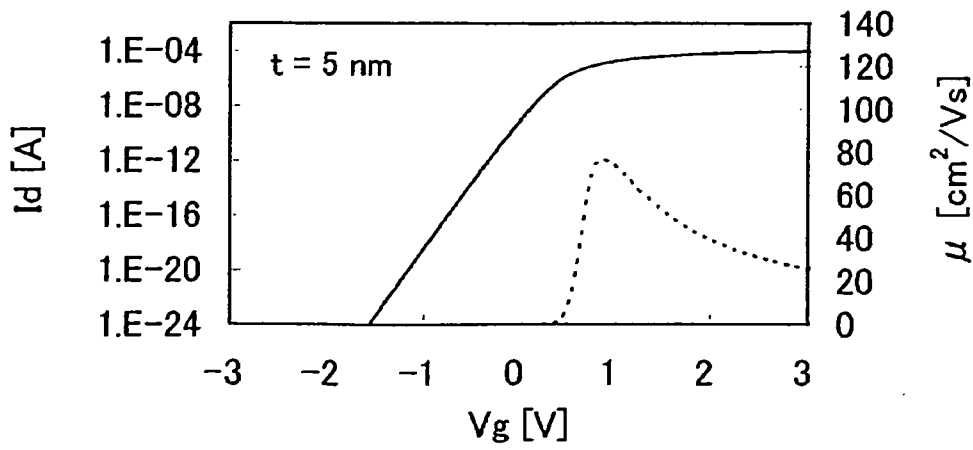
第14A圖



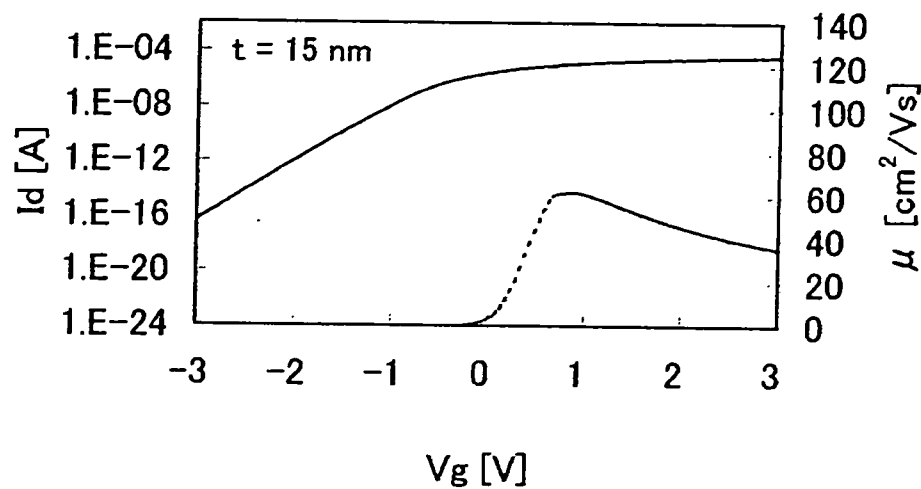
第14B圖



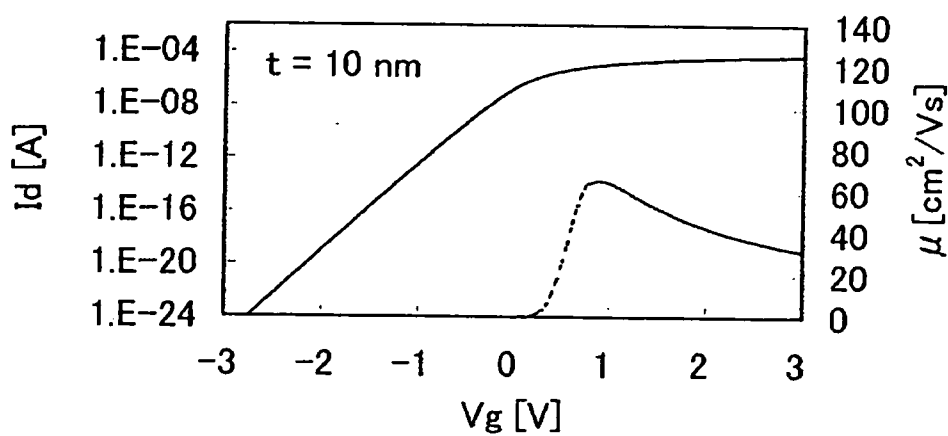
第14C圖



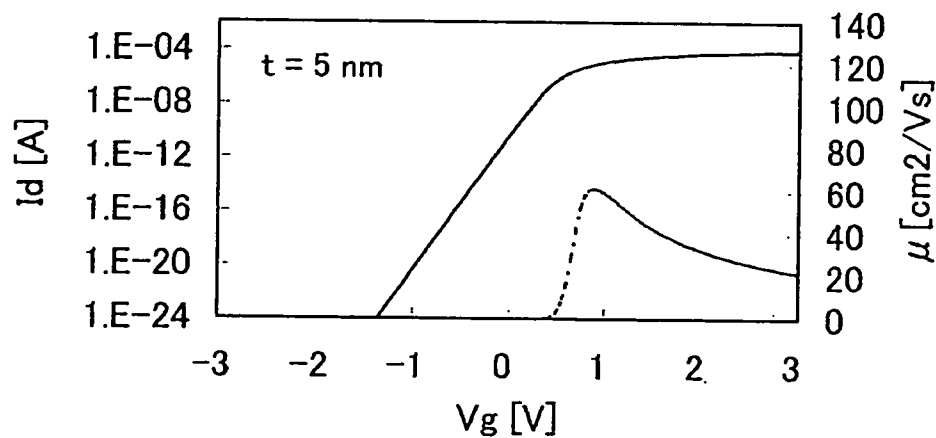
第15A圖



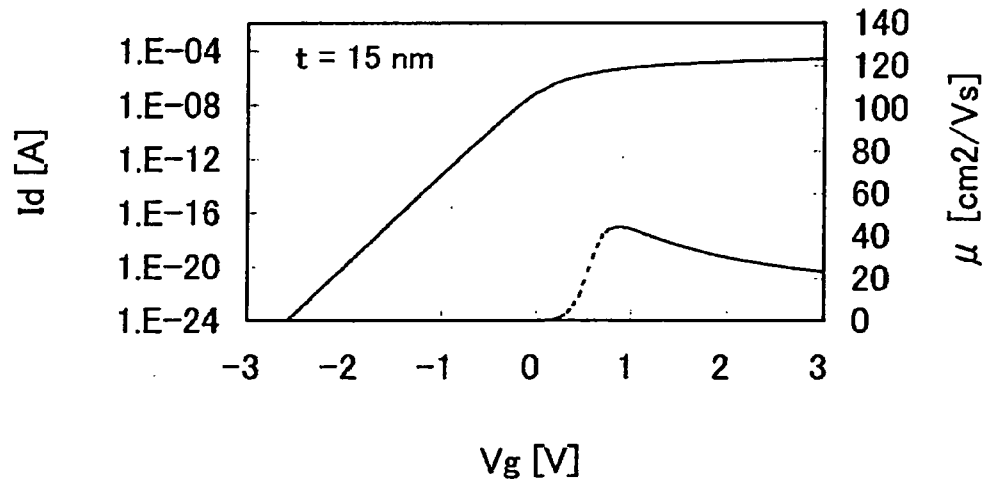
第15B圖



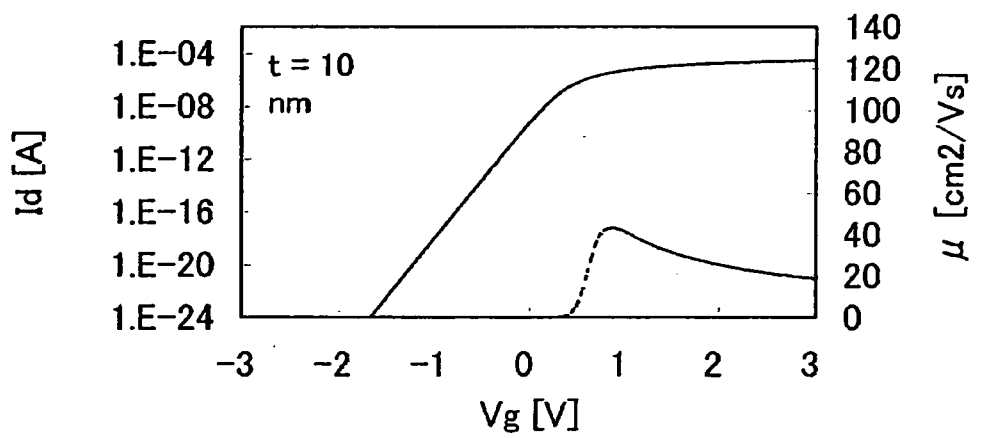
第15C圖



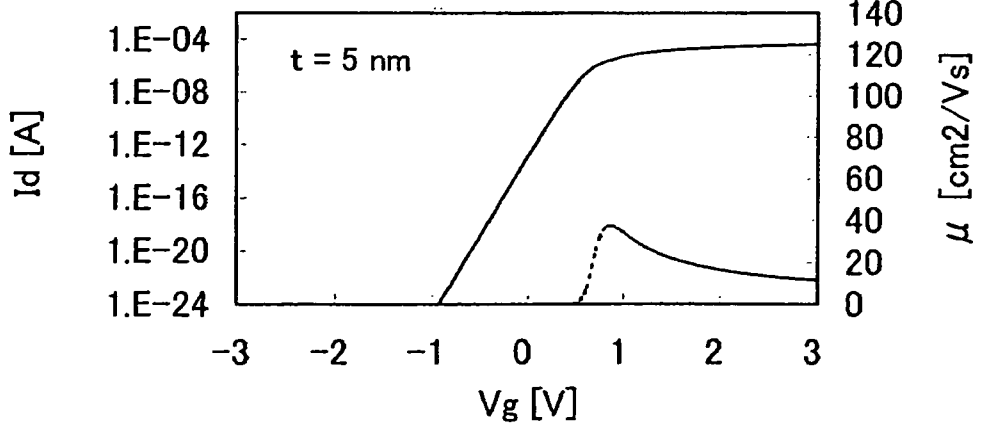
第16A圖



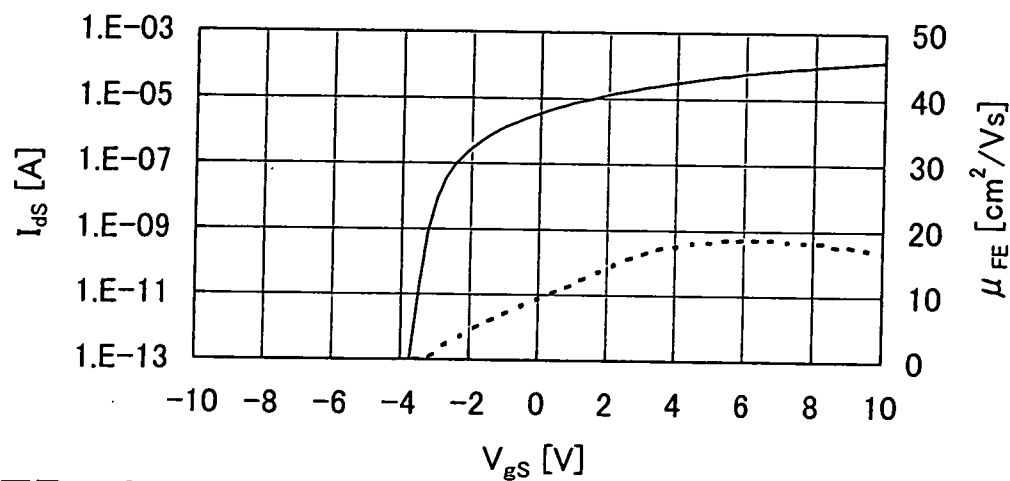
第16B圖



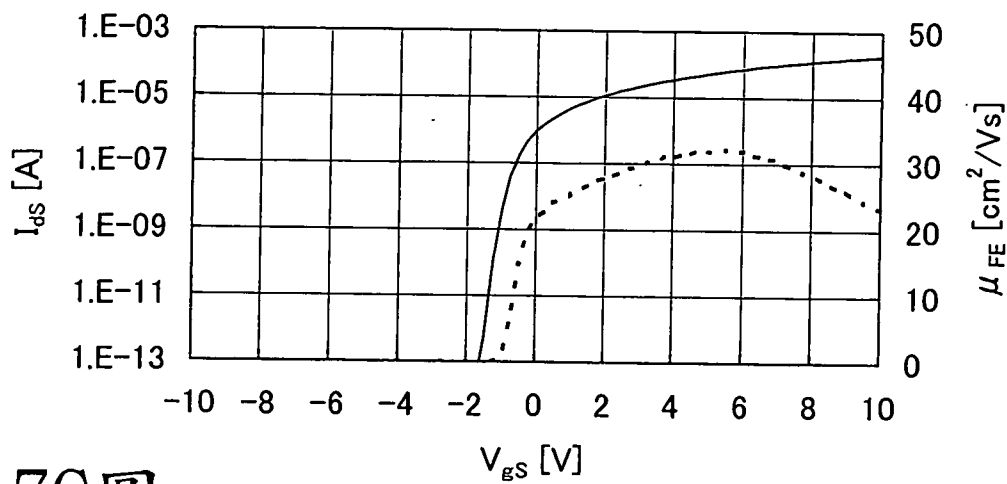
第16C圖



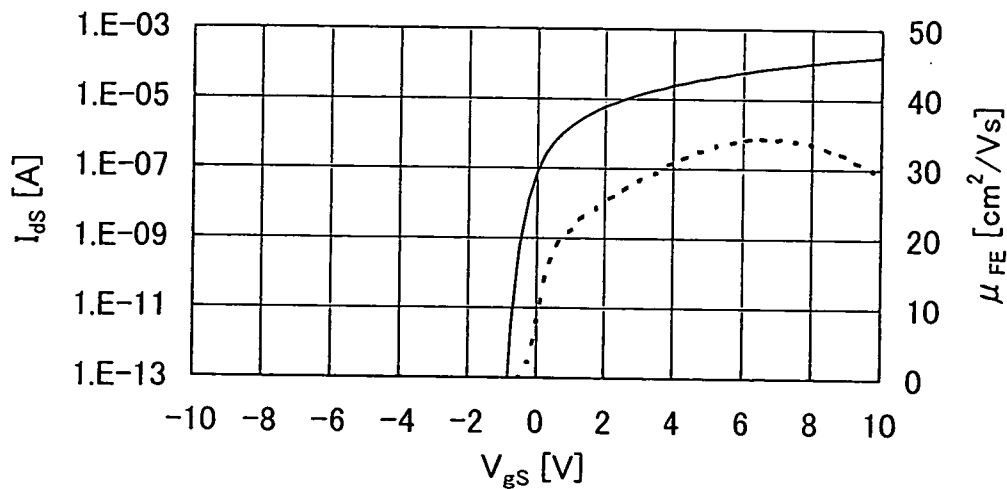
第17A圖



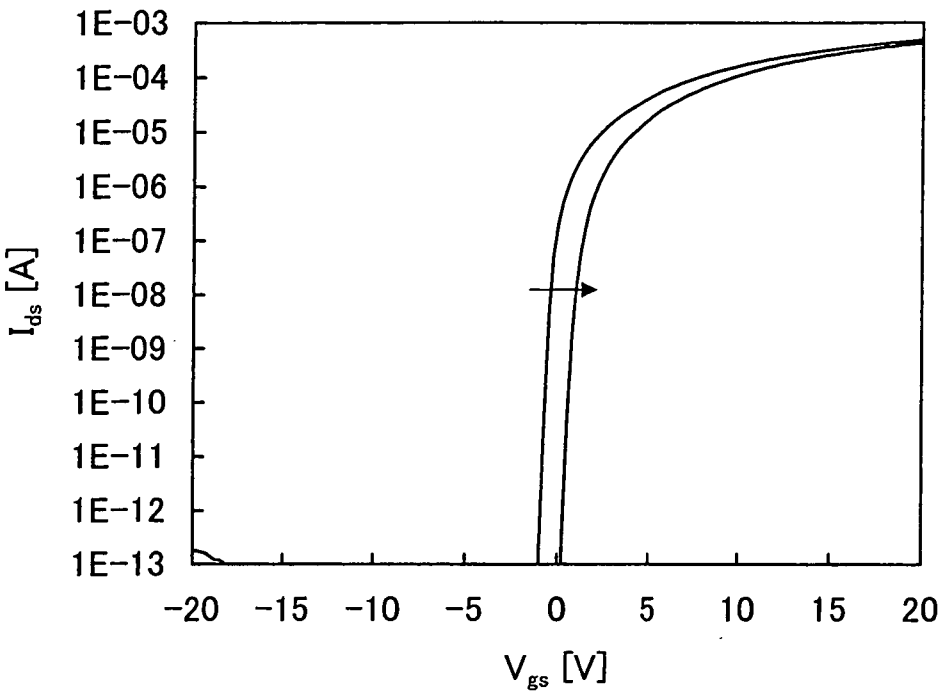
第17B圖



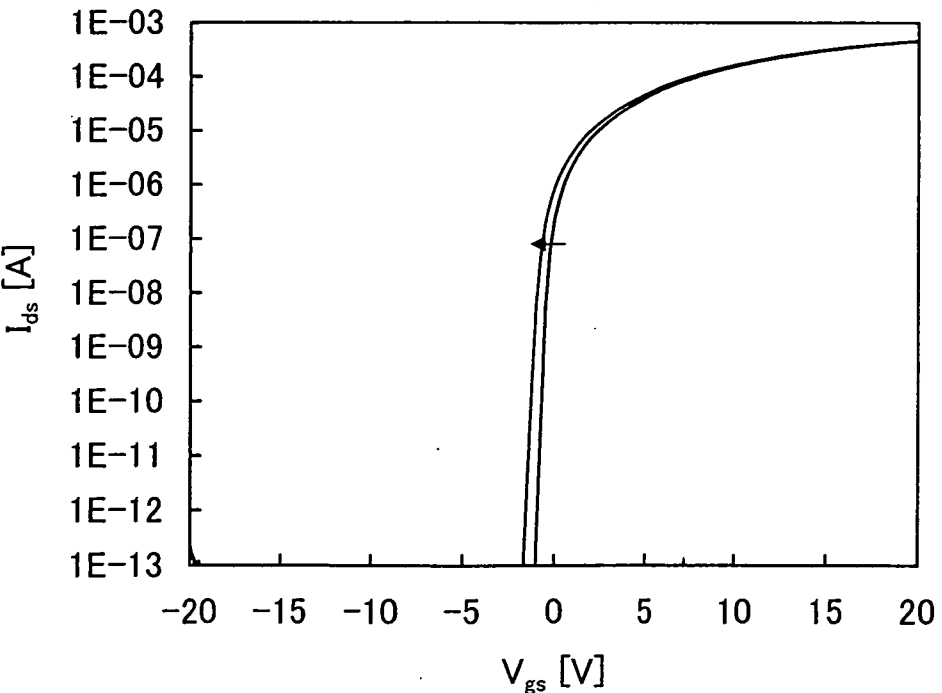
第17C圖



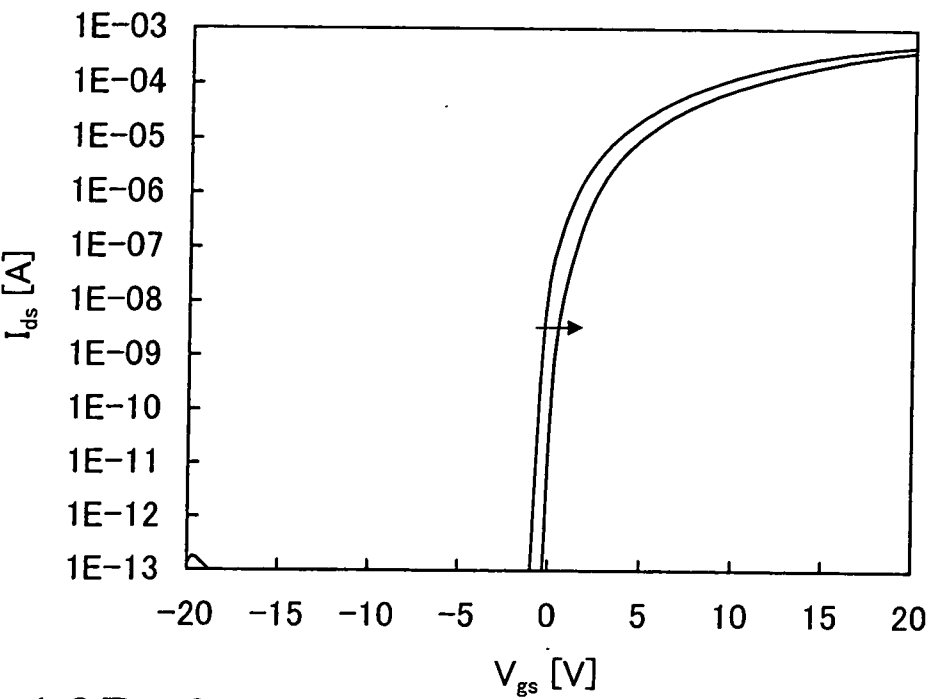
第18A圖



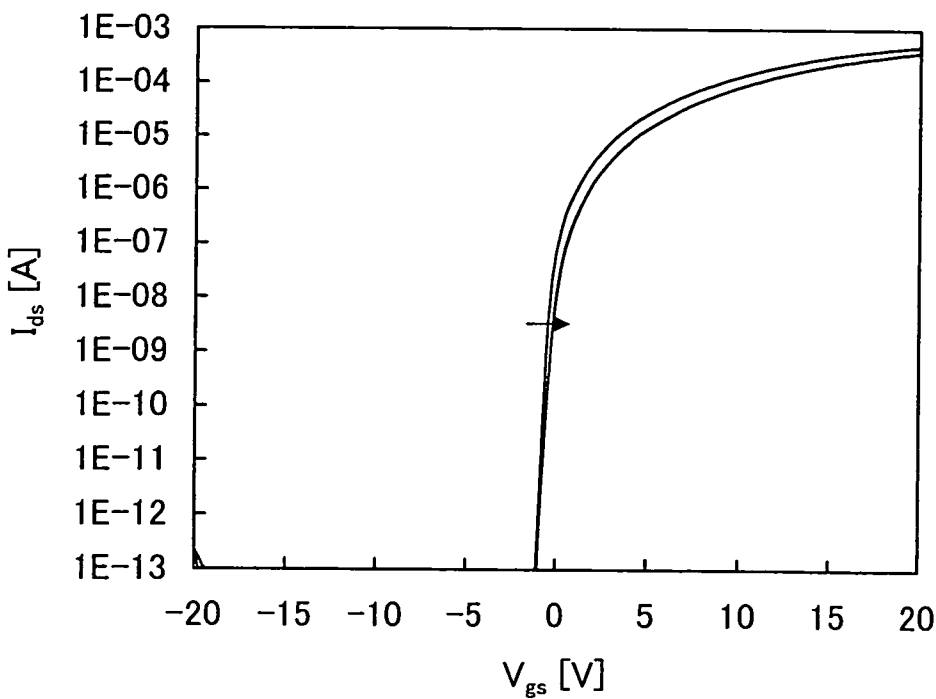
第18B圖



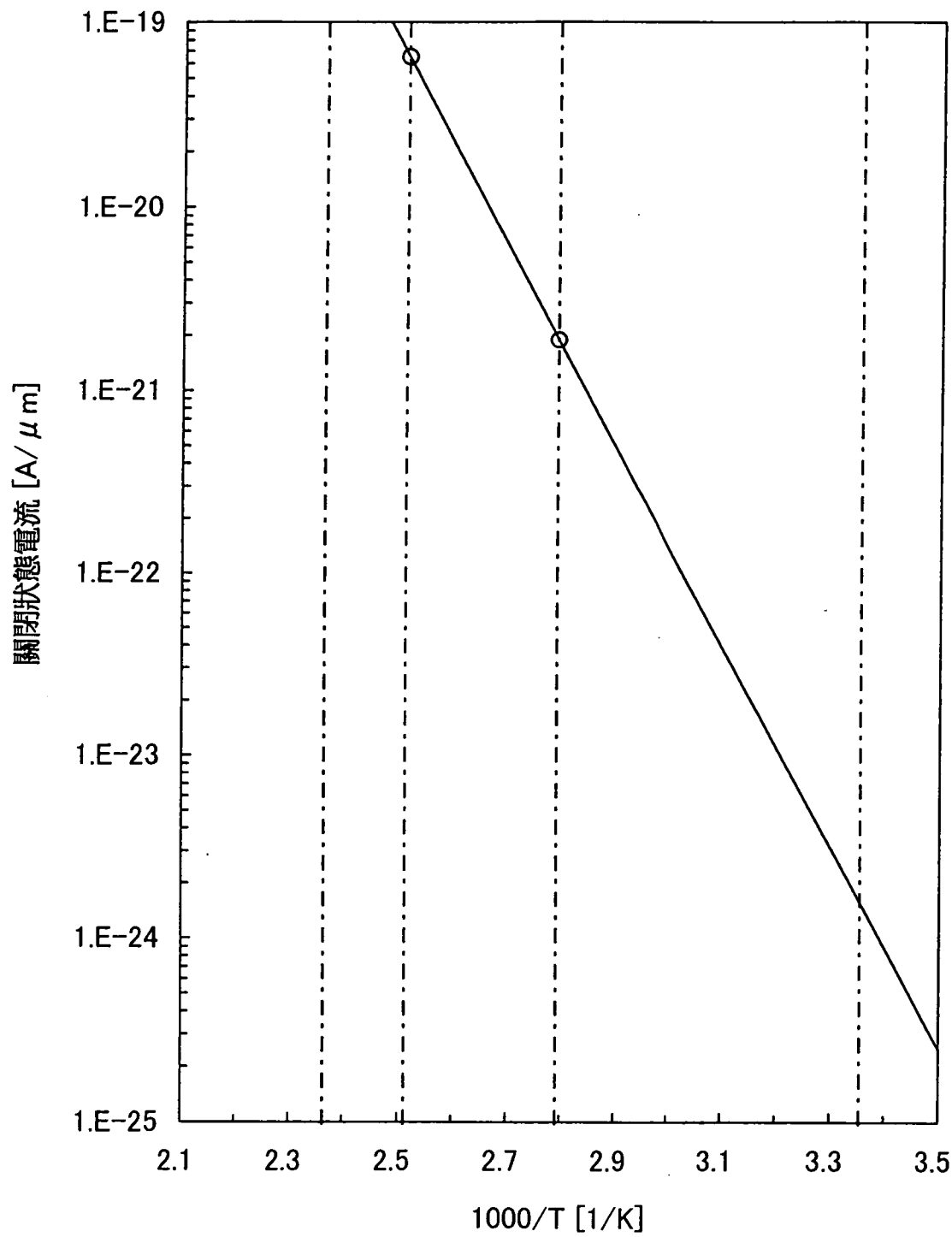
第19A圖



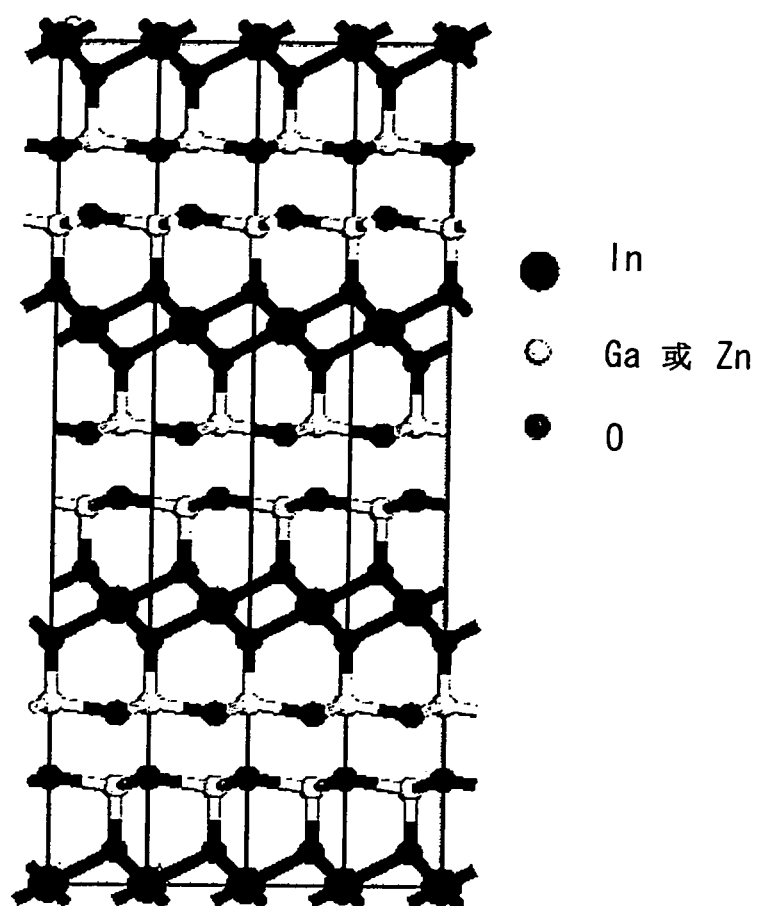
第19B圖



第20圖



第21A圖



第21B圖

