



# [12] 发明专利说明书

[21] ZL 专利号 96110131.8

[45] 授权公告日 2004 年 2 月 4 日

[11] 授权公告号 CN 1137479C

[22] 申请日 1996. 6. 28 [21] 申请号 96110131. 8

[30] 优先权

[32] 1995. 6. 28 [33] JP [31] 184797/1995

[71] 专利权人 日本胜利株式会社

地址 日本横浜

[72] 发明人 日暮诚司 大石刚士 春松光男

审查员 郭 雯

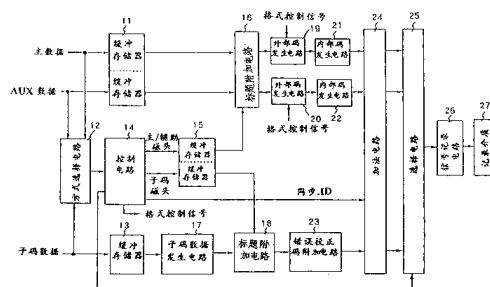
[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所  
代理人 杜日新

权利要求书 4 页 说明书 31 页 附图 13 页

[54] 发明名称 数字信号的记录与重放

[57] 摘要

沿着在记录介质上的磁道记录数字信号。 每个磁道具有多个区。 所述多个区中的第一区上记录的数字信号部分包括用于再现数字信号的信息。 所述信息还被记录在所述几个区中的至少一个第二区上。 第二区在容量上大于第一区。 所述信息包括例如子码标题信息。



1.一种记录数字信号的方法，包括下列步骤：

在记录介质（27、111、191）上沿着磁道记录数字信号，每个所述磁道具有主数据区（37、38、45、46）和子码区（33），主数据区（37、38、45、46）具有多个主数据块，子码区（33）具有多个字码数据块，子码区（33）与主数据区（37、38、45、46）相分离且尺寸小于主数据区（37、38、45、46），数字信息包括主信息和字码信息，主信息由主数据区（37、38、45、46）的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信息由字码区（33）的各子码数据块上记录的多个子码信息条组成，多个第一错误校正码信号记录在主数据区（37、38、45、46）的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区（37、38、45、46）上，第二错误校正码信号用于校正主数据区（37、38、45、46）的所有主信息条中的错误，多个第三错误校正码信号记录在子码区（33）的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，该方法其特征在于还包括步骤：

在主数据区（37、38、45、46）上记录辅助信息，辅助信息的内容与在子码区（33）记录的子码信息一致，辅助信息被以这样的方式记录，即响应主数据区（37、38、45、46）上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以这样的方式记录，即响应子码区（33）上记录的第三错误

校正码信号启动错误校正。

2.一种从记录介质(27、111、191)重放数字信号的方法,在记录介质(27、111、191)上有以权利要求1所述的方法记录的数字信号,该方法包括下列步骤:

从记录介质(27、111、191)读出数字信号;

从子码区(33)读出的数字信号的第一部分中恢复子码信息;

当从子码区(33)读出的数字信号的第一部分中不能恢复子码信息时,从主数据区(37、38、45、46)读出的数字信号的第二部分中接收子码信息;

从读出的数字信号恢复第一、第二和第三错误校正码信号;

以及

响应第一、第二和第三错误校正码信号至少之一,校正读出的数字信号中的错误。

3.一种记录和重放数字信号的方法,包括权利要求1和权利要求2所述方法的步骤。

4.根据权利要求1、2和3之一所述的方法,其中由于子码信息所表示的格式是在多个预定格式中可改变的。

5.根据权利要求1和3之一所述的方法,还包括在主数据区(37、38、45、46)上以对应一个主数据块的单位重复记录辅助信息的步骤。

6.根据权利要求2和3之一所述的方法,还包括步骤:当从子码区(33)读出的数据信号的第一部分中不能恢复子码信息时,再次在子码区(33)记录从主数据区(37、38、45、46)读出的信息。

### 7.一种记录数字信号的装置，包括：

由缓冲存储器（11）、选择电路（25）、信号记录电路（26）和记录头构成的组合装置，用于在记录介质（27、111、191）上沿着磁道记录数字信号，每个所述磁道具有主数据区（37、38、45、46）和子码区（33），主数据区（37、38、45、46）具有多个主数据块，子码区（33）具有多个字码数据块，子码区（33）与主数据区（37、38、45、46）相分离且尺寸小于主数据区（37、38、45、46），数字信息包括主信息和字码信息，主信息由主数据区（37、38、45、46）的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信息由字码区（33）的各子码数据块上记录的多个子码信息条组成，多个第一错误校正码信号记录在主数据区（37、38、45、46）的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区（37、38、45、46）上，第二错误校正码信号用于校正主数据区（37、38、45、46）的所有主信息条中的错误，多个第三错误校正码信号记录在子码区（33）的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，该记录数据信号的装置其特征在于还包括：

由缓冲器（13）、选择电路（25）、信号记录电路（26）和记录头构成的组合装置，用于在主数据区（37、38、45、46）上以对应一个主数据块的单位重复记录辅助信息，辅助信息的内容与在子码区（33）记录的子码信息一致，辅助信息被以这样的方式记录，即响应主数据区（37、38、45、46）上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以

这样的方式记录，即响应子码区（33）上记录的第三错误校正码信号启动错误校正。

8.一种从记录介质（27、111、191）重放数字信号的装置，在记录介质（27、111、191）上有用权利要求 7 所述的装置记录的数字信号，该重放装置包括：

从记录介质（27、111、191）读出数字信号的装置(14)；

从子码区（33）读出的数字信号的第一部分中恢复子码信息的装置(197、197G)；

当从子码区（33）读出的数字信号的第一部分中不能恢复子码信息时，从主数据区（37、38、45、46）读出的数字信号的第二部分中恢复子码信息的装置；

从读出的数字信号恢复第一、第二和第三错误校正码信号的装置（197、197G）；以及

响应第一、第二和第三错误校正码信号至少之一，校正读出的数字信号中错误的装置（194、195）。

9.一种记录和重放数字信号的装置，包括权利要求 7 和权利要求 8 所述装置的特征。

10.根据权利要求 7、8 和 9 之一所述的装置，其中由于子码信息所表示的格式是在多个预定格式中可改变的。

11.根据权利要求 8 和 9 之一所述的装置，还包括：当从子码区（33）读出的数据信号的第一部分中不能恢复子码信息时，再次在子码区（33）记录从主数据区（37、38、45、46）读出的信息的装置。

## 数字信号的记录与重放

### 技术领域

本发明涉及一种用于记录数字信号的方法和装置，还涉及一种用于重放数字信号的方法和装置，本发明也涉及一种用于记录和重放数字信号的方法和装置，还涉及一种记录介质。

### 背景技术

一种 DAT（数字音频带）（digitd audio tape）系统在磁带上记录并重放数字音频信号。DAT 磁道格式规定两个子码区和一个主数据区作为数字记录块，每个数据记录块具有 288 位即 36 字节。

在 DAT 系统中，指示主数据的使用的格式 ID（识别）信号被存储在主数据块内的主标题中。例如，格式 ID 信号说明是音频使用还是数据使用。在 DAT 系统中，因为格式 ID 信号被存储在主数据块中，所以格式信息的恢复要求从主数据块中再现信号。

但是在这种 DAT 系统中有出现错误而不能准确恢复信息的情况。本发明就是为解决该问题而产生的。

### 发明内容

本发明的第一目的是提供一种改进的记录数字信号的方法。

本发明的第二目的是提供一种改进的记录数字信号的装置。

本发明的第三目的是提供一种改进的重放数字信号的方法。

本发明的第四目的是提供一种改进的重放数字信号的装置。

本发明的第五目的是提供一种改进的记录和重放数字信号的方法。

本发明的第六目的是提供一种改进的记录和重放数字信号的装置。

本发明的第一方面提供记录数字信号的方法，包括下列步骤：在记录介质上沿着磁道记录数字信号，每个所述磁道具有主数据区和子码区，主数据区具有多个主数据块，子码区具有多个字码数据块，子码区与主数据区相分离且尺寸小于主数据区，数字信息包括主信息和字码信息，主信息由主数据区的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信息由字码区的各子码数据块上记录的多个子码信息条组成，多个第一错误校正码信号记录在主数据区的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区上，第二错误校正码信号用于校正主数据区的所有主信息条中的错误，多个第三错误校正码信号记录在子码区的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，该方法其特征在于还包括步骤：在主数据区上记录辅助信息，辅助信息的内容与在子码区记录的字码信息一致，辅助信息被以这样的方式记录，即响应主数据区上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以这样的方式记录，即响应子码区上记录的第三错误校正码信号启动错误校正。

本发明的第二方面提供一种重放数字信号的方法，该方法包括下列步骤：从记录介质读出数字信号；从子码区读出的数字信号的第一部分中恢复子码信息；当从子码区读出的数字信号的第一部分中不能恢复子码信息时，从主数据区读出的数字信号的第二部分中接收子码信息；从读出的数字信号恢复第一、第二和第三错误校正码信号；以及响应第一、第二和第三错误校正码信号至少之一，校正读出的数字信号中的错误。

本发明的第三方面提供一种记录和重放数字信号的方法，包括下列记录步骤：在记录介质上沿着磁道记录数字信号，每个所述磁道具有主数据区和子码区，主数据区具有多个主数据块，子

码区具有多个字码数据块，子码区与主数据区相分离且尺寸小于主数据区，数字信息包括主信息和字码信息，主信息由主数据区的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信息由字码区的各子码数据块上记录的多个子码信息条组成，多个第一错误校正码信号记录在主数据区的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区上，第二错误校正码信号用于校正主数据区的所有主信息条中的错误，多个第三错误校正码信号记录在子码区的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，其特征还在于还包括步骤：在主数据区上记录辅助信息，辅助信息的内容与在子码区记录的子码信息一致，辅助信息被以这样的方式记录，即响应主数据区上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以这样的方式记录，即响应子码区上记录的第三错误校正码信号启动错误校正，该方法包括下列重放数字信号步骤：从记录介质读出数字信号；从子码区读出的数字信号的第一部分中恢复子码信息；当从子码区读出的数字信号的第一部分中不能恢复子码信息时，从主数据区读出的数字信号的第二部分中接收子码信息；从读出的数字信号恢复第一、第二和第三错误校正码信号；以及响应第一、第二和第三错误校正码信号至少之一，校正读出的数字信号中的错误。

本发明的第四方面提供一种用来记录数字信号的装置，包括：由缓冲存储器、选择电路、信号记录电路和记录头构成的组合，用于在记录介质上沿着磁道记录数字信号，每个所述磁道具有主数据区和子码区，主数据区具有多个主数据块，子码区具有多个字码数据块，子码区与主数据区相分离且尺寸小于主数据区，数字信息包括主信息和字码信息，主信息由主数据区的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信



息由字码区的各子码数据块上记录的多个子码信息条组成，多个第一错误校正码信号记录在主数据区的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区上，第二错误校正码信号用于校正主数据区的所有主信息条中的错误，多个第三错误校正码信号记录在子码区的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，该装置其特征在于还包括：由缓冲器、选择电路、信号记录电路和记录头构成的组合，用于在主数据区上以对应一个主数据块的单位重复记录辅助信息，辅助信息的内容与在子码区记录的子码信息一致，辅助信息被以这样的方式记录，即响应主数据区上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以这样的方式记录，即响应子码区上记录的第三错误校正码信号启动错误校正。

本发明的第五方面提供一种用于重放数字信号的装置，包括：从记录介质读出数字信号的装置；从子码区读出的数字信号的第一部分中恢复子码信息的装置；当从子码区读出的数字信号的第一部分中不能恢复子码信息时，从主数据区读出的数字信号的第二部分中恢复子码信息的装置；从读出的数字信号恢复第一、第二和第三错误校正码信号的装置；以及响应第一、第二和第三错误校正码信号至少之一，校正读出的数字信号中错误的装置。

本发明的第六方面提供一种用于记录和重放数字信号的装置，包括：由缓冲存储器、选择电路、信号记录电路和记录头构成的组合，用于在记录介质上沿着磁道记录数字信号，每个所述磁道具有主数据区和子码区，主数据区具有多个主数据块，子码区具有多个字码数据块，子码区与主数据区相分离且尺寸小于主数据区，数字信息包括主信息和字码信息，主信息由主数据区的各数据块上记录的多个主信息条组成，子码信息表示主信息的格式，子码信息由字码区的各子码数据块上记录的多个子码信息条

组成，多个第一错误校正码信号记录在主数据区的各数据块上，第一错误校正码信号用于分别校正主数据块的主信息条中的错误，第二错误校正码信号记录在主数据区上，第二错误校正码信号用于校正主数据区的所有主信息条中的错误，多个第三错误校正码信号记录在子码区的各子码数据块上，第三错误校正码信号用于分别校正子码数据块的子码信息条中的错误，该装置其特征在于还包括：由缓冲器、选择电路、信号记录电路和记录头构成的组合，用于在主数据区上以对应一个主数据块的单位重复记录辅助信息，辅助信息的内容与在子码区记录的子码信息一致，辅助信息被以这样的方式记录，即响应主数据区上记录的第一错误校正码信号和第二错误校正码信号启动错误校正，子码信息被以这样的方式记录，即响应子码区上记录的第三错误校正码信号启动错误校正；从记录介质读出数字信号的装置；从子码区读出的数字信号的第一部分中恢复子码信息的装置；当从子码区读出的数字信号的第一部分中不能恢复子码信息时，从主数据区读出的数字信号的第二部分中恢复子码信息的装置；从读出的数字信号恢复第一、第二和第三错误校正码信号的装置；以及响应第一、第二和第三错误校正码信号至少之一，校正读出的数字信号中错误的装置。

#### 附图说明

图 1 是按照本发明第一实施例的记录系统的方块图。

图 2 是出现在图 1 记录系统的正常记录操作方式期间的磁道格式的图。

图 3 是出现在图 1 记录系统的 AUX 记录操作方式期间的磁道格式的图。

图 4 是图 2、图 3 中磁道格式的组合图。

图 5 是主数据块的图。

图 6 是子数据块的图。

图 7 是图 2 图 3 的子码区的结构图。

图 8 是子码数据块的格式图。

图 9 是由子码标题表示的信息片的图。

图 10 是由主数据区中几个同步块的主标题表示的信息片的图。

图 11 是由在主数据区中的几个同步块的主标题表示的信息片的另一个图。

图 12 是由在主数据区中的一个同步块的主标题表示的信息片的图。

图 13 是按照本发明第二实施例的重放系统方块图。

图 14 是按照本发明第三实施例的记录和重放系统的方块图。

图 15 是图 1 中方式选择电路方块图。

图 16 是开关设置显示意图。

图 17 是图 1 中控制电路部分的例图。

图 18 是图 13 中控制电路部分的方块图。

图 19 是图 14 中记录与重放系统的信号的时域图。

#### 具体实施方式

图 1 是按照本发明的第一实施例的记录系统。由图 1 可见，主数据和辅助数据（AUX 数据）在被暂存到缓冲存储器 11 之前被送到缓冲存储器 11。主数据和辅助数据（AUX 数据）也被送到方式选择电路 12。AUX 数据包含音频信号或另一信号。

在 AUX 数据中同步块的结构和主数据中的相同。AUX 数据和主数据在物理结构上基本相等。因而，AUX 数据可被认为是第二主数据。这样，以后的对主数据的说明也适用于 AUX 数据。

子码数据被送到方式选择电路 12。此外，子码数据被送到缓冲存储器 13，然后被暂存在其中。

图 1 的记录系统的操作可以在包括第一和第二预定方式的不同方式当中改变。第一第二预定的磁道格式被分别分配给第一第二预定的操作方式。在以第一预定操作方式操作记录系统的期间内,数字信号以第一预定磁道格式记录在记录介质 27 上。在以第二预定操作方式操作记录系统的期间内,数字信号以第二预定磁道格式记录在介质 27 上。

方式选择电路 12 响应主数据、AUX 数据和子码数据产生方式控制信号。方式控制信号提供在记录系统的第一第二预定操作方式当中选择一种方式。当方式选择电路 12 检测到存在主数据和子码数据而不存在 AUX 数据时,则把方式选择信号设定为选择记录系统的第一预定操作方式的状态。当方式选择电路检测到主数据、AUX 数据以及子码数据都存在时,则把方式选择信号设定为选择记录系统的第二预定操作方式的状态。方式选择电路 12 向控制电路 14 输出方式控制信号。

方式选择电路 12 包括用来分别检测主数据、AUX 数据以及子码数据是否存在的部分。它还包括逻辑门或逻辑门阵列,用来响应检测电路的输出信号产生方式控制信号。

在相应于记录系统的第二预定磁道格式的第二预定方式的操作期间内,AUX 数据作为独立于主数据的数据被记录在记录介质 27 上。在记录系统以相应于第一预定磁道格式的第一预定方式操作的期间内,则禁止 AUX 数据记录在记录介质 27 上。

例如,记录介质 27 包括磁带。图 1 的记录系统包括螺旋扫描型的磁记录和重放装置(例如磁带录相机,即 VTR)的磁带扫描部分。具体地说,具有不同方位角的,两个磁头在径向相对的位置分别被安

装在旋转鼓上,磁带 27 以大约 180 度的角度范围被绕在旋转鼓上。磁带 27 和旋转鼓接触,沿螺旋线的部分相对于旋转鼓延伸。磁带 27 相对于旋转鼓或磁头以恒速被驱动。数字信号通过磁头被记录在磁带 27 上。具体地说,数字信号沿着在磁带 27 上形成的磁道被记录。由于螺旋扫描,在磁带 27 上形成倾斜的延伸磁道阵列。每个磁道基本上包括多个给定容量或给定大小的数据区。这些数据区被叫作相应数据块的同步块。

记录系统的第一预定操作方式叫做正常记录方式。另一方面,记录系统的第二预定操作方式叫作 *AUX* 记录方式。

图 2 表示相应于记录系统的正常记录操作方式的第一预定磁道格式的一个磁道结构。由图 2 可见,一个磁道具有边缘区 31,前同步区 32 (*preamble area*32) 子码区 33,后同步区 34 (*postamble area*34),*IBG* 区 35,前同步区 36,数据区 37,错误校正码区 38,后同步区 39,以及边缘区 40 这样一个序列。数据区 37 和错误校正码区 38 构成主数据区。数据区 37 记录代表数字信号 *DATA1*(正常数据或专用数据)的 306 个同步块。错误校正码区 38 记录代表外部错误校正码信号(*C3* 码信号)的 30 个同步块。前同步区 32,子码区 33,以及后同步区 34 分别记录前同步数据,子码数据和后同步数据。*IBG* 区 35 记录在子码数据区域和主数据区域之间提供的块间(*inter-block*)间隙的 *IBG* 数据。前同步区 36 和后同步区 39 分别记录前同步数据和后同步数据。

图 3 表示相应于记录系统的 *AUX* 记录操作方式的第二预定磁道格式的一个磁道结构。由图 3 可见,一个磁道具有边缘区 31,前同步区 32,子码区 33,后同步区 34,*IBG* 区 35,前同步区 36,第一数据

区 41,后同步区 42,IBG 区 43,前同步区 44,第二数据区 45,错误校正码区 46,后同步区 39,以及边缘区 40 这样一个序列。图 3 中的边缘区 31,前同步区 32,子码区 33,后同步区 34,IBG 区 35,前同步区 36,后同步区 39,以及边缘区 40 和图 2 中的这些区相同。IBG 区 35 在子码区域和 AUX 数据区域之间提供块间间隙。

第一数据区 41,后同步区 42,IBG 区 43 后同步区 44 以及第二数据区 45 和图 2 中的数据区 37 相同,记录 306 个同步块。第一数据区 41 记录代表 AUX 数据的 23 个同步块。后同步区 42 记录代表后同步数据的 2 个同步块。IBG 区 43 记录代表 IBG 数据的 3 个同步块。前同步区 44 记录代表前同步数据的一个同步块。后同步区 42,IBG 区 43 和前同步区 44 构成具有 6 个同步块的编辑间隙区。IBG 区 43 在 AUX 数据区域和主数据区域之间提供块间间隙。

第二数据区 45 记录代表数据信号 DATA2(正常数据或专用数据)的 277 个同步块。错误校正码区 46 记录代表用来校正数字信号 DATA2 中一个错误或几个错误的外部错误校正码信号(C3 码信号)的 30 个同步块。在区 46 中的错误校正码信号从由 277 个同步块数字信号 DATA2 和 29 个为“0”的同步块数据组成的 306 个同步块数据中产生。

图 4 表示相应于记录系统的正常记录操作,方式的第一预定磁道格式的一个磁道的结构,也表示相应于记录系统的 AUX 记录操作方式的第二预定磁道格式的一个磁道的结构。在图 4 中,“SB”表示同步块,图中右侧的数字表示在一个磁道中所划分的区中的同步块数。在图 4 中,对 336 个占据一个磁道中的前同步区 36 和后同步区 39 之间的区域的同步块分别按顺序给以#000,#001,#002,...,

以及#335的序列号。

参见图4,在相应于记录系统的正常记录操作方式的第一预定磁道格式的一个磁道中,使用具有序数为#000到#305的306个连续的同步块表示主数据。另外,使用序数为#306到#335的30个连续的同步块表示主奇偶性。

参见图3和图4,在相应于记录系统的AUX记录操作方式的第二预定磁道格式的一个磁道中,使用序数为#000到#017的18个连续的同步块表示AUX数据。此外,使用序数为#018到#022的5个连续同步块表示AUX奇偶性。另外,使用序数为#029到#305的277个连续的同步块表示主数据。最后,使用序数为#306到#335的30个连续同步块表示主奇偶性。应当注意,图4中的画阴影线的区域是空的有效同步块。

图5所示为在主数据区37和45中的一个同步块格式的例子。如图5所示,一个同步块相应于112个字节的容量(大小),并具有子区51,52,53,54和55的序列。第一子区51具有2个字节,并含有同步信号。第二子区52具有3个字节,并含有地址信息。地址信息也叫作识别信息(ID)。第三子区53具有2个字节,并含有格式信息。第三子区53叫作主标题区域MH。第四子区54具有97个字节,并含有各种信息片。第四子区54被叫作数据存储区域。第五子区55具有8个字节,并含有奇偶性,用来校正由其它子区51—54代表的信息中的错误。

例如,在MPEG2(Moving Picture Experts Group2)的传输包(TP)传输系统中的数字信号被作为正常数据或专用数据处理,并把该数字信号的每一段被记录在两个同步块的数据存储区域54中。

图 6 是子码区 33 的格式的例子。如图 6 所示,子码区在容量(大小)相应于 448 字节,并具有每个有 28 字节的 16 个块(子码数据块)的序列,每个 28 字节的块(子码数据块)具有子区 61,62,63 和 64 的序列。第一子区 61 具有 2 字节,并含有同步信号。第二子区 62 具有 3 字节,并含有地址信息。地址信息也叫作识别(ID)信息。识别信息具有三个识别信息片 *ID1*, *ID2* 和 *ID3* 的序列。第三子区 63 具有 19 字节,并含有数据(子码数据)。第三子区 63 中的第一字节代表子码标题,而第二和以后的字节代表子码数据。第三子区 63 叫作子码数据区域。第四子区 64 具有 4 字节,并含有奇偶性,用来校正由其它子区 61—63 所表示的信息中的错误。第四子区 64 被叫作子码奇偶性区域。

再参见图 2 和图 3,在子码区 33 中的子码数据代表与在子码区 33 后面的数据区 37 和 45 中的主数据相关的信息片。例如,子码数据含有代表主数据格式的信息片,代表主数据的内容,表的信息片,以及代表主数据的记录日期的信息片。

本实施例的特点在于,在主数据区 37 或 45 的每个给定的同步块中的主标题区域(第三子区)53 记录和在紧邻的前一子码区 33 中的子码数据区 63 上记录的磁道格式信息相同的信息。

图 7 表示子码区 33 的格式的例子。由图 7 可见,子码区 33 在前同步区 32 和后同步区 34 之间延伸。在图 4 中,“SB”表示 28 字节块(子码数据块)。如图 7 所示,子码区 33 具有 16 个子码数据块的序列。序列号 #000, #001, #002, ..., 和 #015 被分别按顺序给予子码区 33 中的 16 个子码数据块。

图 8 所示为在子码区 33 中的一个 28 字节块(一个子码数据



块)的格式的例子。参见图 8,一个子码数据块具有子区 61,62,63 和 64 的序列。第一子码区 61 具有 2 字节,并含有同步信号。第二子码区有 3 字节,含有地址信息。地址信息也叫作识别(ID)信息。识别信息具有一个三个识别信息片  $ID1$ ,  $ID2$ , 和  $ID3$  的序列。第三子区 63 有 19 字节。第三子区 63 中的第一字节代表子码标题,而第二和较后的字节代表子码数据。第三子区 63 被叫作子码数据区域。第四子区 64 有 4 字节,并含有奇偶性,用来校正由其它子区 61—63 表示的信息中的错误。第四子区 64 被称为子码奇偶区。

参见图 9,在连续的子码数据块中的子码标题按顺序并循环地表示格式  $ID71$ , 信息片“1”,信息片“2”,和信息片“3”。格式  $ID71$ , 信息片“1”,信息片“2”和信息片“3”中的每一个具有 8 位(1 个字节)。子码标题的一个循环的周期相当于子码区 33 中的 4 个子码数据块。具体地说,在第一子码数据块中的子码标题代表格式  $ID71$ ,在第二子码数据块中的子码标题代表信息片“1”,在第三子码数据块中的子码标题代表信息片“2”。在第四子码数据块中的子码标题代表信息片“3”。类似地,在以后的子码数据块中的子码标题按顺序且循环地代表格式  $ID71$ , 信息片“1”, 信息片“2”和信息片“3”。格式  $ID71$  是 8 位格式信息,代表相关的磁道格式是由记录系统的正常记录操作方式引起还是由记录系统的  $AUX$  记录操作方式引起。信息片“1”,信息片“2”和信息片“3”被分别指定给保留区 72,73 和 74。

结合图 9 可见,一般的表示如下:

在具有序数为  $4n$  的每个子码数据块中的子码标题表示格式  $ID71$ ,其中  $n$  为给定范围内的自然数。在具有序数为  $4n+1$  的每个子码数据块中的子码标题表示信息片“1”,在具有序数为  $4n+2$  的

每个子码数据块中的子码标题表示信息片“2”，在具有序数为  $4n+3$  的每个子码数据块中的子码标题表示信息片“3”。

再参见图 1, 控制电路 14 响应从方式选择电路输出的方式控制信号周期地产生用于主数据和 AUX 数据的标题信息, 子码标题信息, 格式控制信号, 同步信号, 识别(ID)信息, 和读控制信号。用于主数据和 AUX 数据的标题信息, 那主标题信息含有子码标题信息的复制信息。格式控制信号表示第一预定磁道格式(相应于记录系统的正常记录操作方式) 和第二预定磁道格式(相应于记录系统的 AUX 记录操作方式) 中的哪一个是需要。读控制信号从控制电路 14 被送到缓冲存储器 11 和 13 以及缓冲存储器 15, 用来控制分别从缓冲存储器 11, 13 和 15 中读出数据。

控制电路 14 可以包括微型计算机或具有 CPU, 输入/输出端口, ROM 和 RAM 组合的类似装置。在这种情况下, 控制电路 14 按照存储在 ROM 中的程序操作。

用于主数据和 AUX 数据的标题信息, 那主标题信息, 从控制电路 14 通过缓冲存储器 15 向标题附加电路 16 传送。主数据和 AUX 数据从缓冲存储器 11 中读出, 然后被送到标题附加电路 16。装置 16 周期地对每个主数据和 AUX 数据附加标题信息。标题附加电路 16 向外部码发生电路 19 和 20 分别输出合成的主数据和合成的 AUX 数据。

由控制电路 14 产生的子码标题信息具有图 9 的结构。子码标题信息从控制电路 14 通过缓冲存储器 15 被传送到标题附加电路 18。子码数据被从缓冲存储器 13 中读出, 然后被送到子码数据发生电路 17。装置 17 根据从缓冲存储器 13 读出的子码数据产生第二子

码数据。子码数据产生电路 17 向标题信息附加电路 18 输出第二子码数据。装置 18 把子码标题信息附加到第二子码数据上。标题附加电路 18 向错误校正附加电路 23 输出合成的子码数据。

用于主数据和 AUX 数据的标题数据被放在图 5 中的主标题区域(第三子区)53 中。用于主数据和 AUX 数据的标题数据具有子码标题信息的复制信息(即格式 ID71, 信息片“1”, 信息片“2”和信息片“3”, 见图 9)。图 10 所示为用于主数据和 AUX 数据的标题数据结构结构的例子。如图 10 所示, 用于主数据和 AUX 数据的标题数据具有第一字节和第二字节。由图 10 可见, 在第一同步块 81 中的主标题数据内第一字节的前 4 位(位“7”, “6”, “5”, 和“4”)代表格式 ID(图 9 中的格式 ID71)的第一半。在第二同步块 82 中的主标题内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表格式 ID(图 9 中的格式 ID71)中的第二半。在第三同步块 83 中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“1”的(见图 9)第一半。在第四同步块中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“1”(见图 9)的第二半。在第五同步块 85 中的主题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“2”(见图 9)的第一半。在第六同步块 86 中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“2”(见图 9)的第二半。在第七同步块 87 中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“3”(见图 9)的第一半。在第八同步块 88 中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)代表信息片“3”(图 9)的第二半。在第九同步块 89 中的主标题数据内的第一字节的前 4 位(位“7”, “6”, “5”和“4”)被分

配给保留区。在第十同步块 90 中的主标题数据内的第一字节的前 4 位(位“7”,“6”,“5”和“4”)被分配给保留区。在第十二同步块 91 中的主标题数据内的第一字节的前 4 位(位“7”,“6”,“5”和“4”)被分配给保留区。在第十一同步块 92 中主标题数据内的第一字节的前 4 位(位“7”,“6”,“5”和“4”)被分配给保留区。类似地,在每个后面的同步块中的主标题数据内的第一字节的前 4 位按顺序且循环地代表格式 *ID*,信息片“1”,信息片“2”,信息片“3”和保留区。应该注意,图 10 中画阴影的部分被用于其它信息。

结合图 10 可见,一般的表示如下:在具有序数  $12n$  的每个同步块中的主标题数据内的第一字节的前 4 位代表格式 *ID* 的第一半,其中“ $n$ ”表示在给定范围内的自然数。在具有序数  $12n+1$  的每个同步块中的主标题数据内的第一字节的前 4 位代表格式 *ID* 的第二半。在具有序数  $12n+2$  的每个同步块中的主标题数据的第一字节的前 4 位代表信息片“1”的第一半。在具有序数  $12n+3$  的每个同步块内的主标题数据中的第一字节的前 4 位代表信息片“1”的第二半。在具有序数  $12n+4$  的每个同步块中的主标题数据内的第一字节的前 4 位代表信息片“2”的第一半。在具有序数  $12n+5$  的每个同步块中的主标题数据中的第一字节的前 4 位代表信息片“2”的第二半。在具有序数  $12n+6$  的每个同步块中的主标题数据中的第一字节的前 4 位代表信息片“3”的第一半。在具有序数  $12n+7$  的每个同步块中的主标题数据内的第一字节的前 4 位代表信息片“3”的第二半。在具有序数  $12n+8$  的每个同步块中的主标题数据内的第一字节的前 4 位被分配给保留区。在具有序数  $12n+9$  的每个同步块中的主标题数据内的第一字节的前 4 位被分配给保留区。在具有序数  $12n+10$  的每

个同步块中的主标题内的第一字节的前4位被分配给保留区。在具有序数  $12n+11$  的每个同步块中的主标题内的第一字节的前4位被分配给保留区。

如图 11 所示,在第一同步块中的主标题内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表格式 *ID* 的位“7”,“6”,“5”和“4”,而在第二同步块中的主标题内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表格式 *ID* 的位“3”,“2”,“1”和“0”。在第三同步块中的主标题内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表信息片“1”中的位“7”,“6”,“5”和“4”,而在第四同步块中的主标题内的第一字节的前4位(位“7”,“6”,“5”和“4”)则分别代表信息片“1”的位“3”,“2”,“1”和“0”。在第五同步块中的主标题数据内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表信息片“2”的位“7”,“6”,“5”和“4”,而在第六同步块中的主标题内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表信息片“2”的位“3”,“2”,“1”和“0”。在第七同步块中的主标题数据内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表信息片“3”的位“7”,“6”,“5”和“4”,而在第八同步块中的主标题数据内的第一字节的前4位(位“7”,“6”,“5”和“4”)分别代表信息片“3”的位“3”,“2”,“1”和“0”。

如图 12 所示,在 2 字节主标题区域 53 中的第一字节的前4位(位“7”,“6”,“5”和“4”)相应于用来存储子码标题信息的区域 95。在 2 字节主标题区 53 中的第一字节的后4位(位“3”,“2”,“1”和“0”)以及其中第二字节的 8 位被用于其它信息。

从以上关于图 10,11 和 12 的说明可以理解,在主数据区 37 和 45 中子码标题的内容以相应于 12 个同步块的周期循环地排列。子

码标题的 4 个字节每个字节被分成被分配给同步块的前 4 位和被分配给随后的同步块的后 4 位。4 字节子码标题的全部由 12 个同步块中的前 8 个同步块表示。

再参见图 1,标题附加电路 16 周期地产生主标题和主数据的组合作为 99 字节数字信号。应当注意,主标题含有子码标题信息。标题附加电路 16 把 99 字节数字信号送到外部发生电路 19。控制电路 14 向外部码发生电路 19 输出格式控制信号。装置 19 响应格式控制信号产生外部码信号作为区 37 或 45 中的主数据的错误校正的信号。具体地说,当格式控制信号表明要求第一预定磁道格式(相应于记录系统的正常记录操作方式)时,装置 19 就周期地为在区 37 中的 306 个同步块主数据产生一个错误校正码。另一方面,当格式控制信号表明要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)时,装置 19 就为在区 45 中的 277 个同步块主数据产生一个错误校正码信号。由装置 19 产生的错误校正码信号具有 30 个同步块。

更详细地说,当要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)时,装置 19 就为 306 个同步块周期地产生错误校正的信号,这些同步块相应于区 45 中的 29 个“0”数据的同步块加上 277 个同步块主数据。29 个“0”数据同步块相应于图 3 中的第一数据区 41,后同步区 42, *IBG* 区 43 和前同步区 44。由装置 19 产生的错误校正码信号当要求第一预定磁道格式(相应于记录系统的正常记录操作方式)时被记录在图 2 中的错误校正码区 38 上。由装置 19 产生的错误校正码信号当要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)时被记录在图 3 中的错误校正码区 46

上。

外部码发生电路 46 周期地把主标题、主数据和外部码信号(错误校正码信号)组合成送到内部码发生电路 21 的数字信号。内部码发生电路 21 周期地产生 8 字节的奇偶性作为收到的数字信号中每 99 个字节的内部码信号。内部码发生电路 21 周期地组合主标题、主数据、外部码信号以及内部码信号成为送到加法电路 24 的数字信号。

标题加法电路 16 周期地产生主标题数据和 AUX 数据的组合作为 99 字节的 AUX 数字信号。应当注意,主标题含有子码标题信息。标题加法电路 16 把 99 字节 AUX 数字信号送到外部码发生电路 20。控制电路 14 向外部码发生电路 20 输出格式控制信号。当格式控制信号表示要求第二预定磁道格式(相应于记录系统的 AUX 记录操作方式)时,外部码发生电路 20 被启动。装置 20 周期地产生外部码的信号,它在接收到的 AUX 数字信号的每 18 个同步块中有 5 个同步块。外部码发生电路 20 周期地组合主标题数据、AUX 数据和外部码信号成为 23 个同步块 AUX 数字信号被送到内部码发生电路 22。内部码发生电路 22 周期地产生 8 字节奇偶性,作为收到的 AUX 数字信号中每 99 个字节的内部码信号。内部码发生电路 22 周期地组合主标题、AUX 数据、外部码信号和内部码信号成为被送到加法电路 24 的 AUX 数字信号。

控制电路 14 周期地向加法电路输出同步信号和识别(ID)信息。如前所述,同步信号具有 2 字节而识别(ID)信息具有 3 字节。

加法电路 24 周期地组合同步信号、识别(ID)信息、主标题、主数据、外部码信号、以及内部码信号成为主数据同步块。加法电路 24

向选择电路 25 一个同步块一个同步块地输出组合结果信号。类似地,加法电路 24 组合同步信号、识别(ID)信息、主标题、AUX 数据、外部码信号和内部码信号成为 AUX 数据同步块。加法电路 24 向选择电路 25 一个同步块一个同步块地输出组合结果信号。

如前所述,错误校正码加法电路 23 周期地接收来自标题加法电路 18 的第二子码数据和子码标题的组合。装置 23 周期地产生用于第二子码数据和子码标题的组的错误校正码信号。错误校正码加法电路 23 周期地组合子码标题、第二子码数据和错误校正码信号。错误校正码加法电路 23 向加法电路 24 输出组合结果信号。加法电路 24 周期地组合同步信号、识别(ID)信息、子码标题、第二子码数据和错误校正信号成为 28 字节信号块(子码数据块)。加法电路 24 向选择电路 25 一个信号块一个信号块地输出组合结果信号。

控制电路 14 响应从方式选择电路 12 输出的方式控制信号产生选择控制信号。选择控制信号表示第一预定磁道格式(相应于记录系统的正常记录操作方式)和第二预定磁道格式(相应于记录系统的 AUX 记录操作方式)中哪一个是所要求的。控制电路 14 向选择电路 25 输出选择控制信号。

选择电路 25 响应选择控制信号选择加法电路 24 的三个输出信号中的至少两个信号。具体地说,当选择控制信号表示要求第一预定磁道格式(相应于记录系统的正常记录操作方式)时,选择电路 25 选择从内部码发生电路 21 的输出信号发生的加法电路 24 的输出信号和从错误校正码加法电路 23 的输出信号发生的加法电路 24 的输出信号。这样,当要求第一预定磁道格式(相应于记录系统的正常记录操作方式)时,便选择具有主数据的同步块和具有子码数据的 28



字节信号块(子码数据块)。在另一方面,当选择控制信号表示要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)时,选择电路 25 就选择发源于内部码发生电路 21 的加法电路 24 的输出信号、发源于内部码发生电路 22 的输出信号的加法电路 24 的输出信号和发源于错误校正码加法电路 23 的输出信号的加法电路 24 的输出信号。这样,当要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)时,就选择具有主数据的同步块,具有 *AUX* 数据的同步块和具有子码数据的 28 字节的信号块(子码数据块)。

信号记录电路 26 接收选择电路 25 的输出信号,即选择结果信号。信号记录电路 26 产生前同步数据、后同步数据和 *IBG* 数据,分别被分配给前同步区 32,后同步区 34 和 *IBG* 区 35。此外,信号记录电路 26 产生被分别分配给前同步区 36 和后同步区 39 的前同步数据和后同步数据。此外,信号记录电路 26 产生被分别分配给后同步区 42、*IBG* 区 43 和前同步区 44 的后同步数据、*IBG* 数据和前同步数据。在要求第一预定磁道格式(相应于记录系统的正常记录操作方式)的情况下,信号记录电路 26 的多路传输分配给前同步区 32 的前同步数据、分配给子码区 33 的子码的数据、分配给后同步区 34 的后同步数据、分配给 *IBG* 区 35 的 *IBG* 数据、分配给前同步区 36 的前同步数据、分配给数据区 37 的主数据、分配给错误校正码区 38 的外部错误校正码信号和分配给后同步区 39 的后同步数据。信号记录电路 26 先对多路传输的结果信号进行调制和放大,然后在记录介质 27 上(磁带)通过磁头记录调制/放大结果信号。在这种情况下,记录介质(磁带)27 上的每个磁道具有图 2 所示的格式。在要求第二预定磁道格式(相应于记录系统的 *AUX* 记录操作方式)的情况下,

信号记录电路 26 多路传输分配给前同步区 32 的前同步数据、分配给子码区 33 的子码数据、分配给后同步 34 的后同步数据、分配给 *IBG* 区 35 的 *IBG* 数据、分配给第一数据区 41 的 *AUX* 数据、分配给后同步区 42 的后同步数据、分配给 *IBG* 区 43 的 *IBG* 数据、分配给前同步区 44 的前同步数据、分配给第二数据区 45 的主数据、分配给错误校正码 46 的外部错误校正码信号以及分配给后同步区 39 的后同步数据。信号记录电路 26 光对多路传输结果信号进行调制和放大，然后通过磁头把调制/放大结果信号记录在记录介质(磁带)27 上。在这种情况下，在记录介质(磁带)27 上的每个磁道是有图 3 所示的格式。

如前所述，用于主数据和 *AUX* 数据的标题数据被放在图 5 中的主标题区(第三子区)53 内。用于主数据和 *AUX* 数据的标题数据具有在子码区 33 内的子码标题信息的复制信息。子码标题信息相应于图 9 中的格式 *ID71*、信息片“1”、信息片“2”和信息片“3”。用于主数据和 *AUX* 数据的每个 2 字节标题数据中的 4 位被用作装入子码标题信息的复制信息的区。

应当注意，方式选择电路 12 可以用用来产生方式控制信号的手动开关代替。

图 15 所示为方式选择电路 12 的例子。参见图 15，方式选择电路 12 包括分别用于主数据 *AUX* 数据以及子码数据的检测装置 12A、2B 和 12C。方式选择电路 12 还包括具有逻辑门的合适组合的逻辑电路 12D。在主数据有和无的情况下，检测装置 12A 分别输出“1”信号和“0”信号。在 *AUX* 数据有和无的情况下，检测装置 12B 分别输出“1”信号和“0”信号。在子码数据有和无的情况下，检测

装置 12C 分别输出“1”信号和“0”信号。逻辑电路 12D 响应检测装置 12A、12B 和 12C 的输出信号产生控制信号。当检测装置 12A 的输出信号为“0”并且检测装置 12B 的输出信号为“0”时，方式控制信号为“0”而不管检测装置 12C 的输出信号的逻辑状态如何。当检测装置 12A 的输出信号为“0”并且检测装置 12B 的输出信号为“1”时，方式控制信号为“0”而不管检测装置 12C 的输出信号的逻辑状态如何。当检测装置 12A 的输出信号为“1”并且检测装置 12B 的输出信号为“0”时，方式控制信号为“0”而不管检测装置 12C 的输出信号的逻辑状态如何。当检测装置 12A 的输出信号为“1”且检测装置 12B 的输出信号为“1”时，方式控制信号为“1”而不管检测装置 12C 的输出信号的逻辑状态。方式控制信号为“0”相应于记录系统的第一预定操作方式，即记录系统的正常记录操作方式。方式控制信号为“1”相应于记录系统的第二预定操作方式即记录系统的 AUX 记录操作方式。

如前所述，方式选择电路 12 可以用用来产生方式控制信号的手动开关代替。图 16 表示这种开关结构的例子。参见图 16，电阻 12E 的一端连接到正电压线 Vcc。电阻 12E 的另一端通过手动开关 12F 接地。在电阻 12E 和开关 12F 的之间的节点上出现方式控制信号。当开关 12F 闭合时，方式检测信号取为“0”，当开关 12F 打开时，方式控制信号取为“1”。

图 17 表示控制电路 14 的一部分的例子。由图 17 可见，控制电路 14 包括标题数据发生器 14A，写地址发生器 14B、子码读地址发生器 14C、主/AUX 读地址发生器 14D、定时信号发生器 14E 和开关 14F。控制电路 14 接收来自方式选择电路 12 的方式控制信号。控制

电路 14 输出方式控制信号作为格式控制信号。标题数据发生器 14A 周期地输出取决于方式控制信号的标题消息。从标题数据发生器 14A 输出的标题信息依次表示包括格式 ID(格式 ID71)、信息片“1”、信息片“2”和信息片“3”的信息片。写地址发生的 14B 输出周期地更新的写地址信号给缓冲存储器 15。从标题数据发生的 14A 输出的标题信息响应写地址信号被写进缓冲存储器 15 中。格式 ID(格式 ID71)、信息片“1”信息片“2”和信息片“3”被分别写入缓冲存储器 15 的预定的 8 位存储段中。子码读地址发生器 14C 输出用于子码标题的周期地更新的读地址信号。主/AUX 读地址发生器 14D 输出周期地更新的用于主/AUX 标题的读地址信号。定时信号发生的 14E 输出在“0”和“1”之间周期地改变的选择控制信号。在分配给予码数据的每个时间间隔期间,选择控制信号为“0”。在其它时间间隔期间,选择控制信号为“1”。开关 14E 接收来自子码读地址发生器 14C 的用于子码标题的读地址信号。开关 14F 接收来自主/AUX 读地址发生器 14D 的用于主/AUX 标题的读地址信号。开关 14F 接收来自定时信号发生器 14E 的选择控制信号。开关 14F 响应选择控制信号从用于子码标题的读地址信号和用于主/AUX 标题的读地址信号中选择一个。具体地说,在分配给予码数据的每个时间间隔期间,开关 14F 选择用于子码标题的读地址信号。开关 14F 在其它的时间间隔期间选择用于主/AUX 标题的读地址信号。开关 14F 把选择的读地址信号送到缓冲存储器 15。响应由开关 14F 选择的读地址信号从缓冲存储器 15 中至少读出标题信息部分。用于子码标题的读地址信号被这样设计,使得从缓冲存储器 15 中读出的标题信息将是子码标题信息。用于主/AUX 标题的读地址信号被这样设计,使得

从缓冲存储器 15 中读出的标题信息将是用于主数据和 AUX 数据的标题信息。

## 第二实施例

图 13 示出了按照本发明的第二实施例的重放系统。图 1 的记录系统和图 13 的重放系统可以结合成一各记录和重放系统。

参见图 13,记录介质 91 以第一预定磁道格式(见图 2)或以第二预定磁道格式(见图 3)存储数字信号。数字信号被通过例如图 1 所示的记录系统预先记录在记录介质 191 上。

记录介质 191 例如包括磁带。图 13 的重放系统包括螺旋型的磁记录和重放装置(例如磁带录相机,即 VTR)的磁带扫描部分。具体地说,具有不同方位角的两个磁头以径向相对的位置分别被安装在旋转鼓上,并且磁带 191 以大约 180 度的角度范围绕在旋转鼓上。磁带 191 和旋转鼓接触的情况下沿螺旋线的部分相对于旋转鼓延伸。磁带 191 相对于旋转鼓或磁头以恒速驱动。数字信号通过磁头从磁带 191 上被重放。

信号重放电路 192 接收再现的数字信号。数字重放电路 192 对再现的数字信号进行放大和解调。信号重放电路 192 向 ID 检测电路 193 输出放大/解调结果信号。装置 193 检测信号重放电路 192 的输出信号中的地址信息(ID 信息)。被装置 193 检测的地址信息(ID 信息)相应于图 5 中的第二子区 52 内的地址信息或图 6 中的第二子区 62 内的地址信息。响应检测的地址信息, ID 检测电路 193 在下列信号当中进行判别:从数据区 37 和错误校正码区 38(见图 2)再现的第一数据信号,从数据区 45 和错误校正码区 46(见图 3)再现的第二数字信号,从数据区 41(见图 3)再现的第三数字信号以及从子码区

33(见图 2 和图 3)再现的第四数字信号。第一数字信号相应于主数据。第二数字信号相应于主数据。第三数据信号相应于 AUX 数据。第四数字信号相应于子码数据。ID 检测电路 193 把第一数字信号(主数据)和第二数字信号(主数据)送到错误校正电路 194。ID 检测电路 193 把第三数字信号(AUX 数据)送到错误校正电路 195。ID 检测电路 193 把第四数字信号(子码数据)送到错误校正电路 196。

错误校正电路 194 和 195 从控制电路 197 接收代表与从记录介质 191 中当前再现的数字信号相关的磁道格式的格式信息。错误校正电路 194 响应该格式信息,对主数据进行适合于与当前再现的数字信号相关的磁道格式的错误校正处理。由装置 194 执行的错误校正处理涉及相关的内部码信号和相关的外部码信号。错误校正电路 195 响应格式信息,对 AUX 数据进行适合于与当前再现的数字信号相关的磁道格式的错误校正处理。由装置 195 执行的错误校正处理涉及相关的内部码信号和相关的外部码信号。错误校正电路 196 对子码数据进行错误校正处理。由装置 196 执行的错误校正处理涉及相关的错误校正码信号。

错误校正电路 194 把校正结果主数据送到控制电路 197 和缓冲存储器 198。校正结果主数据被暂存在缓冲存储器 198 中。错误校正电路 195 把校正结果 AUX 数据送到控制电路 197 和缓冲存储器 199。校正结果 AUX 数据被暂存到缓冲存储器 199。错误校正电路 196 把校正结果子码数据送控制电路 197 和缓冲存储器 200。校正结果子码数据被暂存到缓冲存储器 200。错误校正电路 194 通知控制电路 197 表示相关的错误校正处理是否已经成功的标题有效/无效标记。错误校正电路 195 通知控制电路 197 表示相关的错误校正处

理是否已经成功的标题有效/无效标记。错误校正电路 196 通知控制电路 197 表示相关的错误校正处理是否已经成功的标题有效/无效标记。错误校正电路 194 把用于主数据的校正结果标题数据送到控制电路 197。错误校正电路 195 把用于 AUX 数据的校正结果标题数据送到控制电路 197。错误校正电路 196 把校正结果子码标题送到控制电路 197。

控制电路 197 分析用于主数据的标题数据,用于 AUX 数据的标题数据和子码标题,并响应分析结果产生用于缓冲存储器 198,199 和 200 的写控制信号和读控制信号。控制电路 197 向缓冲存储器 198,199 和 200 分别输出写控制信号。控制电路 197 从子码标题中检测和恢复格式信息。当控制电路 197 不能检测子码标题中的格式信息时,控制电路 197 则从用于主数据或 AUX 数据的标题数据中检测和恢复格式信息。被恢复的格式信息代表当前再现的数字信号是和第一预定磁道格式(见图 2)相关还是和第二预定磁道格式(见图 3)相关。

当恢复的格式信息表示当前再现的数字信号和第一预定磁道格式(见图 2)相关时,控制电路 197 就向缓冲存储器 198 和 200 输出读控制信号。因此,主数据和子码数据作为恢复的主数据和恢复的子码数据分别从缓冲存储器 198 和 200 读出。当恢复的格式信息表示当前再现的数字信号和第二预定磁道格式(见图 3)相关时,控制电路 197 就向缓冲存储器 198,199 和 200 输出读控制信号。因此,主数据、AUX 数据和子码数据作为被恢复的主数据、被恢复的 AUX 数据和被恢复的子码数据分别从缓冲存储器 198,199 和 200 中读出。

如前所述,子码标题信息被记录在子码区 33(见图 2 和图 3)上。用于主数据和 *AUX* 数据的标题数据被放在主数据区 37 和 45(见图 2 和图 3)的每个主标题区或每个第三子区 53(见图 5)上。用于主数据和 *AUX* 数据的标题数据具有子码区 33 中的子码标题信息的复制信号。这样,子码标题信息的复制信息就被放在远离子码区 33 的位置。在控制电路 197 由于在记录介质 191 上的刮痕或磁头不正常而不能检测子码区 33 中的子码标题信息的情况下,控制电路 197 就从用于主数据或 *AUX* 数据的标题数据中检测并恢复子码标题信息。应当注意,主数据区 37 和 45 在错误校正能力方面显著地高于子码区 33。因而,图 13 的重放系统可以更可靠地保证恢复子码标题信息。

在没有 *AUX* 数据区 41 的第一预定磁道格式(见图 2)或具有 *AUX* 数据区 41 的第二预定磁道格式(见图 3)的情况下,则可以通过检测具有序数 #000—#017 和 #029—#305(见图 4)的每个同步块(见图 5)的第六字节上的数据恢复子码标题信息。

图 18 表示控制电路 197 部分的例子。参见图 18,控制电路 197 包括延迟电路 197A 和 197B,缓冲存储器 197C,197D 和 197E,开关 197F 和译码器 197G,电路 197A 把用于主数据的 4 位标题数据延迟相应于一个采样的时间,用于主数据的被延迟的 4 位标题数据和用于主数据的未被延迟的 4 位标题数据被写进缓冲存储器 197C 中作为用于主数据的 8 位标题数据。用于主数据的 8 位标题数据从缓冲存储器 197C 被送到开关 197F。电路 197B 把用于 *AUX* 数据的 4 位标题数据延迟相应于一个采样的时间。用于 *AUX* 数据的被延迟的 4 位标题数据和用于 *AUX* 数据的未被延迟的 4 位标题数据被写进缓



冲存储器 197D 中作为用于 AUX 数据的 8 位标题数据。用于 AUX 数据的 8 位标题数据从缓冲存储器 197D 被送到开关 197F。8 位子码标题被写入缓冲存储器 197E。8 位子码标题从缓冲存储器 197E 传送到 197F。开关 197F 响应标题有效/无效标记允许/禁止主标题、AUX 标题以及子码标题向译码器 197G 的传送。具体地说,当相关的标题有效/无效标记表示主标题有效时,8 位子码标题被从缓冲存储器 197E 送到开关 197E。开关 197F 允许主标题送到译码器 197G。否则,开关 197F 就禁止主标题向译码器 197G 的传送。当相关的标题有效/无效标记表明 AUX 标题有效时,开关 197F 允许 AUX 标题传送到译码器 197G。否则,开关 197F 禁止 AUX 标题向译码器 197G 的传送。当相关的标题有效/无效标记表示子码标题有效时,开关 197F 允许子码标题传送到译码器 197G。否则,开关 197F 就禁止向译码器 197G 传送子码标题。译码器 197G 从由开关 197F 输出的有效的标题信息中恢复格式信息。

### 第三实施例

图 14 表示按照本发明第三实施例的记录和重放系统。图 14 的记录和重放系统除以后指出的设计改变之外,类似于图 1 的记录系统和图 13 的重放系统的组合。

参见图 14,具有不同方位角的磁头 A1 和 A2 以径向相对的位置被分别安装到旋转鼓 110 上。磁头 B1 和 B2 分别被径向相对地安装到旋转鼓 110 上。磁头 B1 和磁头 A1 具有相同的方位角。磁头 B2 和磁头 A2 具有相同的方位角,磁头 B1 和 B2 分别沿旋转鼓 110 相对于磁带 111 运动的方向跟随磁头 A1 和 A2。磁头 A1 和 A2 与信号再现电路 192 相连,磁头 B1 和 B2 与信号记录电路 26 相连磁带 111

以大约 180 度的角度范围围绕在旋转鼓 110 上。

图 14 的记录和重放系统包括开关 SW1、SW2 和 SW3。每个开关可以在记录位置 REC 和播放位置 PB 之间转换。开关 SW1 连接到磁头加法电路 16、外部码产生电路 19 和缓冲存储器 198 当中,开关 SW2 连接到磁头加法电路 16、外部码产生电路 20 和缓冲存储器 199 当中,开关 SW3 连接到磁头加法电路 18、错误校正码加法电路 23 和缓冲存储器 200 当中。

图 14 的记录和重放系统包括用来代替图 13 的控制电路 197 的控制电路 112。控制电路 112 产生记录控制信号并向信号记录电路输出记录控制信号。信号记录电路 26 由记录控制信号启动和禁止。

在图 14 的记录和重放系统的播放操作方式(重放方式)期间,开关 SW1、SW2 和 SW3 处于其播放位置 PB。因而,被恢复的主码数据、被恢复的 AUX 数据和被恢复的子码数据被分别从缓冲存储器 198, 199 和 200 中通过开关 SW1、SW2 和 SW3 送到外部码发生电路 19,外部码发生电路 20 和错误校正码加法电路 23 中。

在图 14 的记录和重放系统的播放操作方式期间,磁头 A1 和 A2 从磁带 111 再现数字信号,再现的数字信号从磁头 A1 和 A2 送到信号再现电路 192。再现的数字信号由信号再现电路 192 和以后的装置进行处理,使得再现的数字信号分离成主数据、AUX 数据和子码数据。主数据、AUX 数据和子码数据被分别存储在缓冲存储器 198,199 和 200 中。

在图 14 的记录和重放系统的播放操作方式期间,控制电路 112 从错误校正电路 196 接收标题有效/无效标记。控制电路 112 借助于有关的从错误校正电路 196 输出的标题有效/无效标记来检查子

码标题是否已被正确地恢复。当子码标题尚未被正确地恢复时,控制电路 112 检查并恢复来自用于主数据或 AUX 数据的标题数据的子码标题信息。控制电路 112 在缓冲存储器 200 中的子码数据内的给定区域写入被恢复的子码标题信息。因而,即使在子码标题尚未被正确地恢复的情况下,从缓冲存储器 200 输出的被恢复的子码数据也具有校正的子码标题信息。

在控制电路 112 检测到子码标题尚未被正确地恢复的情况下,即在控制电路 112 检测到子码标题尚未被正确地恢复的子码数据块的情况下,控制电路 112 改变记录控制信号为 *on* 状态。处于 *on* 状态的记录控制信号启动信号记录电路 26。因此,由信号记录电路 26 产生的调制/放大结果信号通过磁头 B1 和 B2 被记录在磁带 111 上。换句话说,调制/放大结果信号被写在磁带 111 上而覆盖预先记录的数字信号。应当注意,磁头 B1 和 B2 分别跟随磁头 A1 和 A2。调制/放大结果信号含有从缓冲存储器 200 输出的被恢复的子码数据。如前所述,从缓冲存储器 200 输出的被恢复的子码数据具有正确的子码标题信息。这样,在磁带 111 上新记录的数字信号就具有正确的子码标题。

如前所述,在子码标题信息不能从子码区 33(见图 2 和 3)中再现的情况下,子码标题信息则从主数据区 37 和 45(见图 2 和图 3)中再现。应当注意,主数据区 37 和 45 在错误校正能力上显著地高于子码区 33。被再现的子码标题信息通过磁头 B1 和 B2 实时地被记录在子码区 33 中。

图 19 表示在被再现的数据中的子码数据具有一个第一“NG”部分、第一“OK”部分、第二“NG”(no good)部分和第二“OK”部分的

序列的情况。如图 19 所示,再现的子码数据的第一和第二“OK”部分被复制在记录数据中的子码数据上。在另一方面,再现的子码数据的第一和第二“NG”部分由复制的数据中的主数据的相应的有效部分替代。再现的主数据的相应的有效部分被用在记录数据中的子码数据中。这里的记录数据指的是选择电路 25 的输出信号或信号记录电路 26 的输出信号。如图 19 所示,从控制电路 112 送到信号记录电路 26 的记录控制信号在记录数据表示子码数据的时间间隔期间内保持为 *on* 状态。

在图 14 的记录和重放系统的记录操作方式期间,开关 SW1, SW2 和 SW3 处于其记录位置 *REC*。因而,外部码发生电路 19 和 20 被连到标题加法电路 16 上。此外,错误校正码加法电路 23 被连到标题加法电路 18。

图 1

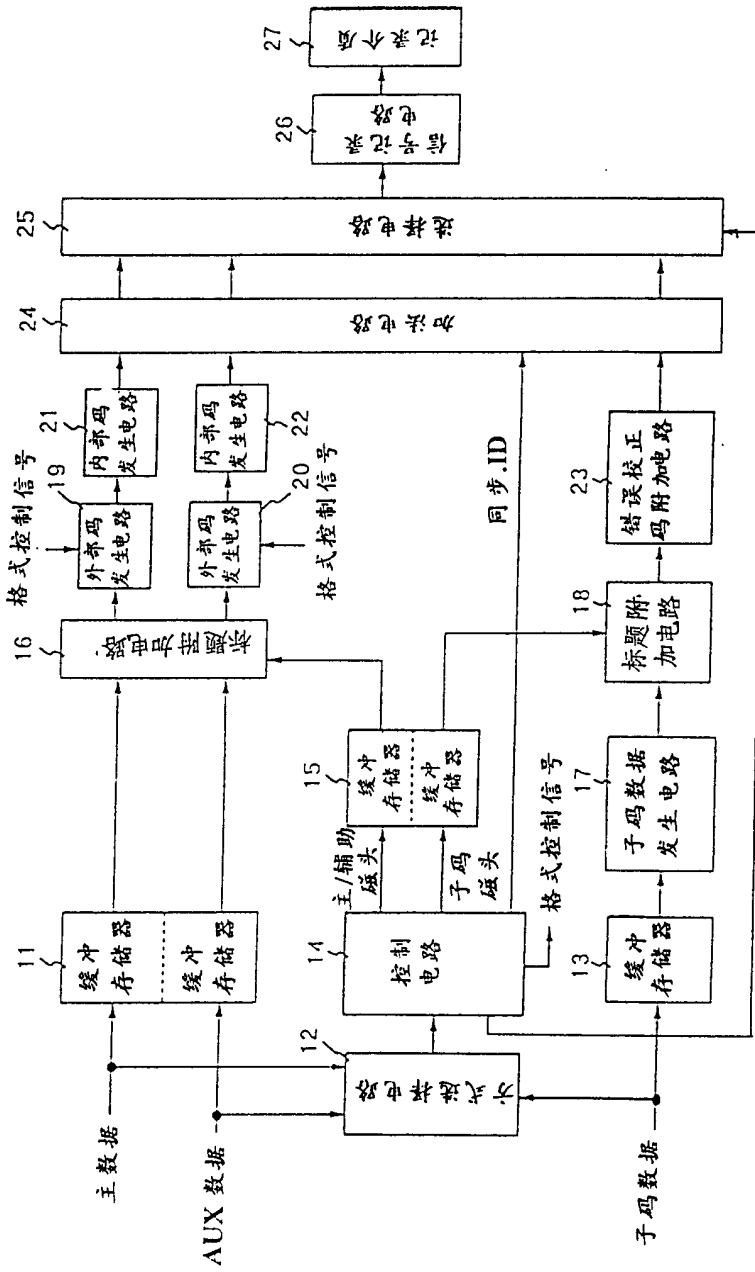


图 2

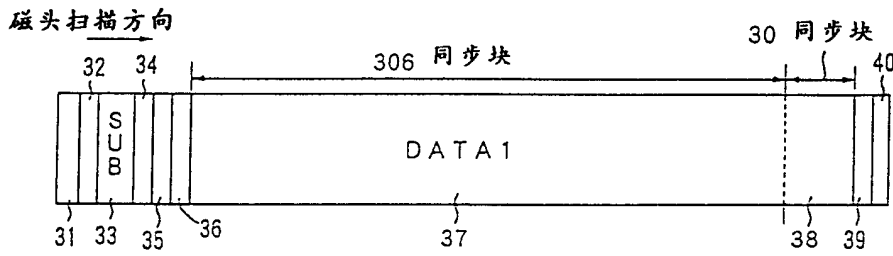


图 3

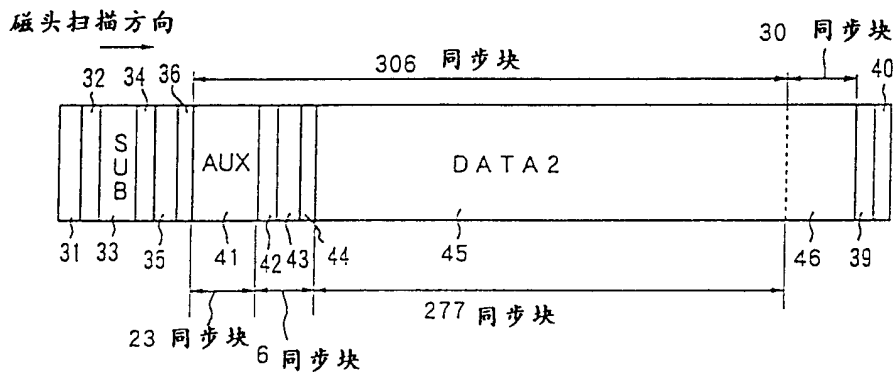


图4

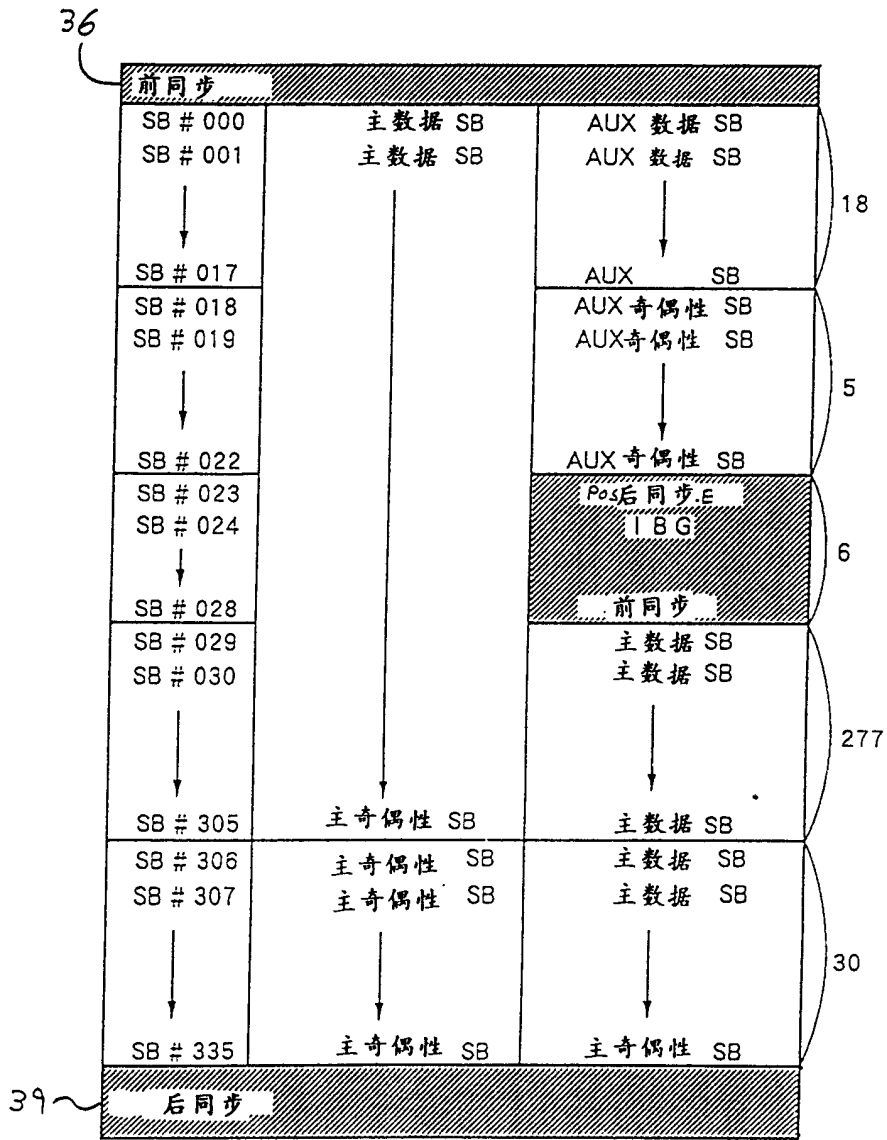


图 5

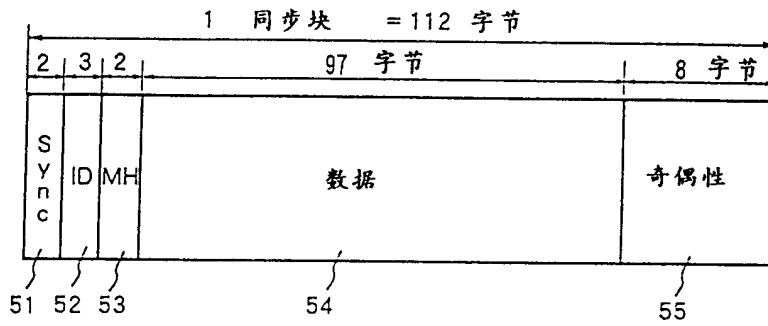


图 6

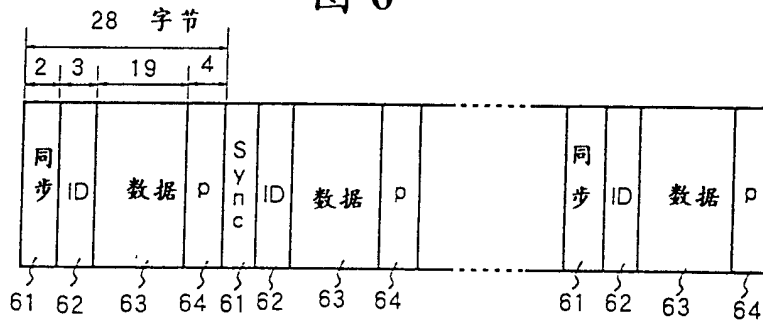




图 7

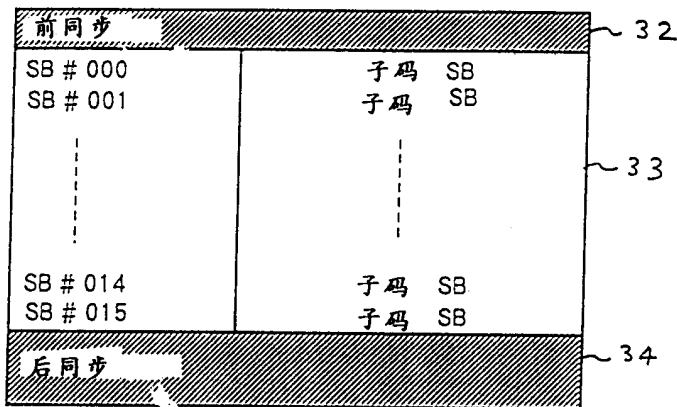


图 8

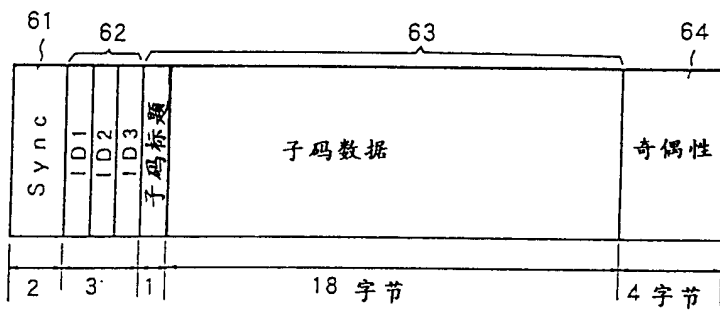


图 9

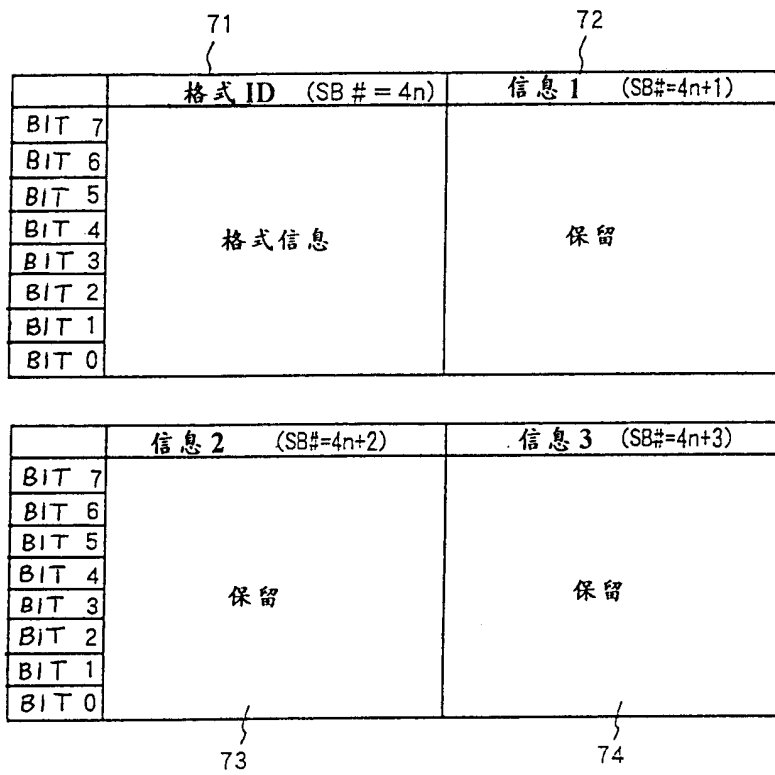


图 10

|      |     |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|------|-----|-------|-------|--------|--------|--------|--------|--------|--------|-------|-------|--------|--------|--|--|--|--|--|
|      |     | 81    | 82    | 83     | 84     | 85     | 86     | 87     | 88     |       |       |        |        |  |  |  |  |  |
|      |     | 12n   | 12n+1 | 12n+2  | 12n+3  | 12n+4  | 12n+5  | 12n+6  | 12n+7  | 12n+8 | 12n+9 | 12n+10 | 12n+11 |  |  |  |  |  |
| 第一字节 | 位 7 | 格式 ID | 格式 ID | INFO 1 | INFO 1 | INFO 2 | INFO 2 | INFO 3 | INFO 3 |       | 保留    |        |        |  |  |  |  |  |
|      | 位 6 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 5 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 4 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 3 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 2 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 1 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 0 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
| 第二字节 | 位 7 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 6 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 5 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 4 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 3 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 2 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 1 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |
|      | 位 0 |       |       |        |        |        |        |        |        |       |       |        |        |  |  |  |  |  |

图 11

|              |        |                        |     |     |     |
|--------------|--------|------------------------|-----|-----|-----|
|              |        | 主标题<br>第一字节<br>7 6 5 4 |     |     |     |
| 0            | 格式 ID  | 位 7                    | 位 6 | 位 5 | 位 4 |
| 1            | 格式 ID  | 位 3                    | 位 2 | 位 1 | 位 0 |
| 2            | INFO 1 | 位 7                    | 位 6 | 位 5 | 位 4 |
| 3            | INFO 1 | 位 3                    | 位 2 | 位 1 | 位 0 |
| 4            | INFO 2 | 位 7                    | 位 6 | 位 5 | 位 4 |
| 5            | INFO 2 | 位 3                    | 位 2 | 位 1 | 位 0 |
| 6            | INFO 3 | 位 7                    | 位 6 | 位 5 | 位 4 |
| 7            | INFO 3 | 位 3                    | 位 2 | 位 1 | 位 0 |
| 8<br>{<br>11 | 保留     |                        |     |     |     |

图 12

95

|       |        | 内容   |      |
|-------|--------|------|------|
|       |        | 第一字节 | 第二字节 |
| BIT 7 | 子码标题信息 |      | 其它信息 |
| BIT 6 |        |      |      |
| BIT 5 |        |      |      |
| BIT 4 |        |      |      |
| BIT 3 | 其它信息   |      |      |
| BIT 2 |        |      |      |
| BIT 1 |        |      |      |
| BIT 0 |        |      |      |

图 13

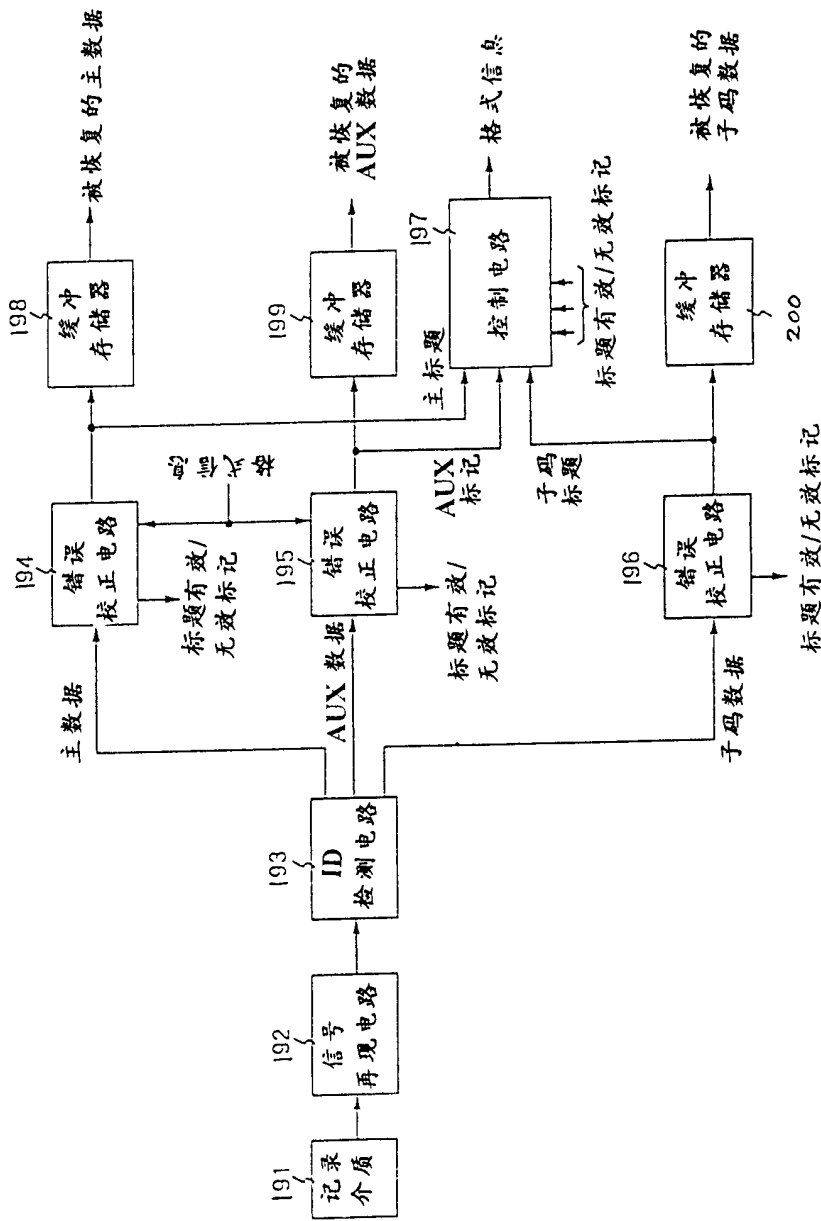


图 14

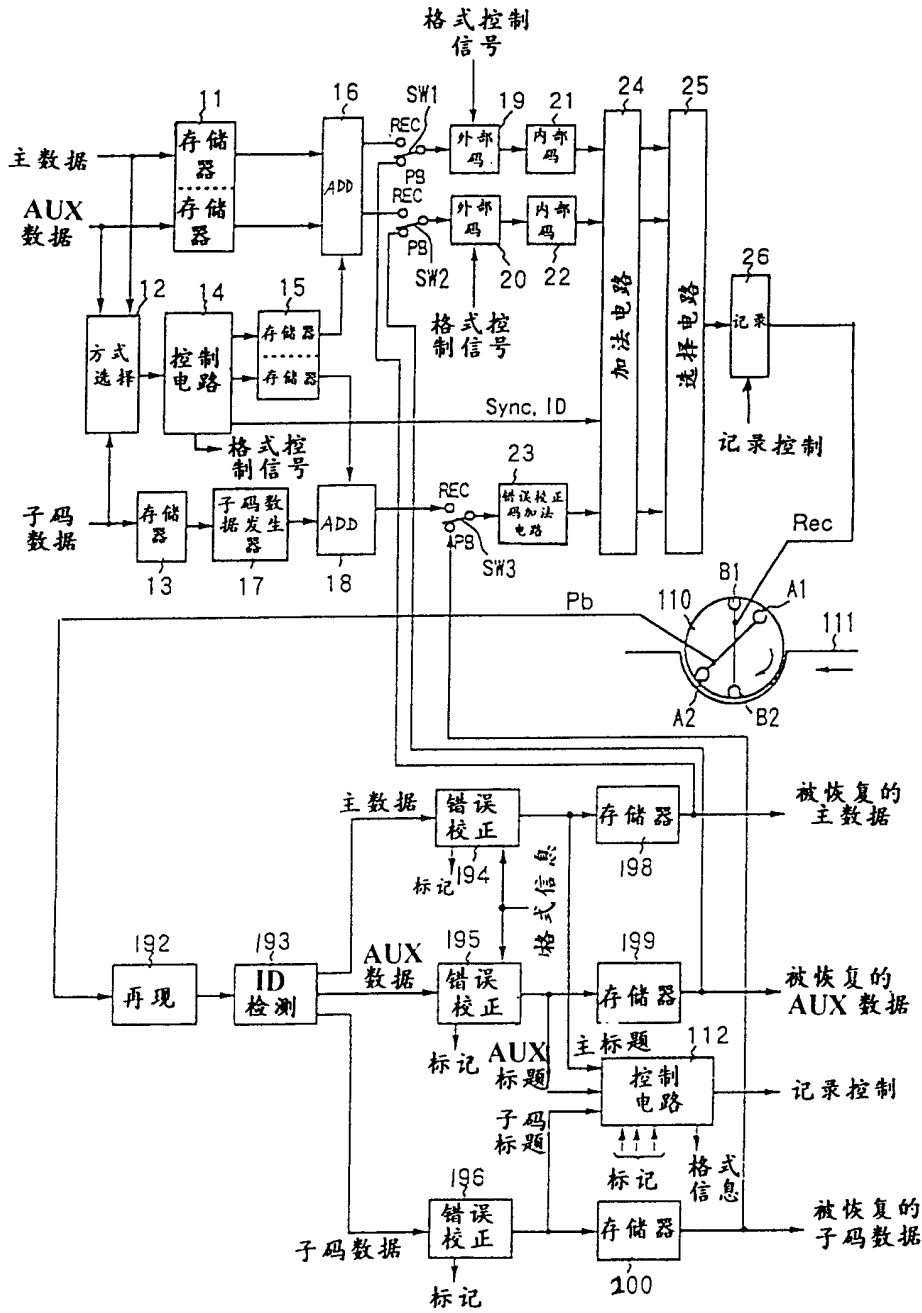


图 15

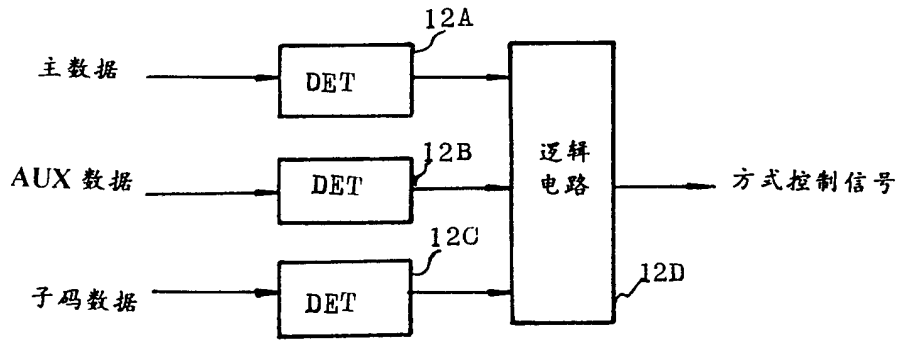


图 16

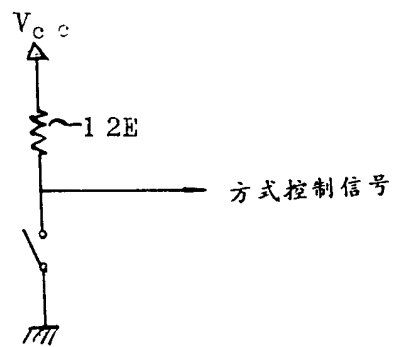


图 17

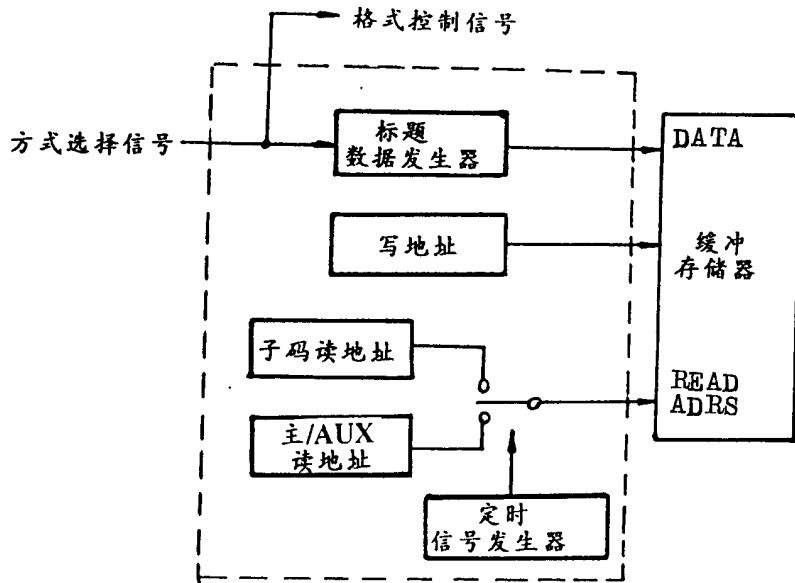


图 18

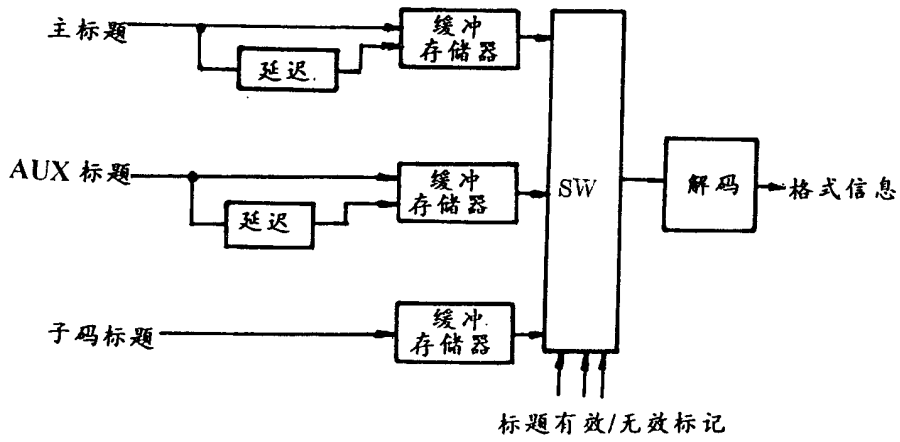




图19

