

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 12월 16일 (16.12.2010)

PCT

(10) 국제공개번호
WO 2010/143881 A2

- (51) 국제특허분류:
G01R 31/3177 (2006.01) *G01R 31/3183* (2006.01)
- (21) 국제출원번호: PCT/KR2010/003692
- (22) 국제출원일: 2010년 6월 9일 (09.06.2010)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2009-0052439 2009년 6월 12일 (12.06.2009) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여):
(주)브이알인사이트 (VRINSIGHT CO.,LTD)
[KR/KR]; 경기도 용인시 기흥구 신갈동 400-14 메리
테크빌딩 2층, 446-559 Gyeonggi-Do (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): 국일호 (KOOK, Il Ho)
[KR/KR]; 서울특별시 성북구 삼선동 2가 대우푸르지
오아파트 105-601, 136-721 Seoul (KR). 박종진
(PARK, Jong Jin) [KR/KR]; 경기도 수원시 영통구 영
통동 신나무실 주공 아파트 516-1404, 443-470
Gyeonggi-do (KR). 한창석 (HAN, Chang Suc)
[KR/KR]; 인천광역시 부평구 삼산동 신성미소지움
아파트 307-701, 403-090 Incheon (KR). 강성태
(KANG, Sung Tae) [KR/KR]; 서울특별시 양천구 목4
동 739-1 보미리준빌 802호, 158-815 Seoul (KR).

(74) 대리인: 특허법인 대한 (PATENT LAW FIRM
GRAND KOREA); 서울특별시 강남구 역삼동 735-36
부봉빌딩 2층, 135-080 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO,
AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA,
CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,
HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ,
LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG,
MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG,
SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, GH, GM,
KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM,
ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,
MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서 없이 공개하며 보고서 접수 후 이를
별도 공개함 (규칙 48.2(g))

(54) Title: BANK STRUCTURE OF FPGA BOARD FOR SEMICONDUCTOR VERIFICATION

(54) 발명의 명칭: 반도체 검증용 F P G A 보드의 뱅크구조

(57) Abstract: The present invention relates to a bank structure of an FPGA board for semiconductor verification. A programmable logic device (PLD) board for semiconductor design verification comprises: at least one FPGA board provided with an FPGA device having a logic circuit for semiconductor verification, and with a plurality of connectors for inputting/outputting signals to/from the FPGA device. A plurality of input/output pins of the FPGA device are divided into an arbitrary number of groups, each group being allocated to each of a plurality of locations. The connectors on the FPGA board are also allocated to a plurality of locations, corresponding to the respective locations where the input/output pins are allocated. The locations where the input/output pins of the FPGA device are allocated are correspondingly integrated with the locations where the connectors are allocated. The FPGA board configured as above optimizes connectivity between the FPGA device and the connectors.

(57) 요약서: 본 발명은 반도체 검증용 FPGA 보드의 뱅크구조에 관한 것으로, 반도체 설계물 검증에 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA 소자와 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드 및 상기 FPGA 소자에 구성되는 다수의 입/출력핀을 임의의 개수로 나누어 다수의 영역으로 각각 할당하고, 각 할당된 영역에 대응하게 상기 FPGA 보드에 구비된 커넥터에도 다수의 영역으로 할당하며, 상기 FPGA 소자의 입/출력핀 할당영역과 커넥터에 할당된 영역을 대응하게 집적화시켜 구성되는 것을 특징으로 한다. 이와 같이 구성되는 본 발명은 FPGA 보드를 구성하는데 있어 FPGA 소자와 커넥터 간의 연결을 최적화시킬 수 있는 이점이 있다.

WO 2010/143881 A2

명세서

발명의 명칭: 반도체 검증용 F P G A 보드의 뱅크구조 기술분야

- [1] 본 발명은 반도체 검증용 FPGA 보드의 뱅크(bank)구조에 관한 것으로, 좀 더 상세하게는 FPGA 소자의 입/출력 핀과 보드간에 연결을 보다 효과적으로 배열시키기 위한 반도체 검증용 FPGA 보드의 뱅크구조에 관한 것이다.

배경기술

- [2] 오늘날 시스템 반도체 설계의 규모가 방대해 짐에 따라 대규모 설계물에 대한 검증의 필요성으로 FPGA 부품 소자가 사용된다.
- [3] FPGA(field programmable array, 현장 프로그래머블 게이트 어레이)는 프로그래머블 논리 요소와 프로그래밍 가능 내부선이 포함된 반도체 소자이다. 프로그래머블 논리 P P P 요소는 AND, OR, XOR, NOT, 더 복잡한 디코더나 계산기능이 조합 기능같은 기본적인 논리 게이트의 기능을 복제하여 프로그래밍 할 수 있다. 대부분의 FPGA는 프로그래밍 가능 논리 요소(FPGA 식으로는 논리 블록이라도 함)에 간단한 플립플롭이나 더 완벽한 메모리 블록으로 된 메모리 요소도 포함하고 있다.
- [4] 이를 사용하여 반도체 설계물의 검증을 위한 PLD(Programmable Logic Device)는 PLD에 저장할 회로의 크기가 커짐에 따라 고집적 FPGA를 사용하여야 하며, 이것은 매우 고가의 반도체 부품으로 재활용의 필요성이 매우 높다. 반도체 설계물 검증을 위하여 구성한 PCB 보드는 해당 용도에 맞게 제작되어 검증 작업이 완료된 이후 고가의 FPGA 소자를 재활용하기 위하여 해체하여야 하지만 고용량 논리회로가 내장된 FPGA는 1천개 이상의 핀을 갖는 고집적 패키지 부품이다.
- [5] 반도체 설계물 검증용 시스템의 PCB보드는 1천개 이상의 입출력 핀이 밀집된 고집적 FPGA 소자를 다수 사용하여 2차원 평면에 배치 한 후 배선하여 PCB 보드를 제작한다. 밀집된 입출력 핀을 갖는 다수의 고집적 FPGA를 2차원 평면에 배치된 경우 FPGA 소자 사이의 배선이 매우 길어진다.
- [6] 하지만, 1천개 이상의 입/출력 핀을 가지는 고집적 FPGA 소자를 PCB 상에 실장하고 이에 각각 신호처리를 위한 PCB 상의 배선(패터닝)에 있어서도 매우 복잡하고 어려운 문제점이 발생한다.

[7]

발명의 상세한 설명

기술적 과제

- [8] 상기와 같은 문제점을 해결하기 위한 본 발명은 FPGA 소자의 밀집된 입/출력핀을 보드와 연결시키기 위하여 효과적인 실장구조를 제공하고자 하는데 그 목적이 있다.

과제 해결 수단

- [9] 상기와 같은 목적을 달성하기 위한 본 발명은 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA 소자와 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드 및 상기 FPGA 소자에 구성되는 다수의 입/출력핀을 임의의 개수로 나누어 다수의 영역으로 각각 할당하고, 각 할당된 영역에 대응하게 상기 FPGA보드에 구비된 커넥터에도 다수의 영역으로 할당하며, 상기 FPGA 소자의 입/출력핀 할당영역과 커넥터에 할당된 영역을 대응하게 집적화시켜 구성되는 것을 특징으로 한다.
- [10] 또한, 상기 커넥터는, 상기 FPGA 소자의 입/출력핀에 따라 할당하고, 예비영역도 할당하는 것을 특징으로 한다.
- [11] 또한, 상기 FPGA 소자에 할당 영역은, 40핀, 20핀, 10핀으로 각각 할당하는 것을 특징으로 한다.
- [12] 또한, 상기 각 커넥터는, 6개의 영역으로 할당되고 1개의 영역은 예비영역으로 할당하는 것을 특징으로 한다.
- [13] 또한, 상기 FPGA 소자는, 38개의 영역으로 할당하는 것을 특징으로 한다.
- [14] 또한, 상기 커넥터를 통해 적층 연결되는 다수의 상기 FPGA 보드간에 신호를 선택적으로 차단하기 위하여 스위칭 소자를 구비하고 상기 커넥터와 동일한 커넥터를 가지고 FPGA 보드간 사이에 연결되는 스위칭 보드를 더 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

- [15] 상기와 같이 구성되고 작용되는 본 발명은 입출력핀의 영역의 임의의 구획으로 분할하고 이와 연결되는 커넥터간에 거리를 최소화하여 임의의 영역에 따라 커넥터에 할당함으로써 패터닝 배선을 최소화함으로써 효과적으로 보드를 구성할 수 있는 이점이 있다.

도면의 간단한 설명

- [16] 도 1은 본 발명에 따른 반도체 검증용 FPGA 보드의 개략적인 사시도,
- [17] 도 2는 본 발명에 따른 FPGA 보드의 FPGA 소자 입/출력핀 구획을 나타낸 평면도,
- [18] 도 3은 본 발명에 따른 일실시예로 1번 커넥터에 할당된 FPGA 보드의 할당 입/출력핀을 나타낸 도면,
- [19] 도 4는 본 발명에 따른 반도체 검증용 FPGA 보드에 사용되는 스위칭 보드를 나타낸 사시도,
- [20] 도 5는 본 발명에 따른 FPGA 보드와 스위칭 보드의 적층 형태를 나타낸 개략적인 단면도.
- [21] <도면의 주요부분에 대한 부호의 설명>
- [22] 100 : FPGA 보드

- [23] 110 : FPGA 소자
- [24] 200 : 커넥터
- [25] 300 : 스위칭 보드
- [26] 310 : 스위칭 소자
- [27]

발명의 실시를 위한 형태

- [28] 이하, 첨부된 도면을 참조하여 본 발명에 따른 반도체 검증용 FPGA 보드의
뱅크구조의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [29] 도 1은 본 발명에 따른 반도체 검증용 FPGA 보드의 개략적인 사시도, 도 2는 본
발명에 따른 FPGA 보드의 FPGA 소자 입/출력핀 구획을 나타낸 평면도, 도 3은
본 발명에 따른 일실시예로 1번 커넥터에 할당된 FPGA 보드의 할당 입/출력핀을
나타낸 도면, 도 4는 본 발명에 따른 반도체 검증용 FPGA 보드에 사용되는
스위칭 보드를 나타낸 사시도, 도 5는 본 발명에 따른 FPGA 보드와 스위칭
보드의 적층 형태를 나타낸 개략적인 단면도이다.
- [30] 본 발명은, 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD)
보드에 있어서, 반도체 검증을 위한 논리회로가 내장된 FPGA 소자(110)와
여기에 신호를 입/출력하기 위한 다수의 커넥터(200)가 구비된 적어도 하나
이상의 FPGA 보드(100) 및 상기 FPGA 소자에 구성되는 다수의 입/출력핀을
적정수로 나누어 다수의 영역으로 각각 할당하고, 각 할당된 영역에 대응하게
상기 FPGA 보드에 구비된 커넥터에도 다수의 영역으로 할당하며, 상기 FPGA
소자의 입/출력핀 할당영역과 커넥터에 할당된 영역을 대응하게 실장시켜
구성되는 것을 특징으로 한다.
- [31]
- [32] 우선, 본 발명에 따른 반도체 검증용 FPGA 보드의 뱅크구조의 설명에 앞서 본
발명에서 적용되는 FPGA 보드에 관하여 설명한다.
- [33] FPGA 보드(100)는 고집적 FPGA 소자가 PCB에 실장된 것으로, 반도체 설계물
검증을 위한 설계된 프로그램을 상기 FPGA 소자(110)에 라이팅시킨 후 반도체
설계물의 동작 여부를 확인하게 된다. 이때 동작여부 검증을 위해 필요한 논리적
회로의 용량이 커짐에 따라 다수의 FPGA 보드가 사용되는데, 본 발명에서는 각
FPGA 보드에 하나의 FPGA 소자가 실장되고 공통규격인 다수의 커넥터(200)가
구비되어 다수의 FPGA 보드를 커넥터를 통해 연결시킴으로써 보드간에
신호처리를 수행한다.
- [34] 상기 커넥터(120)는 FPGA 보드의 연결성을 확보하기 위한 것으로, 커넥터의
연결핀은 상기 FPGA 소자(110)의 입/출력핀과 전기적으로 연결된다.
- [35] 여기서 상기 커넥터(120)는 상/하 연결 가능한 커넥터 구조로써 상호 대응한
형태로 다수의 커넥터와 적층 연결된다. 본 발명에 따른 일실시예로 180핀을
가지는 커넥터를 하나의 FPGA 보드에 8개 사용함으로써 1440핀의 신호

입/출력을 확보할 수 있다.

- [36] 또한, 상기 FPGA 보드에는 전원을 입력받기 위한 전원부(미부호)와 입/출력되는 신호 처리를 위한 다수의 부품소자들이 구성되고, 각각의 FPGA 보드에 따른 코드(아이디) 식별을 위한 코드설정부(미부호)가 스위치 방식으로 구성된다.
- [37] 이처럼 구성되는 상기 FPGA 보드에 실장된 FPGA 소자(110)와 상기 커넥터(200)간에 연결을 위하여 FPGA 소자의 입/출력핀을 다수의 영역으로 할당하고, 이 영역에 대응하게 상기 커넥터에도 다수의 영역으로 할당하여 핀과 커넥터간 신호 연결을 효과적으로 실장할 수 있는 것이 주요 기술적 요지에 해당한다.
- [38] 우선, 상기 FPGA 소자의 입/출력 핀을 임의의 개수별로 나누어 다수의 영역으로 할당한다. 본 발명에서는 일실시예로 1200핀의 입/출력핀을 가지는 FPGA 소자에 대하여 설명하기로 한다.
- [39] 도 2에 도시된 바와 같이 일실시예로 다수의 영역을 #01 내지 #08, #11 내지 #34를 가지는 할당 번호로 총 38개의 영역으로 구획하고 각 영역에서의 임의의 핀수는 10핀, 20, 40핀의 핀수를 갖도록 나눈다. 이것은 본 발명에서 언급하는 일실시예에 따른 구성에 불과하며, FPGA 소자에 따라 핀수와 할당 영역을 변경할 수 있다.
- [40] 이렇게 구획된 각 영역은 FPGA 보드 평면상에서 FPGA 소자와 커넥터 간에 가장 근접한 것과 연결되도록 실장하는데, 이때 상기 커넥터(200)도 임의의 영역으로 할당한다.
- [41] 이때, 도 3에 도시된 바와 같이 FPGA 소자의 각 핀과 1번 커넥터 간에 할당번호를 나타낸 것이다. 본 발명에 따른 FPGA 보드는 8개의 커넥터를 구비하고 있으며, 소자에 할당된 영역별로 커넥터에 할당한다.
- [42] 여기서 FPGA 소자의 영역별 할당 핀수는 10, 20, 40으로 구획되어 있으나, 상기 커넥터의 구조는 제작시 30핀씩 할당되어 있기 때문에 소자의 할당 핀수와 커넥터의 핀수는 대응되지 않음으로, 여기서 다시 임의의 영역으로 할당한다. 도 2에서 #28에 해당하는 영역의 40핀은 커넥터 1번에 할당된 #28번의 영역에 양측으로 10핀과 30핀으로 할당된다.
- [43] 상기 커넥터는 양측으로 30핀씩 형성되어 있기 때문에 한쪽은 30핀을 모두 할당하고 나머지는 10핀만 할당됨으로 여기서 남은 20핀은 FPGA소자의 #20번 영역을 할당하게 된다. 그리고 나머지 #20 영역의 핀은 바로 옆의 커넥터에 다시 할당하게 된다.
- [44] 마찬가지로 FPGA 소자의 우측핀 #27영역의 40핀은 4번 커넥터의 첫 번째부터 10핀과 30핀으로 할당하고 여기서 남은 20핀에 대해서는 #19 영역의 핀을 할당하게 된다.
- [45] 이처럼 FPGA 소자에 각 영역과 이에 근접하게 설치된 커넥터와 할당시킴에 따라 식별성을 높일 수 있고, 소자와 커넥터 간의 배선 길이를 최소화시킬 수

있어 패터닝 시 효과적인 이점이 있다.

[46] 한편, 상기 커넥터는 상기 FPGA 소자(110) 핀을 할당하지 않고 임의의 핀수를 예비영역(SPARE)으로 확보하여 준다. 이것은 각 커넥터마다 모두 확보한다. 하지만 상기 예비영역은 FPGA 소자의 종류에 따라 확보하지 않을 수 있으며, 커넥터의 사양에 따라서도 달라질 수 있다.

[47] 따라서 상술한 바와 같이 반도체 설계물 검증을 위한 고집적 논리회로가 내장된 FPGA 소자(110)를 보드에 실장하고 2개의 FPGA 보드(100)를 적층하여 신호를 연결시키기 위해 구비되는 커넥터(200)와 FPGA 소자 입/출력핀 연결을 다수의 영역을 할당하여 PCB보드에 실장된다. 이렇게 구성되는 FPGA 보드를 2개 이상 적층하여 신호를 유연하게 연결시킬 수 있게 된다.

[48] 또한, 보드간의 신호를 선택적으로 연결하기 위해 별도의 스위칭 보드가 적용된다.

[49] 스위칭 보드(300)는 다수의 FPGA 보드 결합 시 신호 스위칭을 위한 보드로써, 상기 FPGA 보드에 구성된 커넥터(120)와 동일한 규격의 커넥터(200)가 구비된다.

[50] 상기 스위칭 보드(300)는 도 4에 도시된 바와 같이 다수의 스위칭 소자(310)가 구비되어 사용자에게 의한 수동적 스위칭(switching)이나 프로그램 등의 컨트롤을 통해 자동적으로 제어할 수 있도록 구현할 수 있으며, 본 발명에서는 일예로 수동적 구현을 위한 딥(Dip)스위치 소자를 적용하여 구현하였으나, 이에 한정하는 것은 아니다.

[51] 이때 상기 스위칭 소자는 FPGA 보드와 마찬가지로 스위칭 보드에 구비된 8개의 커넥터(200)와 대응하게 구비되어 각각의 커넥터를 통해 전송되는 신호를 차단할 수 있다. 여기서 상기 커넥터(200)가 FPGA 보드에 구비된 커넥터(120)와 다른 점은 스위칭 보드의 경우 커넥터의 상/하에 구비된 핀이 스위칭 소자를 경유하여 연결되도록 구성되나, FPGA 보드에 구비된 커넥터의 상하 핀들은 직접 연결된 구조를 갖게 된다.

[52] 따라서 상기 스위칭 소자에 의해 필요에 따라 FPGA 소자의 부분적 신호를 차단할 수 있어, 보드간 신호 흐름을 유연하게 제어할 수 있다.

[53]

[54] 이와 같이 구성되는 본 발명은 밀집된 입/출력핀을 갖는 FPGA 소자와 이에 연결되는 커넥터간에 배선 길이를 매우 효과적으로 제작할 수 있으며, 임의의 지정된 할당영역 간 매칭으로 인하여 식별성을 확보할 수 있는 이점이 있다.

[55] 이상, 본 발명의 원리를 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였지만, 본 발명은 그와 같이 도시되고 설명된 그대로의 구성 및 작용으로 한정되는 것이 아니다.

[56] 오히려, 첨부된 청구범위의 사상 및 범주를 일탈함이 없이 본 발명에 대한 다수의 변경 및 수정이 가능함을 당업자들은 잘 이해할 수 있을 것이다. 따라서 그러한 모든 적절한 변경 및 수정과 균등물들도 본 발명의 범위에 속하는 것으로

간주되어야 할 것이다.

[57]

청구범위

- [청구항 1] 반도체 설계물 검증을 위한 프로그래머블 로직 디바이스(PLD) 보드에 있어서,
반도체 검증을 위한 논리회로가 내장된 FPGA 소자와 여기에 신호를 입/출력하기 위한 다수의 커넥터가 구비된 적어도 하나 이상의 FPGA 보드; 및
상기 FPGA 소자에 구성되는 다수의 입/출력핀을 임의의 개수로 나누어 다수의 영역으로 각각 할당하고,
각 할당된 영역에 대응하게 상기 FPGA보드에 구비된 커넥터에도 다수의 영역으로 할당하며,
상기 FPGA 소자의 입/출력핀 할당영역과 커넥터에 할당된 영역을 대응하게 실장시켜 구성되는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.
- [청구항 2] 제 1항에 있어서, 상기 커넥터는,
상기 FPGA 소자의 입/출력핀에 따라 할당하고, 예비영역도 할당하는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.
- [청구항 3] 제 1항에 있어서, 상기 FPGA 소자에 할당 영역은,
40핀, 20핀, 10핀으로 각각 할당하는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.
- [청구항 4] 제 1항 또는 2항에 있어서, 상기 각 커넥터는
6개의 영역으로 할당되고 1개의 영역은 예비영역으로 할당하는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.
- [청구항 5] 제 1항 또는 3항에 있어서, 상기 FPGA 소자는,
38개의 영역으로 할당하는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.
- [청구항 6] 제 1항에 있어서,
상기 커넥터를 통해 적층 연결되는 다수의 상기 FPGA 보드간에 신호를 선택적으로 차단하기 위하여 스위칭 소자를 구비하고 상기 커넥터와 동일한 커넥터를 가지고 FPGA 보드간 사이에 연결되는 스위칭 보드를 더 포함하여 구성되는 것을 특징으로 하는 반도체 검증용 FPGA 보드의 뱅크구조.

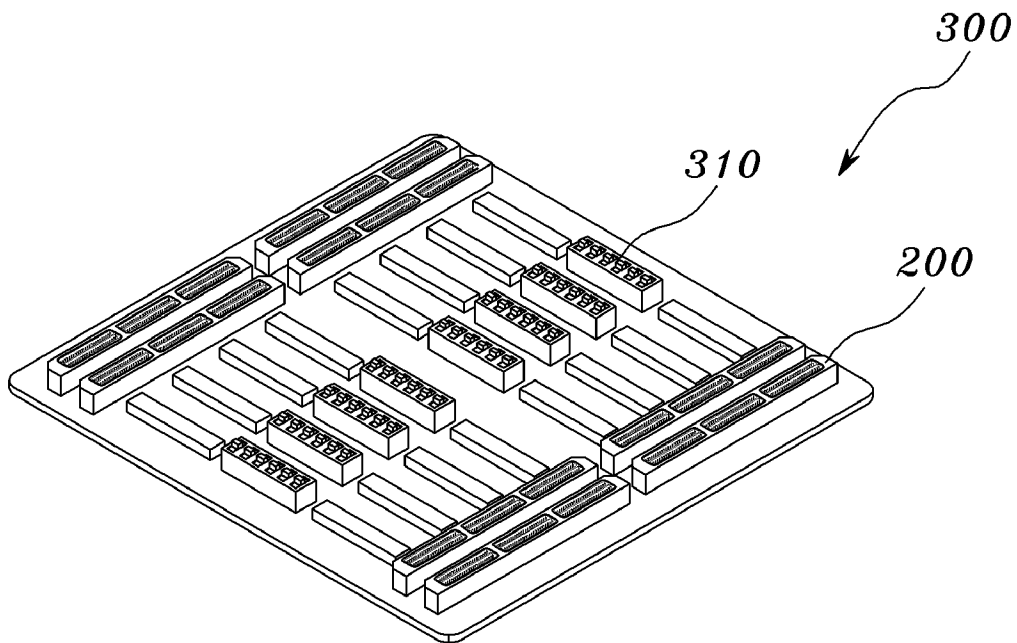
[Fig. 3]

Use	FPGA		NAME	OLU		NAME	FPGA		Use
	L4N_VREF_28	8	IO_28_09	2	VCCO_ADJ_DN	1	IO_28_10	A11	L5P_28
	L4P_28	c9	IO_28_08	4		3	IO_28_11	A10	L5N_28
	L3N_28	12	IO_28_07	6		5	IO_28_12	C10	L6P_28
	L3P_28	11	IO_28_06	8		7	IO_28_13	10	L6N_28
	L2N_28	A12	IO_28_05	10		9	IO_28_14	A9	L7P_28
	L2P_28	B12	IO_28_04	12		11	IO_28_15	B9	L7N_28
	L1N_28	C11	IO_28_03	14		13	IO_28_16	C8	L8P_CC_28
	L1P_28	B11	IO_28_02	16		15	IO_28_17	B8	L8N_CC_28
	L0N_28	13	IO_28_01	18		17	IO_28_18	B6	L9P_CC_28
	L0P_28	C13	IO_28_00	20		19	IO_28_19	C6	L9N_CC_28
	L0P_20	G6	IO_20_00	22		21	IO_28_20	7	L10P_CC_28
	L0N_20	F6	IO_20_01	24		23	IO_28_21	6	L10N_CC_28
	L1P_20	F5	IO_20_02	26		25	IO_28_22	A7	L11P_CC_28
	L1N-20	E5	IO_20_03	28		27	IO_28_23	B7	L11N_CC_28
	L2P_20	G7	IO_20_04	30		29	IO_28_24	A5	L12P_VRN-28
	L2N-20	H6	IO_20_05	32		31	IO_28_25	A6	L12N_VRP_28
	L3P_20	J5	IO_20_06	34		33	IO_28_26	B4	L13P_28
	L3N-20	H5	IO_20_07	36		35	IO_28_27	A4	L13N_28
	L4P_20	J7	IO_20_08	38		37	IO_28_28	C5	L14P_28
	L4N-VERF_20	K7	IO_20_09	40		39	IO_28_29	5	L14N-VERF-28
	L5P_20	K5	IO_20_10	42		41	IO_28_30	3	L15P_28
	L5N-20	J6	IO_20_11	44		43	IO_28_31	C4	L15N_28
	L6P_20	M7	IO_20_12	46		45	IO_28_32	B3	L16P_28
	L6N-20	M6	IO_20_13	48		47	IO_28_33	C3	L16N_28
	L7P_20	L7	IO_20_14	50		49	IO_28_34	C1	L17P_28
	L7N-20	L6	IO_20_15	52		51	IO_28_35	B1	L17N_28
	L8P_CC_20	P8	IO_20_16	54		53	IO_28_36	A2	L18P_28
	L8N_CC_20	N9	IO_20_17	56		55	IO_28_37	B2	L18N_28
	L9P_CC_20	M8	IO_20_18	58		57	IO_28_38	1	L19P_28
	L9N_CC_20	M9	IO_20_19	60		59	IO_28_39	2	L19N_28

	L10P_CC_20	P7	IO_20_20	62	D G	61	IO_07_00	P20	L1P_7	
	L10N_CC_20	N8	IO_20_21	64		63	IO_07_01	N20	L1N_7	
	L11P_CC_20	N6	IO_20_22	66		65	IO_07_02	P21	L3P_7	
	L11N_CC_20	P6	IO_20_23	68		67	IO_07_03	N21	L3N_7	
	L12P_VRN_20	T10	IO_20_24	70		69	IO_07_04	N22	L5P_7	
	L12N_VRP_20	R10	IO_20_25	72		71	IO_07_05	M21	L5N_7	
	L13P_20	R9	IO_20_26	74		73	IO_07_06	J21	L7P_7	
	L13N_20	T9	IO_20_27	76		75	IO_07_07	H21	L7N_7	
	L14P_20	R7	IO_20_28	78		77	IO_07_08	G21	L9P_CC_7	
	L14N_VERF_20	R8	IO_20_29	80		79	IO_07_09	H20	L9N_CC_7	
	L15P_20	U7	IO_20_30	82		81	IO_07_10	H19	L10P_CC_7	
	L15N_20	T7	IO_20_31	84		83	IO_07_11	G19	L10N_CC_7	
	L16P_20	U8	IO_20_32	86		85	IO_07_12	H17	L12P_VRN_7	
	L16N_20	U9	IO_20_33	88		87	IO_07_13	G18	L12N_VRN_7	
	L17P_20	U11	IO_20_34	90		89	IO_07_14	J18	L14P_7	
	L17N_20	T11	IO_20_35	92		91	IO_07_15	H18	L14N_VERF_7	
	L18P_20	V9	IO_20_36	94		93	IO_07_16	K20	L16P_7	
	L18N_20	V8	IO_20_37	96		95	IO_07_17	J20	L16N_7	
	L19P_20	V11	IO_20_38	98		97	IO_07_18	L20	L18P_7	
	L19N_20	V10	IO_20_39	100		99	IO_07_19	L21	L18N_7	
	L0P_12	E2	IO_12_00	102		101	IO_01_00	M13	L1P_A17_1	
	L0N_12	F2	IO_12_01	104		103	IO_01_01	N13	L1N_A17_1	
	L1P_12	G2	IO_12_02	106		105	IO_01_02	P17	L3P_A13_29_1	
	L1N_12	F1	IO_12_03	108		107	IO_01_03	R17	L3N_A12_28_1	
	L2P_12	J2	IO_12_04	110		109	IO_01_04	N15	L5P_A9_25_1	
	L2N_12	J1	IO_12_05	112		111	IO_01_05	P15	L5N_A8_24_1	
	L3P_12	G1	IO_12_06	114		113	IO_01_06	N14	L7P_A5_20_1	
	L3N_12	H1	IO_12_07	116		115	IO_01_07	P13	L7N_A4_20_1	
	L4P_12	L2	IO_12_08	118		117	IO_01_08	P16	L9P_CC_A1_17_1	
	L4N_VERF_12	M2	IO_12_09	120		119	IO_01_09	R15	L9N_CC_A0_16_1	

	L5P_12	K2	IO_12_10	122	VCC5V_IN	121	SPARE_OLU_0		
	L5N_12	L1	IO_12_11	124		123	SPARE_OLU_1		
	L6P_12	M1	IO_12_12	126		125	SPARE_OLU_2		
	L6N_12	N1	IO_12_13	128		127	SPARE_OLU_3		
	L7P_12	M3	IO_12_14	130		129	SPARE_OLU_4		
	L7N_12	N3	IO_12_15	132		131	SPARE_OLU_5		
	L8P_CC_12	P3	IO_12_16	134		133	SPARE_OLU_6		
	L8N_CC_12	R3	IO_12_17	136		135	SPARE_OLU_7		
	L9P_CC_12	P2	IO_12_18	138		137	SPARE_OLU_8		
	L9N_CC_12	P1	IO_12_19	140		139	SPARE_OLU_9		
	L10P_CC_12	R2	IO_12_20	142		141	SPARE_OLU_10		
	L10N_CC_12	T2	IO_12_21	144		143	SPARE_OLU_11		
	L11P_CC_12	U11	IO_12_22	146		145	SPARE_OLU_12		
	L11N_CC_12	T1	IO_12_23	148		147	SPARE_OLU_13		
	L12P_VRN_12	U3	IO_12_24	150		149	SPARE_OLU_14		
	L12N_VRP_12	U2	IO_12_25	152		151	SPARE_OLU_15		
	L13P_12	V3	IO_12_26	154		153	SPARE_OLU_16		
	L13N_12	V4	IO_12_27	156		155	SPARE_OLU_17		
	L14P_12	W2	IO_12_28	158		157	SPARE_OLU_18		
	L14N_VREF-12	W3	IO_12_29	160		159	SPARE_OLU_19		
	L15P_12	W1	IO_12_30	162		161	SPARE_OLU_20		
	L15N_12	V1	IO_12_31	164		163	SPARE_OLU_21		
	L16P_12	AA4	IO_12_32	166		165	SPARE_OLU_22		
	L16N_12	Y4	IO_12_33	168		167	SPARE_OLU_23		
	L17P_12	Y5	IO_12_34	170		169	SPARE_OLU_24		
	L17N_12	AA5	IO_12_35	172		171	SPARE_OLU_25		
	L18P_12	AA1	IO_12_36	174		173	SPARE_OLU_26		
	L18N_12	AA2	IO_12_37	176		175	SPARE_OLU_27		
	L19P_12	Y2	IO_12_38	178		177	SPARE_OLU_28		
	L19N_12	Y3	IO_12_39	180		179	SPARE_OLU_29		

[Fig. 4]



[Fig. 5]

