

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4110839号
(P4110839)

(45) 発行日 平成20年7月2日(2008.7.2)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int.Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 29/786 (2006.01)	G09G 3/20 612K
	G09G 3/20 612P
	G09G 3/20 621L
	請求項の数 4 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2002-159039 (P2002-159039)
 (22) 出願日 平成14年5月31日(2002.5.31)
 (65) 公開番号 特開2004-4247 (P2004-4247A)
 (43) 公開日 平成16年1月8日(2004.1.8)
 審査請求日 平成16年4月27日(2004.4.27)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 木田 芳利
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 仲島 義晴
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内
 (72) 発明者 前川 敏一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置および携帯端末

(57) 【特許請求の範囲】

【請求項1】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、
 前記透明絶縁基板上に前記表示部と共に搭載され、基板外部から入力されるマスターク
 ロックに同期して前記表示部の駆動に必要な周波数が異なる水平駆動系の複数のタイミン
 グ信号を発生するタイミング発生回路とを具備し、
 前記タイミング発生回路は、
前記透明絶縁基板上に低温ポリシリコンあるいは連続粒界結晶シリコンを用いて形成さ
 れ、

前記複数のタイミング信号をそれぞれ発生する複数のフリップフロップと、
 前記複数のフリップフロップを少なくとも2系統に分けて異なるタイミングで別々にリ
 セットするリセット回路とを有する
 ことを特徴とする表示装置。

【請求項2】

複数のフリップフロップは、前記マスタークロックを分周して第1クロックを生成する
 第1のフリップフロップと、前記第1クロックを分周して第2クロックを生成する第2フ
 リップフロップからなり、
 前記リセット回路で生成され、前記第1、第2のフリップフロップをそれぞれリセット
 する第1、第2のリセットパルスのうち、前記第1のリセットパルス用の配線が、前記第
 2のリセットパルス用の配線よりも前記リセット回路に対して近くに配置されている

10

20

ことを特徴とする請求項 1 記載の表示装置。

【請求項 3】

透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、

前記透明絶縁基板上に前記表示部と共に搭載され、基板外部から入力されるマスタークロックに同期して前記表示部の駆動に必要な周波数が異なる水平駆動系の複数のタイミング信号を発生するタイミング発生回路とを具備し、

前記タイミング発生回路は、

前記透明絶縁基板上に低温ポリシリコンあるいは連続粒界結晶シリコンを用いて形成され、

前記複数のタイミング信号をそれぞれ発生する複数のフリップフロップと、

前記複数のフリップフロップを少なくとも 2 系統に分けて異なるタイミングで別々にリセットするリセット回路とを有する

表示装置を画面表示部として搭載したことを特徴とする携帯端末。

10

【請求項 4】

複数のフリップフロップは、前記マスタークロックを分周して第 1 クロックを生成する第 1 のフリップフロップと、前記第 1 クロックを分周して第 2 クロックを生成する第 2 フリップフロップからなり、

前記リセット回路で生成され、前記第 1、第 2 のフリップフロップをそれぞれリセットする第 1、第 2 のリセットパルスのうち、前記第 1 のリセットパルス用の配線が、前記第 2 のリセットパルス用の配線よりも前記リセット回路に対して近くに配置されている

ことを特徴とする請求項 3 記載の携帯端末。

20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、表示装置および携帯端末に関し、特に絶縁基板上に特性のばらつきが大きいトランジスタを用いて構成されるロジック回路を用いたタイミング発生回路を周辺駆動回路の一つとして用いた表示装置およびこの表示装置を画面表示部として搭載した携帯端末に関する。

【0002】

【従来の技術】

ロジック回路の一種である例えばタイミング発生回路の従来例を図 7 に示す。この従来例に係るタイミング発生回路は、レベルシフト回路 101 とその出力に対して順に縦続接続された 2 つのフリップフロップ、本例では T 型フリップフロップ(以下、TFF と記す) 102, 103 とを有する構成となっている。レベルシフト回路 101 は、外部から与えられる低電圧振幅のマスタークロック MCK を高電圧振幅のマスタークロック lsmck にレベルシフト(レベル変換)する。このマスタークロック lsmck は、当該マスタークロック lsmck を基準に動作する回路に対してバッファ 104 を介して供給される。

30

【0003】

TFF 102 は、マスタークロック lsmck を分周することによってドットクロック DCCK を生成する。このドットクロック DCCK は、当該ドットクロック DCCK を基準に動作する回路に対してバッファ 105 を介して供給される。TFF 103 は、ドットクロック DCCK をさらに分周することによって水平クロック HCK を生成する。この水平クロック HCK は、当該水平クロック HCK を基準に動作する回路に対して供給される。

40

【0004】

これら TFF 102, 103 は、外部から例えば 1H (H は水平期間) 周期で与えられるリセットパルスによってリセットされる。ここで、リセットパルスを TFF 102, 103 へ伝送するための配線は、配線容量やトランジスタの入力容量、他の配線とのクロス容量を持つ。そのため、それだけの負荷容量を駆動できるだけのバッファ 106 を用いることで、負荷容量に対する駆動能力を上げる構成が一般的に採られている。

【0005】

50

【発明が解決しようとする課題】

上記構成のタイミング発生回路において、各回路部分を素子特性のばらつきが大きいトランジスタで形成した場合に、T F F 1 0 2 , 1 0 3 の各入力クロックパルスとリセットパルスとのタイミングのずれが生じやすくなる。そして、そのタイミングのずれが大きくなると誤動作を引き起こし、素子特性のばらつきに対して動作マージンが少なくなるという課題がある。

【0006】

ここで、上記構成のタイミング発生回路の回路動作について、図8のタイミングチャートを用いて説明する。

【0007】

通常動作時(A)には、T F F 1 0 2 , 1 0 3 は、入力クロックパルスの立ち上がり同期して状態が反転する動作を繰り返すことで、入力クロックパルスに対して周期が2倍の出力パルスを発生する。また、低レベルのリセットパルスが与えられたときには、その立ち下りのタイミングでリセットされることで出力パルスが低レベルになり、リセットパルスの高レベルへの遷移後最初の入力クロックパルスの立ち上がりタイミングで出力パルスが高レベルに遷移し、以降、次のリセットパルスが与えられるまでの期間に亘って入力クロックパルスに同期して出力パルスを発生し続ける。

【0008】

一方、素子特性のばらつきにより入力クロックパルスとリセットパルスとの間の相対的なタイミング関係がずれた場合(B)、例えば通常動作時(A)では入力クロックパルスの低レベル期間で発生するリセットパルスが入力クロックパルスの高レベル期間で発生した場合には、次の入力クロックパルスの立ち上がりタイミング以降もリセット動作が継続されることになるため、リセット以降の出力パルスの極性が反転するという誤動作が発生する。

【0009】

入力クロックパルスとリセットパルスとの間の相対的なタイミング関係のずれは、これらのパルスを生成する回路、即ちレベルシフト回路101、T F F 1 0 2 , 1 0 3 およびバッファ107の遅延量の差から生まれてくる。これらの回路を素子特性のばらつきが大きく、プロセスルールが粗い(例えば、3.5 μm)薄膜トランジスタ(Thin Film Transistor; T F T)で形成した場合には、遅延量も大きく特に差が生じやすい。

【0010】

本発明は、上記課題に鑑みてなされたものであり、その目的とするところは、特性のばらつきが大きく、プロセスルールが粗いトランジスタを用いて形成した場合であっても、動作マージンを大きくとることが可能なロジック回路を用いたタイミング発生回路を周辺駆動回路の一つとして用いた表示装置およびこれを表示出力部として搭載した携帯端末を提供することにある。

【0011】

【課題を解決するための手段】

本発明による表示装置は、透明絶縁基板上に画素がマトリクス状に配置されてなる表示部と、前記透明絶縁基板上に前記表示部と共に搭載され、基板外部から入力されるマスタークロックに同期して前記表示部の駆動に必要な周波数が異なる水平駆動系の複数のタイミング信号を発生するタイミング発生回路とを具備し、前記タイミング発生回路は、前記透明絶縁基板上に低温ポリシリコンあるいは連続粒界結晶シリコンを用いて形成され、前記複数のタイミング信号をそれぞれ発生する複数のフリップフロップと、前記複数のフリップフロップを少なくとも2系統に分けて異なるタイミングで別々にリセットするリセット回路とを有する構成となっている。そして、この表示装置は、P D A (Personal Digital Assistants) や携帯電話機に代表される携帯端末に、その画面表示部として搭載される。

【0012】

上記構成の表示装置またはこれを画面表示部として搭載した携帯端末において、少なく

10

20

30

40

50

とも2系統に分けられたフリップフロップを異なるタイミングで別々にリセットする構成を採ることで、早いタイミングでリセットが必要なフリップフロップと、それよりも遅いタイミングでリセットが必要なフリップフロップとに分けてリセット動作を行うことができる。これにより、それぞれのフリップフロップに対して最適なりセットタイミングを設定できるため、素子特性のばらつきが大きく、プロセスルールが粗いトランジスタを用いて各回路を形成した場合でも、動作マージンを大きくとることが可能になる。

【0013】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】

図1は、本発明の一実施形態に係るロジック回路、例えばタイミング発生回路の構成例を示すブロック図である。図1から明らかなように、本実施形態に係るタイミング発生回路は、レベルシフト回路11、例えば2つのフリップフロップ(ここでは、TFF)12, 13、レベルシフト回路14およびパルス生成回路15を有し、ガラス基板などの絶縁基板上に素子特性のばらつきが大きく、プロセスルールが粗いトランジスタ、例えばTFTで形成されることを前提としている。

10

【0015】

レベルシフト回路11は、外部から入力される低電圧振幅(例えば、0V - 3.3V)のマスタークロックMCKを、高電圧振幅(例えば、0V - 6.5V)のマスタークロックlsmckにレベルシフト(レベル変換)する。マスタークロックlsmckは、TFF 12およびパルス生成回路15に供給されるとともに、当該マスタークロックlsmckを基準に動作する回路に対してバッファ16を介して供給される。

20

【0016】

TFF 12, 13は、レベルシフト回路11の出力に対して順に縦続接続されている。TFF 12は、マスタークロックlsmckを分周することによってドットクロックDCKを生成する。このドットクロックDCKは、当該ドットクロックDCKを基準に動作する回路に対してバッファ17を介して供給される。TFF 13は、ドットクロックDCKをさらに分周することによって水平クロックHCKを生成する。この水平クロックHCKは、当該水平クロックHCKを基準に動作する回路に対して供給される。

30

【0017】

ここで、外部からの入力信号のタイミングに自由度を持たせるために、即ち入力タイミングを1通りに定めず幅を持たせるために、ドットクロックDCKおよび水平クロックHCKを生成するTFF 12, 13のリセット動作を、外部からの基準信号の周期、本例では水平同期信号Hsyncの周期、即ち1水平期間に1回行う必要がある。本発明は、このTFF 12, 13をリセットするためのリセット回路の具体的な構成を特徴としている。以下に、その構成について説明する。

【0018】

レベルシフト回路14は、外部から入力される低電圧振幅(0V - 3.3V)の水平同期信号Hsyncを、高電圧振幅(0V - 6.5V)にレベルシフトしてパルス生成回路15に供給する。パルス生成回路15は、レベルシフト後の水平同期信号Hsyncのエッジ部分を検出し、そのエッジ部分にマスタークロックlsmckに基づいて水平同期パルスhdを生成し、さらに複数のリセットパルス、本例では2つのTFF 12, 13に対応した2つのリセットパルスdrst, hrstを生成する。リセットパルスdrstは、TFF 12をリセットするのに用いられる。リセットパルスhrstは、TFF 13をリセットするのに用いられる。

40

【0019】

図2に、外部から入力されるマスタークロックMCKおよび水平同期信号Hsync、ならびに本タイミング発生回路内で生成されるマスタークロックlsmck、リセットパルスdrst、ドットクロックDCK、水平同期パルスhd、リセットパルスhrstおよび水平クロックHCKのタイミング関係を示す。図のタイミングチャートから明らかなよ

50

うに、パルス生成回路15で生成されるリセットパルス d_{rst} 、水平同期パルス h_d およびリセットパルス h_{rst} は、水平同期信号 H_{sync} の低レベル期間において、その立ち下がりエッジを基準にマスタークロック l_{smck} に基づいて生成されることがわかる。

【0020】

上記構成のタイミング発生回路において、リセットパルス d_{rst} 、 h_{rst} 用の配線は、配線容量やトランジスタの入力容量、他の配線とのクロス容量を持つ。これにより、その負荷容量を駆動できるだけの駆動能力を持つバッファが必要になる。その結果、当該バッファの存在により、リセットパルス d_{rst} 、 h_{rst} に遅延が発生する。一方、マスタークロック l_{smck} 、ドットクロック DCK および水平クロック HCK についても、レベルシフト回路11や $TFF12$ 、 13 を通るために遅延が生じる。

10

【0021】

ここでは、マスタークロック l_{smck} は通る回路が少なく、一番遅延量が小さい。図3のタイミングチャート(図2の要部拡大図)に示すように、レベルシフト回路11を通ることでマスタークロック l_{smck} にマスタークロック MCK に対して遅延量 D_a が発生するものとする、 $TFF12$ を通ることによってドットクロック DCK に遅延量 D_b が発生すると、マスタークロック MCK に対するドットクロック DCK の遅延量は $D_a + D_b$ になり、さらに $TFF13$ を通ることによって水平クロック HCK に遅延量 D_c が発生すると、マスタークロック MCK に対する水平クロック HCK の遅延量は $D_a + D_b + D_c$ になる。

20

【0022】

このように、マスタークロック l_{smck} の遅延量が一番小さいため、マスタークロック l_{smck} を分周する $TFF12$ をリセットするためのリセットパルス d_{rst} についても極力遅延量を小さくする必要がある。この点に鑑み、本実施形態に係るタイミング発生回路では、リセットパルス d_{rst} をリセットパルス h_{rst} とは別パルスにしている。そして、パルス生成回路15に対する $TFF12$ のパターン配置を近くに設定するようにする。これにより、リセットパルス d_{rst} 用の配線の負荷容量を小さくすることができ、負荷容量を駆動するためのバッファとして駆動能力が小さいもので済むため、当該バッファでのリセットパルス d_{rst} の遅延量を小さく抑えることができる。

30

【0023】

ここで、図3のタイミングチャートから明らかなように、リセットパルス d_{rst} は水平同期信号 H_{sync} の低レベル期間においてマスタークロック l_{smck} の立ち下がりタイミングで発生される。なお、マスタークロック l_{smck} の立ち下がりに対して、リセットパルス d_{rst} にはパルス生成回路15での遅延量 D が生じる。リセットパルス h_{rst} は、リセットパルス d_{rst} からさらにマスタークロック l_{smck} の半クロック分程度遅れたタイミング関係で発生される。

【0024】

なお、マスタークロック l_{smck} とリセットパルス d_{rst} とのタイミング関係に限らず、ドットクロック DCK とリセットパルス h_{rst} とのタイミング関係についても、リセットパルス h_{rst} はリセットパルス d_{rst} と別パルスであることから、必要であれば、バッファを追加するなどして遅延量を合わせることが可能である。

40

【0025】

本実施形態に係るタイミング発生回路においては、図2および図3のタイミングチャートから明らかなように、 $TFF12$ はマスタークロック l_{smck} の立ち下がりタイミングにตอบสนองして状態が反転することで、ドットクロック DCK を生成する。同様に、 $TFF13$ はドットクロック DCK の立ち下がりタイミングにตอบสนองして状態が反転することによって水平クロック HCK を発生する。

【0026】

上述したように、絶縁基板上に形成され、基板外部から入力されるマスタークロック MCK に同期して周波数が異なる複数のタイミング信号、本例ではドットクロック DCK およ

50

び水平クロックHCKを生成する縦続接続された2つのTFF12, 13を有するタイミング発生回路において、2つのTFF12, 13に対して別々のリセットパルスdrst, hrstを生成することで、早いタイミングでリセットが必要なTFF12と、それよりも遅いタイミングでリセットが必要なTFF13とに分けてリセット動作を行うことができる。これにより、TFF12, 13の各々に対して最適ナリセットタイミングを設定できることになるため、素子特性のばらつきが大きく、プロセスルールが粗いトランジスタ、例えばTFTを用いて各回路を形成した場合でも、動作マージンを大きくとることが可能になる。

【0027】

ここで、図2および図3のタイミングチャートから明らかなように、リセットパルスdrstのタイミングの遅れが大きくなり、リセットパルスdrstがマスタークロックlsmckの低レベル期間で立ち上がると、次のマスタークロックlsmckの立ち下がりタイミングでドットクロックDCKが低レベルから高レベルに遷移することになるため、リセットパルスdrstによるリセット動作以降のドットクロックDCKの極性が反転することがわかる。

10

【0028】

なお、上記実施形態では、ロジック回路としてタイミング発生回路を例に挙げて説明したが、タイミング発生回路への適用に限られるものではなく、縦続接続された複数のフリップフロップを用いて単一のクロック信号に同期して周波数が異なる複数のパルス信号を生成するロジック回路全般に適用可能である。

20

【0029】

また、フリップフロップを2段縦続接続した回路構成のものを例に挙げたが、フリップフロップを3段以上に縦続接続して周波数が異なる3以上のパルス信号を生成する回路構成のものにも同様に適用することが可能であり、この場合にも3段以上のフリップフロップを少なくとも2系統に分けてそれぞれ異なるタイミングで別々にリセットするようにすれば良い。

【0030】

さらに、遅延量のばらつきが大きいクロックをフリップフロップに入れる場合などは、リセットパルスも入力クロックと遅延量のばらつきが相対的に小さいパルスにすると、動作スピードを上げることができる。

30

【0031】

上記実施形態に係るタイミング発生回路は、例えば、画素がマトリクス状に配置されてなる表示部と同一の透明絶縁基板上に、周辺の駆動回路が一体的に形成されてなる駆動回路一体型表示装置において、基板外部から入力されるマスタークロックMCKに基づいて表示部の駆動に必要な各種のタイミング信号を発生するタイミングジェネレータとして用いて好適なものである。

【0032】

[適用例]

図4は、本発明に係る表示装置、例えば液晶表示装置の構成例を示すブロック図である。図4において、透明絶縁基板、例えばガラス基板31上には、画素がマトリクス状に配置されてなる表示部(画素部)32が形成されている。ガラス基板31は、もう一枚のガラス基板と所定の間隙を持って対向配置され、両基板間に液晶材料を封止することで表示パネル(LCDパネル)を構成している。

40

【0033】

表示部32における各画素の構成の一例を図5に示す。マトリクス状に配置された画素50の各々は、画素トランジスタであるTFT(Thin Film Transistor; 薄膜トランジスタ)51と、このTFT51のドレイン電極に画素電極が接続された液晶セル52と、TFT51のドレイン電極に一方の電極が接続された保持容量53とを有する構成となっている。ここで、液晶セル52は、画素電極とこれに対向して形成される対向電極との間で発生する液晶容量を意味する。

50

【0034】

この画素構造において、TFT51はゲート電極がゲート線(走査線)54に接続され、ソース電極がデータ線(信号線)55に接続されている。液晶セル52は対向電極がVCOM線56に対して各画素共通に接続されている。そして、液晶セル52の対向電極には、VCOM線56を介してコモン電圧VCOM(VCOM電位)が各画素共通に与えられる。保持容量53は他方の電極(対向電極側の端子)がCS線57に対して各画素共通に接続されている。

【0035】

ここで、IH(Hは水平期間)反転駆動または1F(Fはフィールド期間)反転駆動を行う場合は、各画素に書き込まれる表示信号は、VCOM電位を基準として極性反転を行うことになる。また、VCOM電位の極性を1H周期または1F周期で反転させるVCOM反転駆動をIH反転駆動または1F反転駆動と併用する場合は、CS線57に与えられるCS電位の極性もVCOM電位に同期して反転する。ただし、本実施形態に係る液晶表示装置は、VCOM反転駆動に限られるものではない。

10

【0036】

再び図4において、表示部32と同じガラス基板31上には、例えば、表示部32の左側にインターフェース(IF)回路33、タイミングジェネレータ(TG)34および基準電圧ドライバ35が、表示部32の上側に水平ドライバ36が、表示部32の右側に垂直ドライバ37が、表示部32の下側にCSドライバ38およびVCOMドライバ39がそれぞれ搭載されている。これら周辺の駆動回路は、表示部32の画素トランジスタと共に、低温ポリシリコンあるいはCG(Continuous Grain;連続粒界結晶)シリコンを用いて作製される。

20

【0037】

上記構成の液晶表示装置において、ガラス基板31に対して、低電圧振幅(例えば、3.3V振幅)のマスタークロックMCK、水平同期パルスHsync、垂直同期パルスVsyncおよびR(赤)G(緑)B(青)パラレル入力の表示データDataがフレキシブルケーブル(基板)40を介して基板外部から入力され、インターフェース回路33において高電圧振幅(例えば、6.5V)にレベルシフト(レベル変換)される。

【0038】

レベルシフトされたマスタークロックMCK、水平同期パルスHsyncおよび垂直同期パルスVsyncは、タイミングジェネレータ34に供給される。タイミングジェネレータ34は、マスタークロックMCK、水平同期パルスHsyncおよび垂直同期パルスVsyncに基づいて、基準電圧ドライバ35、水平ドライバ36、垂直ドライバ37、CSドライバ38およびVCOMドライバ39の駆動に必要な各種のタイミングパルスを生成する。

30

【0039】

レベルシフトされた表示データDataは、次段のシリパラ(S/P)変換回路42に供給される。シリパラ変換回路42は、タイミングジェネレータ34から与えられる後述するドットクロックDCKに同期して、表示データDataを各ビットごとに2ビットに変換することで、表示データDataの周波数を1/2に落とす。このシリパラ変換回路42で周波数が落とされた表示データは、0V-3.3Vの低電圧振幅に降圧されて水平ドライバ36に供給される。

40

【0040】

水平ドライバ36は、例えば、水平シフトレジスタ361、データサンプリングラッチ回路362およびDA(デジタル-アナログ)変換回路(DAC)363を有する構成となっている。水平シフトレジスタ361は、タイミングジェネレータ34から供給される水平スタートパルスHSTにตอบสนองしてシフト動作を開始し、同じくタイミングジェネレータ34から供給される水平クロックパルスHCKに同期して1水平期間に順次転送していくサンプリングパルスを生成する。

【0041】

50

データサンプリングラッチ回路 362 は、水平シフトレジスタ 361 で生成されたサンプリングパルスに同期して、インターフェース回路 33 からシリパラ変換回路 43 を介して供給される表示データ Data を 1 水平期間で順次サンプリングしラッチする。このラッチされた 1 ライン分のデジタルデータはさらに、水平ブランキング期間にラインメモリ (図示せず) に移される。そして、この 1 ライン分のデジタルデータは、DA 変換回路 363 でアナログ表示信号に変換される。

【 0042 】

DA 変換回路 363 は、例えば、基準電圧ドライバ 35 から与えられる階調数分の基準電圧の中から、デジタルデータに対応した基準電圧を選択してアナログ表示信号として出力する基準電圧選択型 DA 変換回路の構成となっている。DA 変換回路 363 から出力される 1 ライン分のアナログ表示信号 Sig は、表示部 32 の水平方向画素数 n に対応して配線されたデータ線 55 - 1 ~ 55 - n に出力される。

10

【 0043 】

垂直ドライバ 37 は、垂直シフトレジスタおよびゲートバッファによって構成される。この垂直ドライバ 37 において、垂直シフトレジスタは、タイミングジェネレータ 34 から供給される垂直スタートパルス VST に応答してシフト動作を開始し、同じくタイミングジェネレータ 34 から供給される垂直クロックパルス VCK に同期して 1 垂直期間に順次転送していく走査パルス生成する。この生成された走査パルスは、表示部 32 の垂直方向画素数 m に対応して配線されたゲート線 54 - 1 ~ 54 - m にゲートバッファを通して順次出力される。

20

【 0044 】

この垂直ドライバ 37 による垂直走査により、走査パルスがゲート線 54 - 1 ~ 54 - m に順次出力されると、表示部 32 の各画素が行 (ライン) 単位で順に選択される。そして、この選択された 1 ライン分の画素に対して、DA 変換回路 363 から出力される 1 ライン分のアナログ表示信号 Sig がデータ線 55 - 1 ~ 55 - n を経由して一斉に書き込まれる。このライン単位の書き込み動作が繰り返されることにより、1 画面分の画表示が行われる。

【 0045 】

CS ドライバ 38 は、先述した CS 電位を生成し、図 5 の CS 線 57 を介して保持容量 53 の他方の電極に対して各画素共通に与える。ここで、表示信号の振幅を例えば 0 - 3.3 V とすると、VCOM 反転駆動を採用する場合には、CS 電位は低レベルを 0 V (グラウンドレベル) 、高レベルを 3.3 V 間として交流反転を繰り返すことになる。

30

【 0046 】

VCOM ドライバ 39 は、先述した VCOM 電位を生成する。VCOM ドライバ 39 から出力される VCOM 電位は、フレキシブルケーブル 40 を介して一度ガラス基板 31 の外部に出力される。この基板外に出力された VCOM 電位は VCOM 調整回路 41 を経由した後、フレキシブルケーブル 40 を介して再びガラス基板 31 内に入力され、図 5 の VCOM 線 56 を介して液晶セル 52 の対向電極に対して各画素共通に与えられる。

【 0047 】

ここで、VCOM 電位としては、CS 電位とほぼ同じ振幅の交流電圧が用いられる。ただし、実際には、図 5 において、データ線 54 から TFT 51 を通して液晶セル 52 の画素電極に信号を書き込む際に、寄生容量などに起因して TFT 51 で電圧降下が生じることから、VCOM 電位としては、その電圧降下分だけ DC シフトした交流電圧を用いる必要がある。この VCOM 電位の DC シフトを VCOM 調整回路 41 が担う。

40

【 0048 】

VCOM 調整回路 41 は、VCOM 電位を入力とするコンデンサ C と、このコンデンサ C の出力端と外部電源 VCC との間に接続された可変抵抗 VR と、コンデンサ C の出力端とグランドとの間に接続された抵抗 R とから構成され、液晶セル 52 の対向電極に与える VCOM 電位の DC レベルを調整する、即ち VCOM 電位に対して DC オフセットをかける。

50

【 0 0 4 9 】

上記構成の液晶表示装置では、表示部 3 2 と同一のパネル（ガラス基板 3 1 ）上に、水平ドライバ 3 6 および垂直ドライバ 3 7 に加えて、インターフェース回路 3 3、タイミングジェネレータ 3 4、基準電圧ドライバ 3 5、CSドライバ 3 8 および VCOMドライバ 3 9 などの周辺の駆動回路を一体的に搭載したことにより、全駆動回路一体型の表示パネルを構成でき、外部に別の基板や IC、トランジスタ回路を設ける必要がないため、システム全体の小型化および低コスト化が可能になる。

【 0 0 5 0 】

この駆動回路一体型液晶表示装置において、表示部 3 2 を駆動するための各種のタイミング信号を生成するタイミングジェネレータ 3 4 として、先述した実施形態に係るタイミング発生回路が用いられる。図 1 に示すタイミング発生回路において、レベルシフト回路 1 1, 1 4 はインターフェース回路 3 3 に対応し、TFF 1 2, 1 3、パルス生成回路 1 5 およびバッファ 1 6, 1 7 はタイミングジェネレータ 3 4 に対応する。

10

【 0 0 5 1 】

そして、レベルシフト回路 1 1 でレベルシフトされたマスタークロック $lsmck$ は、当該マスタークロック $lsmck$ を基準に動作する回路、具体的には水平ドライバ 3 6 のデータサンプリングラッチ回路 3 6 2 に与えられる。また、TFF 1 2 で生成されたドットクロック DCk は、当該ドットクロック DCk を基準に動作する回路、具体的にはシリバラ変換回路 4 2 に与えられ、TFF 1 3 で生成された水平クロック HCK は、当該水平クロック HCK を基準に動作する回路、具体的には水平ドライバ 3 6 の水平シフトレジスタ 3 6 1 に与えられる。

20

【 0 0 5 2 】

このように、タイミングジェネレータ 3 4 として、先述した実施形態に係るタイミング発生回路が用いられることで、当該タイミング発生回路は、素子特性のばらつきが大きく、プロセスルールが粗いトランジスタを用いて各回路を絶縁基板上に形成した場合でも動作マージンを大きくとることができるため、TFTを用いて周辺の駆動回路を透明絶縁基板上に表示部 3 1 と一体的に形成してなる動作マージンの大きい液晶表示装置を作製することができる。

【 0 0 5 3 】

なお、本適用例では、表示素子として液晶セルを用いてなる液晶表示装置に適用した場合を例に挙げて説明したが、この適用例に限られものではなく、表示素子として EL (electroluminescence; エレクトロルミネッセンス) 素子を用いてなる EL 表示装置など、表示部と同一の基板上にレベルシフト回路を搭載してなる表示装置全般に適用可能である。

30

【 0 0 5 4 】

上述した適用例に係る液晶表示装置に代表される表示装置は、携帯電話機や PDA (Personal Digital Assistants; 携帯情報端末) に代表される小型・軽量の携帯端末の画面表示部として用いて好適なものである。

【 0 0 5 5 】

図 6 は、本発明に係る携帯端末、例えば PDA の構成の概略を示す外観図である。

【 0 0 5 6 】

本例に係る PDA は、例えば、装置本体 6 1 に対して蓋体 6 2 が開閉自在に設けられた折り畳み式の構成となっている。装置本体 6 1 の上面には、キーボードなどの各種のキーが配置されてなる操作部 6 3 が配置されている。一方、蓋体 6 2 には、画面表示部 6 4 が配置されている。この画面表示部 6 4 として、先述した実施形態に係るタイミング発生回路を、表示部と同一基板上にタイミングジェネレータとして搭載してなる液晶表示装置が用いられる。

40

【 0 0 5 7 】

先述した実施形態に係るタイミング発生回路を液晶表示装置のタイミングジェネレータとして用いることで、動作マージンの大きい駆動回路一体型液晶表示装置を構成できるため、当該液晶表示装置を画面表示部 6 4 として搭載することにより、PDA 全体の構成を簡

50

略化でき、小型化、低コスト化に寄与できることになる。

【 0 0 5 8 】

なお、ここでは、PDAに適用した場合を例に採って説明したが、この適用例に限られるものではなく、本発明に係る液晶表示装置は、特に携帯電話機など小型・軽量の携帯端末全般に用いて好適なものである。

【 0 0 5 9 】

【発明の効果】

以上説明したように、本発明によれば、絶縁基板上に低温ポリシリコンあるいは連続粒界結晶シリコンを用いて形成され、基板外部から入力されるクロック信号に同期して周波数が異なる水平駆動系の複数のタイミング信号を生成する複数のフリップフロップを有するタイミング発生回路を周辺駆動回路の一つとして用いた表示装置において、これら複数のフリップフロップを少なくとも2系統に分けて異なるタイミングで別々にリセットすることで、早いタイミングでリセットが必要なフリップフロップと、それよりも遅いタイミングでリセットが必要なフリップフロップとに分けてリセット動作を行うことができ、それぞれのフリップフロップに対して最適なりセットタイミングを設定できるため、素子特性のばらつきが大きく、プロセスルールが粗いトランジスタを用いて各回路を形成した場合でも、動作マージンを大きくとることが可能になる。

10

【図面の簡単な説明】

【図1】本発明の一実施形態に係るタイミング発生回路の構成例を示す回路図である。

【図2】本実施形態に係るタイミング発生回路の回路動作の説明に供するタイミングチャートである。

20

【図3】図2の要部を拡大して示すタイミングチャートである。

【図4】本発明に係る液晶表示装置の構成例を示すブロック図である。

【図5】画素の構成の一例を示す回路図である。

【図6】本発明に係るPDAの構成の概略を示す外観図である。

【図7】従来例に係るタイミング発生回路の構成の一例を示す回路図である。

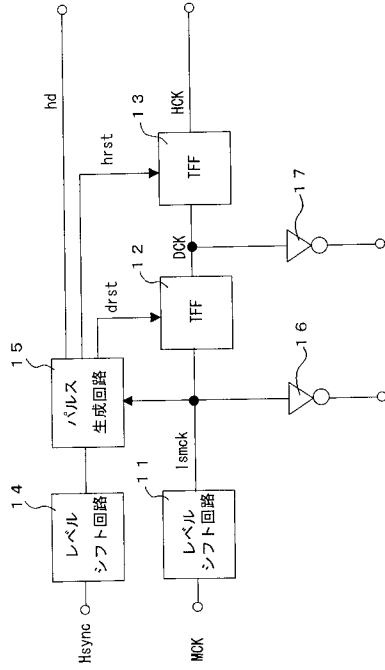
【図8】従来例に係るタイミング発生回路の回路動作の説明に供するタイミングチャートである。

【符号の説明】

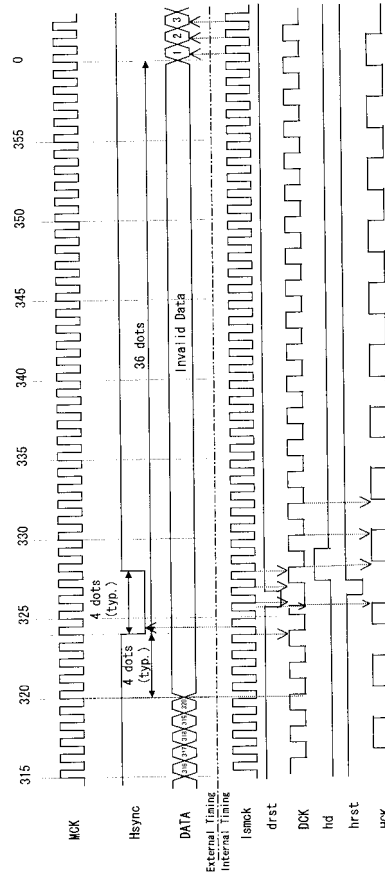
11, 14 ... レベルシフト回路、12, 13 ... TFF (T型フリップフロップ)、15 ... パルス生成回路、16, 17 ... バッファ、31 ... ガラス基板、32 ... 表示部、33 ... インターフェイス (IF) 回路、34 ... タイミングジェネレータ (TG)、36 ... 水平ドライバ、37 ... 垂直ドライバ、38 ... CSドライバ、39 ... VCOMドライバ、41 ... VCOM調整回路、42 ... シリパラ変換回路、50 ... 画素、51 ... TFT (画素トランジスタ)、52 ... 液晶セル、53 ... 保持容量

30

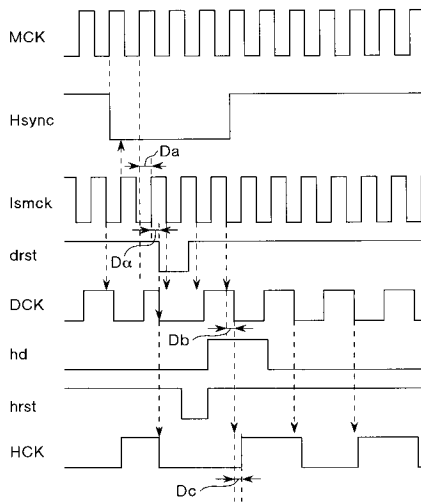
【図1】



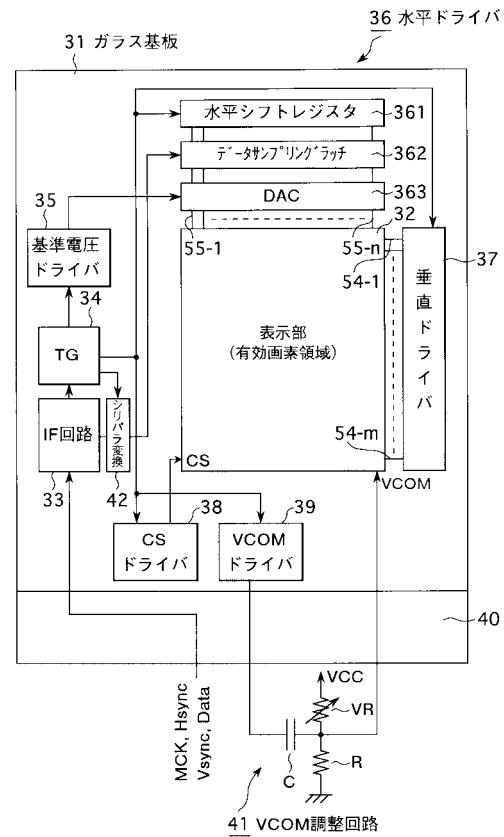
【図2】



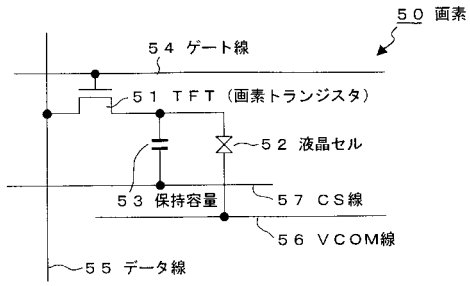
【図3】



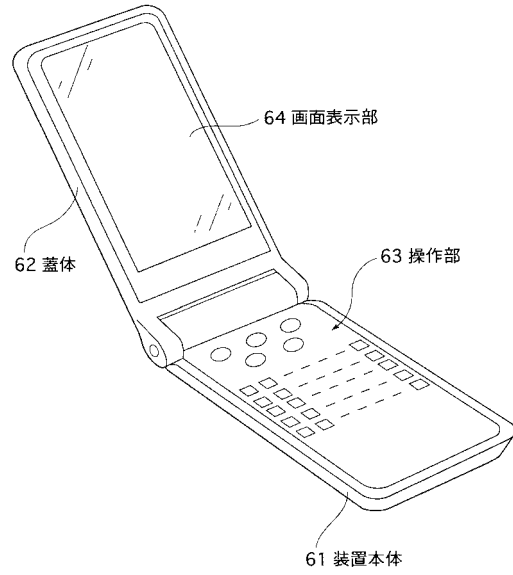
【図4】



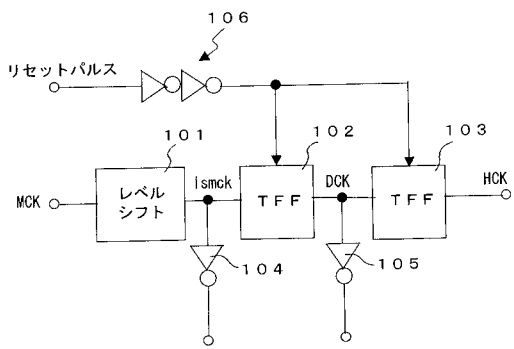
【図5】



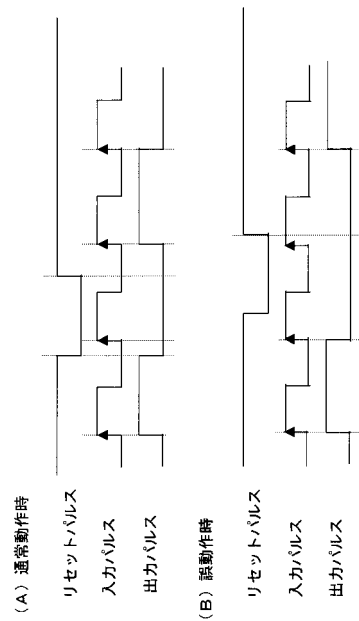
【図6】



【図7】



【図8】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 E
G 0 9 G 3/20 6 8 0 T
H 0 1 L 29/78 6 1 2 B
H 0 1 L 29/78 6 1 4

審査官 濱本 禎広

(56)参考文献 特開平05 - 041812 (JP, A)
特開平04 - 195192 (JP, A)
特開平07 - 092934 (JP, A)
特開昭62 - 003574 (JP, A)
特開2001 - 100712 (JP, A)
特開昭63 - 085599 (JP, A)
特開2001 - 265289 (JP, A)
特開2002 - 116424 (JP, A)
特開平01 - 189284 (JP, A)
特開昭61 - 260770 (JP, A)
特開2002 - 246902 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00-3/38

H01L 29/78

H04N 5/06