



(12) 发明专利

(10) 授权公告号 CN 102571073 B

(45) 授权公告日 2015. 07. 08

(21) 申请号 201110439666. 3

(22) 申请日 2005. 02. 28

(30) 优先权数据

10/814, 943 2004. 03. 30 US

(62) 分案原申请数据

200580010432. X 2005. 02. 28

(73) 专利权人 利益逻辑公司

地址 美国内华达州

(72) 发明人 P·M·帕尼 B·S·廷

(74) 专利代理机构 北京润平知识产权代理有限公司 11283

代理人 周建秋 王凤桐

(51) Int. Cl.

H03K 19/177(2006. 01)

(56) 对比文件

CN 1537376 A, 2004. 10. 13,

CN 1128589 A, 1996. 08. 07,

US 2003052712 A1, 2003. 03. 20,

US 5880597 A, 1999. 03. 09,

US 6181162 B1, 2001. 01. 30,

审查员 谢宜瑾

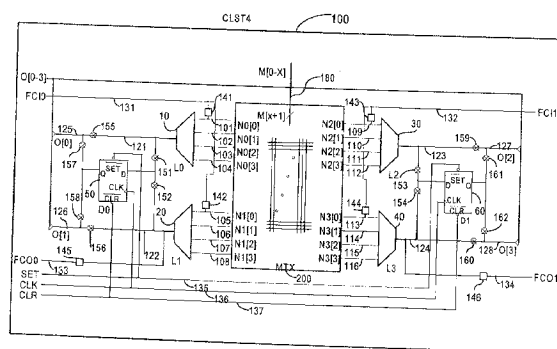
权利要求书2页 说明书12页 附图13页

(54) 发明名称

集成电路及其制造方法

(57) 摘要

本发明提供了一种集成电路以及一种制造集成电路的方法。一种可扩展的非阻断交换网络，具有开关 (151-160) 和中介 (分级的) 导体用于在各个互连资源的约束内以无限制方式将第一组导体连接到其他多组导体。所述交换网络 (200) 应用广泛，协同或者级联的提供网络、路由器以及可编程逻辑电路中使用的大型交换网络。所述交换网络用于通过该交换网络将第一组导体 (101-104) 连接到给定逻辑电路分级中的多组导体，从而所述多组导体中各组中的导体为等效或者可互换的，使得所述第一组导体在下一级分级电路中使用等效。所述交换网络可以扩展到很大的导体组并且可以分级使用以实现大型电路中的可编程互连。



1. 一种集成电路,包括 L 级可交换的交换网络 (L-PSN) ;

其中该 L-PSN 包括 (L+2) 级导体和 (L+1) 组开关 ;

其中该 (L+2) 级导体包括 :

对于每个 $i = [1:L]$, $(I[i]/D[i]) > 1$, $L > 1$ 时 $D[1] > 1$, $L = 1$ 时 $D[1] > 2$ 并且至少一个 j , 其中对于从 $j = [1:L]$ 中选择的 j , $D[j] > 2$, 第 i 级导体包括 $I[i]$ 个导体, 该 $I[i]$ 个导体包括 $D[i]$ 组导体, 其中该 $D[i]$ 组导体中的每一组导体包括 $(I[i]/D[i])$ 个导体 ;

具有 $I[0]$ 个导体的第 0 级导体, 其中 $(I[0]/\prod_{i=[1:L]} D[i]) > 1$;

具有包括 $D[L+1]$ 组导体的 $I[L+1]$ 个导体的第 (L+1) 级导体, 其中 $D[L+1] > 2$, 所述 $D[L+1]$ 组导体中的每一组导体包括 $(I[L+1]/D[L+1])$ 个导体且 $(I[L+1]/D[L+1]) = \prod_{i=[1:L]} D[i]$;

其中对于 $i = [1:L+1]$, 其中 $T[i] = (I[i-1]-D[i]+1)$, 所述 (L+1) 组开关中的每第 i 组开关包括至少 $(T[i] \times D[i])$ 个开关 ;

其中所述第 (L+1) 级导体中的 $D[L+1]$ 组导体中的每组导体中的 $\prod_{i=[1:L]} D[i]$ 个导体物理地连接到选自交换网络和逻辑单元的对应模块的对应数量的引脚 ;

其中对于每个 $i = [1:L+1]$, 第 (i-1) 级导体中的 $I[i-1]$ 个导体中的至少 $T[i]$ 个导体在不需要任何其他导体跨越的情况下通过所述第 i 组开关中各自的多个至少 $T[i]$ 个开关选择性地耦合到所述第 i 级导体中的 $D[i]$ 组导体中的每一组导体中的 $(I[i]/D[i])$ 个导体。

2. 根据权利要求 1 所述的集成电路, 其中对于至少一个从 $j = [1:L+1]$ 中选择的 j , $D[j]$ 组导体中的每一组导体中的 $(I[j]/D[j])$ 个导体中的每一个导体在不需要任何其他导体跨越的情况下通过对应的多个至少 $(T[j]/(I[j]/D[j]))$ 个开关选择性地耦合到所述至少 $T[j]$ 个导体中的至少 $(T[j]/(I[j]/D[j]))$ 个导体。

3. 根据权利要求 1 所述的集成电路, 其中对于至少一个从 $j = [1:L+1]$ 中选择的 j , $T[j] = I[j-1]$ 。

4. 根据权利要求 3 所述的集成电路, 其中 $D[j]$ 组导体中的每一组导体中的 $(I[j]/D[j])$ 个导体中的每一个导体在不需要任意其他导体跨越的情况下通过对应的多个至少 $(I[j-1]/I[j]) \times D[j]$ 个开关选择性地耦合到 $I[j-1]$ 个导体中的至少 $(I[j-1]/I[j]) \times D[j]$ 个导体。

5. 一种制造集成电路的方法, 该方法包括 :

制造 L 级可交换的交换网络 (L-PSN),

其中该 L-PSN 包括 (L+2) 级导体和 (L+1) 组开关 ;

其中所述 (L+2) 级导体包括 :

对于每个 $i = [1:L]$, $(I[i]/D[i]) > 1$, $L > 1$ 时 $D[1] > 1$, $L = 1$ 时 $D[1] > 2$ 并且至少一个 j , 其中对于从 $j = [1:L]$ 中选择的 j , $D[j] > 2$, 第 i 级导体包括 $I[i]$ 个导体, 该 $I[i]$ 个导体包括 $D[i]$ 组导体, 其中所述 $D[i]$ 组导体中的每一组导体包括 $(I[i]/D[i])$ 个导体 ;

具有 $I[0]$ 个导体的第 0 级导体, 其中 $(I[0]/\prod_{i=[1:L]} D[i]) > 1$;

具有包括 $D[L+1]$ 组导体的 $I[L+1]$ 个导体的第 (L+1) 级导体, 其中 $D[L+1] > 2$, 所述 $D[L+1]$ 组导体中的每一组导体包括 $(I[L+1]/D[L+1])$ 个导体且 $(I[L+1]/D[L+1]) = \prod_{i=[1:L]} D[i]$;

其中对于 $i = [1:L+1]$, 其中 $T[i] = (I[i-1]-D[i]+1)$, 所述 $(L+1)$ 组开关中的每第 i 组开关包括至少 $(T[i] \times D[i])$ 个开关;

将所述第 $(L+1)$ 级导体中的 $D[L+1]$ 组导体中的每组导体中的 $\prod_{i=[1:L]} D[i]$ 个导体物理地连接到选自交换网络和逻辑单元的对应模块的对应数量的引脚; 以及

对于每个 $i = [1:L+1]$, 将第 $(i-1)$ 级导体中的 $I[i-1]$ 个导体中的至少 $T[i]$ 个导体在不需要任何其他导体跨越的情况下通过第 i 组开关中各自的多个至少 $T[i]$ 个开关选择性地耦合到所述第 i 级导体中的 $D[i]$ 组导体中的每一组导体中的 $(I[i]/D[i])$ 个导体。

6. 根据权利要求 5 所述的方法, 该方法还包括: 对于至少一个从 $j = [1:L+1]$ 中选择的 j , 将 $D[j]$ 组导体中的每一组导体中的 $(I[j]/D[j])$ 个导体中的每一个导体在不需要任何其他导体跨越的情况下通过对应的多个至少 $(T[j]/(I[j]/D[j]))$ 个开关选择性地耦合到所述至少 $T[j]$ 个导体中的至少 $(T[j]/(I[j]/D[j]))$ 个导体。

7. 根据权利要求 5 所述的方法, 其中, 对于至少一个从 $j = [1:L+1]$ 中选择的 j , $T[j] = I[j-1]$ 。

8. 根据权利要求 7 所述的方法, 该方法还包括将所述 $D[j]$ 组导体中的每一组导体中的 $(I[j]/D[j])$ 个导体中的每一个导体在不需要任意其他导体跨越的情况下通过对应的多个至少 $(I[j-1]/I[j]) \times D[j]$ 个开关选择性地耦合到 $I[j-1]$ 个导体中的至少 $(I[j-1]/I[j]) \times D[j]$ 个导体。

集成电路及其制造方法

[0001] 本申请是申请日为 2005 年 2 月 28 日、申请号为 200580010432. X、名称为“可编程逻辑的可扩展非阻断交换网络”的中国发明专利申请的分案申请。

技术领域

[0002] 本发明的实施例涉及交换网络，并且尤其涉及使用了可编程逻辑电路的交换网络。

背景技术

[0003] 可编程逻辑电路也称为现场可编程门阵列 (FPGA)，是通用的集成逻辑电路，可以由用户编程以执行逻辑功能。电路设计者定义所需的逻辑功能并且电路被编程为按此处理信号。就逻辑密度需求和生产量而言，可编程逻辑电路在成本和时间方面为市场中的较优选择。典型的可编程逻辑电路由逻辑单元组成，其中各个逻辑单元可以编程为根据其输入变量执行逻辑功能。并且，在整个可编程逻辑电路中提供互连资源，所述互连资源可以编程为根据用户指定而将信号从逻辑单元的输出传送到逻辑单元的输入。

[0004] 随着技术进步，可以实现更大规模更复杂的可编程逻辑电路，电路中逻辑单元的数量和所需的互连资源数量均增加。与逻辑单元和互连资源不断增加的数量相对应的是需要将电路保持在较小尺寸。一种最小化所需的电路尺寸的方法是最小化互连资源，同时保持一定级别的连接性。因此，随着芯片上实现的功能增加，需要连接大量信号的互连资源可能迅速被耗尽。折衷办法是在将电路保持在较小尺寸的同时提供更低的逻辑单元利用率，或者提供更多的连接资源，但是这样可能大幅度增加电路尺寸。

[0005] 在可编程逻辑电路领域过去四十年的发展中连接方式越来越复杂。L. M. Spandorfer 在 1965 年描述了使用领域互连和使用 Clos 网络中的开关通过多个导体进行连接的可能的可编程逻辑电路的实现。R. G. Shoup 在 1970 年他的博士论文中同时描述了使用领域互连和使用总线进行更长距离的互连。

[0006] Freeman 在 1989 年的美国专利 4,870,302 中描述了使用领域互连、短距离（长度 1，称为单长度）互连以及例如时钟等信号的全局连接线的 FPGA 的商业实现。短距离互连与逻辑单元的输入和输出交互，其中各个输入通过开关连接到与逻辑单元相邻的各个短线并且水平和垂直短线通过接头中的开关盒连接。El Gamal 等人在美国专利 4,758,745 中介绍了分段连接，其中逻辑单元的输入和输出与一维中不同长度的连接片段交互。

[0007] Peterson 等人在美国专利 5,260,610 中以及 Cliff 等人在美国专利 5,260,611 中介绍了与逻辑元件组连接的本地导体组，其中逻辑元件的各个输入通过开关连接到所述组中的各个本地导体。同时在水平方向和垂直方向上引入附加芯片长度导体，其中水平导体可以连接到垂直导体并且水平导体连接到多个本地导体。在美国专利 4,870,302、4,758,745、5,260,610 以及 5,260,611 中，逻辑单元的输入导体具有与所述本地导体组的全部连接（例如对于 n 输入和 k 本地导体，具有 $n \times k$ 个开关将输入连接到本地导体。还可以使用多路复用器 (MUX) 方法以减少晶体管数量）。在美国专利 4,870,302、4,758,745、

5, 260, 610 以及 5, 260, 611 中,所有的互连资源被限制为一种或者两种不同的长度(即美国专利 4, 870, 302 中的单长度,美国专利 5, 260, 610 和 5, 260, 611 中的本地和芯片长度)或者限制为一维(即美国专利 4, 758, 745 中水平方向上的不同长度,美国专利 5, 260, 610 和 5, 260, 611 中的垂直方向上的本地长度)。

[0008] Camarota 等人在美国专利 5, 144, 166 中以及 Kean 在美国专利 5, 469, 003 中介绍了在二维中通过超过两种的不同长度的连接方法,但是限制了导体的范围。美国专利 5, 144, 166 允许各个线路选择性的通过超过一个的可能的驱动源进行驱动,但是美国专利 5, 469, 003 由于各个线路硬连接到 MUX 输出而受限于单方向。在美国专利 5, 144, 166 和 5, 469, 003 中提供的连接性非常低,因为每个连接是相邻或者相对本地的,或者逻辑单元自身可以作为互连资源而不是执行逻辑功能。Ting 在美国专利 5, 457, 410、6, 507, 217、6, 051, 991、6, 597, 196 中描述了多级架构,其中多种长度的导体通过分级的逻辑单元中的开关进行互连。

[0009] Young 等人在美国专利 2001/0007428 和美国专利 5, 914, 616 中描述了在二维中具有多种长度(每一维中三种长度)的线路的架构,其中对于短的本地连接,使用了近邻交叉条方法(near cross-bar scheme),其中一组逻辑单元输出被多路复用到减少的一组输出端口,然后所述输出端口连接到其他互连资源。较长的线路通常在各维中扇入(fan-in)长度更短的线路。Reddy 等人在美国专利 6, 417, 694 中公开了另一种架构,其中使用了超区域间、区域间以及本地的导体。在最低层对本地线路使用交叉条方法(使用 MUX)从而能够对逻辑元件的输入进行通用访问。Reddy 等人在美国专利 5, 883, 526 中公开了在本地交叉条中具有电路缩减技术的各种方法。

[0010] 在分级电路的底层,通常使用具有四个输入的查找表(LUT)逻辑单元。使用 LUT 作为底层逻辑单元有两个优点。一个优点是电路允许对任何四个输入、一个输出的布尔函数进行可编程控制。另一个优点是四个输入可以互换并且逻辑等效。因此不管哪个信号连接到 LUT 的哪个输入引脚,只要四个信号连接到 LUT 的四个输入,LUT 均能正常工作。

[0011] 在所有的可编程逻辑电路中需要解决的一个共同问题是互连接性,即如何将传送信号的第一组导体连接到多组导体以接收这些信号,其中发出所述信号的逻辑单元和接收所述信号的逻辑单元分布在集成电路中的广泛区域中(即 M 个逻辑单元的 M 个输出,其中各个输出连接到多个逻辑单元的输入)。一种高度理想化但是在很多情况下并不现实的解决方案是使用交叉条开关,其中第一组中的各个导体可以通过开关直接连接到多组导体中的各个导体。现有解决方案在某种程度上试图将连接性问题使用逐个击破的办法划分为多个子块,其中本地的逻辑单元群互相连接并且通过本地连接的延伸或者使用更长距离的连接而延伸到其他的逻辑单元群。这些现有的互连方法很特别并且在很大程度上是基于经验的。理想的连接模型或者互连架构应当确保完全的可连接性,使得大量的输入和输出在任何时候在大部分电路上(通过可编程互连导体)连接到多组导体。

[0012] 需要复杂的软件跟踪互连资源,同时在使用可编程逻辑电路实现定制设计的布局布线阶段需要使用算法改善互连接性。因此,需要一种新的可编程逻辑电路的互连方法,其中在更全局的范围内可以确保连接性或者互连性,同时互连的成本保持很低,因为所需要的开关和实现定制设计时确定布局布线的软件复杂性得以简化。

发明内容

[0013] 本发明提供了一种集成电路,包括 L 级可交换的交换网络 (L-PSN);其中该 L-PSN 包括 (L+2) 级导体和 (L+1) 组开关;其中该 (L+2) 级导体包括:对于每个 $i = [1:L]$, $(I[i]/D[i]) > 1, D[1] > 1, L \geq 1$, 至少一个 j, 其中对于从 $j = [1:L]$ 中选择的 j, $D[j] > 2$, 第 i 级导体包括 I[i] 个导体, 该第 i 级导体包括 D[i] 组导体, 其中该 D[i] 组导体中的每一组导体包括 $(I[i]/D[i])$ 个导体;具有 I[0] 个导体的第 0 级导体, 其中 $(I[0]/\prod_{i=[1:L]} D[i]) > 1$;具有包括 D[L+1] 组导体的 I[L+1] 个导体的第 (L+1) 级导体, 其中 $D[L+1] > 2$, 所述 D[L+1] 组导体中的每一组导体包括 $(I[L+1]/D[L+1])$ 个导体且 $(I[L+1]/D[L+1]) = \prod_{i=[1:L]} D[i]$;其中对于 $i = [1:L+1]$, 其中 $T[i] = (I[i-1]-D[i]+1)$, 所述 (L+1) 组开关中的每第 i 组开关包括至少 $(T[i] \times D[i])$ 个开关;其中所述第 (L+1) 级导体中的 D[L+1] 组导体中的每组导体中的 $\prod_{i=[1:L]} D[i]$ 个导体物理地连接到选自交换网络和逻辑单元的对应模块的对应数量的引脚;其中对于每个 $i = [1:L+1]$, 第 (i-1) 级导体中的 I[i-1] 个导体中的至少 T[i] 个导体在不需要任何其他导体跨越的情况下通过所述第 i 组开关中各自的多个至少 T[i] 个开关选择性地耦合到所述第 i 级导体中的 D[i] 组导体中的每一组导体中的 $(I[i]/D[i])$ 个导体。

[0014] 本发明还提供一种制造集成电路的方法,该方法包括:制造 L 级可交换的交换网络 (L-PSN), 其中该 L-PSN 包括 (L+2) 级导体和 (L+1) 组开关;其中所述 (L+2) 级导体包括:对于每个 $i = [1:L]$, $(I[i]/D[i]) > 1, D[1] > 1, L \geq 1$, 至少一个 j, 其中对于从 $j = [1:L]$ 中选择的 j, $D[j] > 2$, 第 i 级导体包括 I[i] 个导体, 该第 i 级导体包括 D[i] 组导体, 其中所述 D[i] 组导体中的每一组导体包括 $(I[i]/D[i])$ 个导体;具有 I[0] 个导体的第 0 级导体, 其中 $(I[0]/\prod_{i=[1:L]} D[i]) > 1$;具有包括 D[L+1] 组导体的 I[L+1] 个导体的第 (L+1) 级导体, 其中 $D[L+1] > 2$, 所述 D[L+1] 组导体中的每一组导体包括 $(I[L+1]/D[L+1])$ 个导体且 $(I[L+1]/D[L+1]) = \prod_{i=[1:L]} D[i]$;其中对于 $i = [1:L+1]$, 其中 $T[i] = (I[i-1]-D[i]+1)$, 所述 (L+1) 组开关中的每第 i 组开关包括至少 $(T[i] \times D[i])$ 个开关;将所述第 (L+1) 级导体中的 D[L+1] 组导体中的每组导体中的 $\prod_{i=[1:L]} D[i]$ 个导体物理地连接到选自交换网络和逻辑单元的对应模块的对应数量的引脚;以及对于每个 $i = [1:L+1]$, 将第 (i-1) 级导体中的 I[i-1] 个导体中的至少 T[i] 个导体在不需要任何其他导体跨越的情况下通过第 i 组开关中各自的多个至少 T[i] 个开关选择性地耦合到所述第 i 级导体中的 D[i] 组导体中的每一组导体中的 $(I[i]/D[i])$ 个导体。

附图说明

[0015] 本发明的目标、特征和优点通过下面的详细描述是显见的,其中:

[0016] 图 1 显示了使用可扩展的非阻断交换网络 (SN) 的具有四个四输入的逻辑单元和两个双稳态多谐振荡器的电路的实施例;

[0017] 图 2 显示了使用具有十一个 M 导体访问四组、每组四个 N 导体的 0 级 (stage-0) 可扩展的非阻断交换网络 (0-SN) 的电路的一个实施例;

[0018] 图 3 显示了使用两个 0 级可扩展的非阻断交换网络的电路的一个实施例,其中各个 0-SN 使用五个 M 导体访问四组、每组两个 N 导体;

[0019] 图 4 显示了使用 1 级可扩展的非阻断交换网络 (1-SN) 的电路的一个实施例,其中

十一个 M 导体通过 N 组四个中介导体访问四组、每组四个 N 导体；

[0020] 图 5 显示了使用 1 级可扩展的非阻断交换网络的电路的一个实施例，其中十二个 M 导体通过更少的中介导体访问四组、每组四个 N 导体；

[0021] 图 6 显示了使用 1 级可扩展的非阻断交换网络的电路的一个实施例，其中十二个 M 导体通过更强的可连接性访问四组、每组四个 N 导体；

[0022] 图 7 显示了具有更少开关的缩减的 1 级可扩展的非阻断交换网络的一个实施例；

[0023] 图 8 显示了更大尺寸的 1 级可扩展的非阻断交换网络的一个实施例；

[0024] 图 9 显示了具有十六个 M 导体的 1 级可扩展的非阻断交换网络的一个实施例；

[0025] 图 10 为显示 2 级可扩展的非阻断交换网络 (2-SN) 和具有四个图 1 所示的逻辑电路的电路的一个实施例的结构图，其中所述各个逻辑电路使用图 9 所示的可扩展的非阻断交换网络；

[0026] 图 11A 显示了图 10 所示的 2 级可扩展的非阻断交换网络的实施例的结构图；

[0027] 图 11B 显示了图 11A 所示的 2 级可扩展的非阻断交换网络的第一部分的一个实施例；以及

[0028] 图 12 显示了实现图 11A 所示的 2-SN 的第二部分的 1 级可扩展的非阻断交换网络的一个实施例。

具体实施方式

[0029] 首先描述了一种新型的可扩展的非阻断交换网络 (SN)，其中使用开关并且包括中介的导体级将第一组导体连接到多组导体，其中所述第一组导体中的各个导体能够通过 SN 连接到所述多组导体中的各个导体。所述可扩展的非阻断交换网络应用广泛，不管在单级或者多级分层中使用均能提供在开关、路由器以及可编程逻辑电路中使用的大型交换网络。可扩展的非阻断交换网络被用于通过所述 SN 将第一组导体连接到多组导体，其中所述多组导体中的各个导体为等价或者可互换的，例如，所述多组导体中的一组导体为逻辑单元的输入（可以为 LUT 的输入或者分级的逻辑单元的输入）。本发明的可扩展的非阻断交换网络允许所述第一组导体的任何子集通过所述 SN 连接到第二多组导体中的导体，从而所述子集中的各个导体可以连接到所述多组导体中各组的各个导体。

[0030] 在下面的描述中，给出了大量特定细节以进行解释，从而提供对本发明的全面的理解。显然，对于本领域技术人员而言，本发明的实施例可以实施为不具有这些特定细节。在其他实施例中，公知的结构和电路以结构图形式显示以避免对本发明的不必要的模糊。为了进行描述，除非特别说明，术语程序控制开关和开关在本说明书中是可以互换的；术语程序配置的逻辑单元、逻辑单元、单元、查找表 (LUT)、可编程逻辑单元在本说明书中是可以互换的；术语导体、信号、引脚、端口、线路在本说明书中是可以互换的。还应当注意，本发明描述了使用程序控制设备以设置所使用的开关的状态的实施例，所述控制设备可以为一次性的，例如熔丝 / 反熔丝 (fuse/anti-fuse) 技术，或者可重复编程的，例如 SRAM (易失的)，FLASH (非易失的)，铁电材料 (Ferro-electric) (非易失的) 等等。因此本发明适合于各种工艺，包括但不限于静态随机访问存储器 (SRAM)，动态随机访问存储器 (DRAM)，熔丝 / 反熔丝，可擦除可编程只读存储器 (EPROM)，电擦除可编程只读存储器 (EEPROM) 例如 FLASH，以及铁电材料工艺。

[0031] 在此描述的可编程逻辑电路中采用的可扩展的非阻断交换网络的概念可以被一般性的应用以允许多个导体与多组导体之间非限制性的连接,只要所需连接没有超过可用的导体数量。

[0032] 当程序控制的开关被用于对导体进行互连时,驱动器电路可以耦合到所述开关以提高信号通过这些导体的速度。并且,如果多个导体(信号)通过程序控制开关扇入到一个导体,则可以在需要时根据所使用的工艺技术使用 MUX 方法以减少导体负荷或者减小电路尺寸或者二者兼有。在使用 MUX 的情况下,多个开关被转换为新的开关机制,其中有效状态的数量与开关数量相同,通过选择特定状态(在使用多个开关时对应于特定开关)以连接两个导体,并且所述状态通过可编程控制而确定。

[0033] 描述了各种类型的可扩展的非阻断交换网络,包括但不限于:0 级可扩展的非阻断交换网络(0-SN),1 级可扩展的非阻断交换网络(1-SN),2 级可扩展的非阻断交换网络(2-SN),以及对多级可扩展的非阻断交换网络的扩展,使用分级的可扩展的非阻断交换网络为可编程逻辑电路提供互连接性。

[0034] 图 1 显示了包含可扩展的非阻断交换网络 200 并且包含 k 个四输入逻辑单元(在此实施例中 $k = 4$) 10、20、30 和 40 以及两个双稳态多谐振荡器 50 和 60 的群(CLST4)电路 100 的实施例。各个逻辑单元 10-40 中,单元 10 具有四个输入 101-104($N_0[0-3]$),单元 20 具有四个输入 105-108($N_1[0-3]$),单元 30 具有四个输入 109-112($N_2[0-3]$),以及单元 40 具有四个输入 113-116($N_3[0-3]$),四个导体 121-124 分别作为单元 10-40 的四个输出。开关 151-156 和 159、160 用于控制逻辑单元输出驱动双稳态多谐振荡器还是逻辑单元直接输出到电路 100 的输出 125-128。双稳态多谐振荡器 50、60 使用开关 157、158、161 和 162 输出到电路 100 的输出 125-128。并且,导体 131 可以通过开关 141 驱动单元 10 的导体 101 并且通过开关 142 驱动单元 20 的导体 105。类似的,导体 132 可以分别通过开关 143 和 144 驱动单元 30 和 40。单元 20 可以通过输出 122 使用对导体 133 的开关 145 而驱动相邻的 CLST4 电路(图 1 中未显示)。单元 40 的输出 124 通过图 1 中的开关 146 驱动导体 134。三个其他信号 135-137 分别作为 SET、CLOCK 和 CLEAR 控制双稳态多谐振荡器。并且,图 1 具有 $(X+1)$ 个导体 180($M[0-X]$),使用交换网络 MTX 200 扇入以驱动十六个输入 101-116。导体 $M[0-X]$ 180 称为 M 导体,其中 M 等于图 1 中的实施例中导体的数量 $(X+1)$ 。对于 $i = [0-(k-1)]$ 的输入导体 $N_i[0-3]$ 101-116 称为 N_i 导体,其中 N_i 等于图 1 中的实施例中的输入数量(等于四)。作为示例,图 1 中显示了 $N_i = N = 4$ 。可替换的,各个 N_i 可以具有不同的大小而不会改变在此描述的连接特性。

[0035] 在图 2 显示的实施例中,图 1 中的 MTX 200 表示为 0 级可扩展的非阻断交换网络(0-SN) 300;各个 N 导体 101-116 可以连接到 M 导体的 $(M-N+1)$ 导体(例如图 1 中的导体 180) 201-211($M[0-10]$),因此图 2 所示的导体 101-116 的各个输入导体的开关数量对于图 2 中的 0-SN 300 为 $(M-N+1) = 8$ 。交换网络 0-SN 300 允许 M 导体 201-211 的任何子集使用 300 的开关驱动各个逻辑单元 10-40 中的一个输入导体而没有任何阻断,只要连接数量没有超过可用互连资源数量(即驱动任何逻辑单元的输入的 M 导体的数量不能超过逻辑单元的输入数量)。图 2 中的方法相对于交叉条连接是一种改进,其中代替包含 $M \times (k \times N) = 11 \times (4 \times 4) = 176$ 个开关的完全的开关阵列,开关的数量为 $(M-N+1) \times (k \times N) = 128$ 。图 2 中的 0-SN 300 允许上述连接性,其中假定各个逻辑单元的四个输入可以互换或者逻辑等

价（即图 1 中单元 10 的导体 101-104 为等价或者可互换的），从而在连接需求为将特定 M 导体连接到给定逻辑单元时仅需要将特定 M 导体（即 M[4] 导体 205）连接到给定逻辑单元的任何输入引脚（即图 1 中单元 10 的导体 101-104 中使用开关 222 的导体 101）。

[0036] 根据可编程电路中使用的技术，可以实现一定的面积最小化。例如，当使用具有六个晶体管的 SRAM 存储器单元对各个使用通过闸（passgate）实现的开关进行程序控制时，图 2 中每个输入线路 101 的八个开关 221-228 需要五十六个晶体管。相反的，可以使用具有三个存储比特的八个输入 MUX 以控制八个状态，从而有效替代八个 SRAM 比特和八个开关。在 MUX 方法中，三个比特、十四个通过闸（passgate）以及可能的一个取反器（用于重新产生信号）使用三十四晶体管，这相对于将八个 SRAM 存储器单元作为各个开关的程序控制中使用的五十六个晶体管有大幅减少。使用 MUX 实现可以减少导体 101 上的负荷，但是八对一的 MUX 会产生附加延迟。

[0037] 在图 3 所示的实施例中，图 1 中的 MTX 200 通过使用两个 0 级可扩展的非阻断交换网络 330 和 320 而表示，所述网络具有 $M = M_a + M_b = 10$ 个导体 301-310，包含子组 $M_a = [A0-A4] = 5$ 个导体 301-305 和 $M_b = [B0-B4] = 5$ 个导体 306-310。对于四个逻辑单元中的每一个的上部的两个输入导体（对于单元 10 包含导体 101-102，对于单元 20 包含导体 105-106，对于单元 30 为导体 109-110 以及对于单元 40 为导体 113-114）各个 $N_b = 2$ ，并且对于 $k = 4$ 个逻辑单元中的每一个的下部的两个输入导体（对于单元 10 包含导体 103-104，对于单元 20 包含导体 107-108，对于单元 30 为导体 111-112 以及对于单元 40 为导体 115-116） $N_a = 2$ 。对于图 3 中的全尺寸的 0 级可扩展的非阻断交换网络，每个输入导体具有 $(M-N+1) = 10-4+1 = 7$ 个程序控制的开关。相反的，在图 3 中的实施例中，输入开关的数量仅为四个，因为单独的 M_a 个导体和 M_b 个导体（ $M_a = M_b = 5$ ），并且数量 N 为拆分为两部分（ $N_a = N_b = 2$ ）。这样，网络 330 中每个输入导体的程序控制开关的数量为 $M_a - N_a + 1 = 5-2+1 = 4$ 并且网络 320 中每个输入导体使用的程序控制开关为 $M_b - N_b + 1 = 4$ 个。使用网络 330 连接到四个逻辑单元的下部两个输入的 M_a 导体 301-305 保持了图 2 所示的连接性（同样的，对于使用网络 320 连接到四个逻辑单元的上部两个输入的 M_b 导体 306-310 也类似），但是不能任意使用 $[A0-A4]$ 、 $[B0-B4]$ 扇入到四个逻辑单元。这种约束防止了通过图 3 中的两个 0-SN 320 和 330 将任意指定的 M 导体连接到 N 导体。然而，0 级可扩展的非阻断交换网络 320 和 330 可以为提供可编程逻辑电路的良好连接性的经济实现，同时在记录并且跟踪所允许的 M 导体的使用时的软件耗费比图 2 中的方法更复杂。图 3 允许十个中的至少八个 M 导体任意连接到四个逻辑单元的输入，其中各个导体使用网络 320 和 330 连接到四个逻辑单元中每一个的一个输入。此处的约束为十个导体不能如同图 2 中一样的任意分配。

[0038] 在本发明的实施例中，第一组导体使用交换网络连接到多组等价导体。因此提出了 0-SN，其中具有 $(M-N+1) \times N \times k$ 个开关用于提供第一组 M 个导体与 k 组、每组 N 个导体之间的无限制的连接，其中 M 导体的任何子集可以通过 0-SN 连接到 k 组、每组 N 个导体中任何一组的一个导体而没有任何阻断。

[0039] 图 4 显示了可替换的实施例方法，其中所述交换网络中使用的开关数量可以很大程度的减少而不改变 0-SN 的连接性。在图 4 所示的实施例中，图 1 中的 MTX 200 通过使用 1 级可扩展的非阻断交换网络（1-SN）而表示。1-SN 400 使用 1-SN 400 的两个开关以及一

个中介导体将导体 401-411 中的 M 导体连接到导体 101-116 中的 N 导体。图 4 中的 1-SN 400 通过首先经开关 437 连接到中介导体 454 然后经子网络 450 中的开关 441 连接到 N 导体 109 而将 M 导体 407 (M[6]) 连接到 N 导体 109, 而不是通过图 2 中的使用了 128 个开关的网络 300 将 M 导体 201-211 直接连接到 k 组 N 导体 101-116。类似的, 可以分别通过开关 442、443 和 444 经相同的中介导体 454 将相同的 M 导体 407 连接到 N 导体 101、105 和 113。图 4 中的 1-SN 400 具有九十六个开关, 这与图 2 中的 0-SN 300 相比开关数量减少了 25%。可以通过建立具有中介级互连的可扩展的非阻断交换网络而减少 0-SN 中所需的开关数量, 在所述中介级互连中, 各个 M 导体可以任意连接到 k 组 N 导体中任一组的导体。所述可扩展的非阻断交换网络能够将 M 导体连接到 k 组 N 导体中各组中的超过一个的导体, 然而, 在逻辑上并不需要连接到各组 N 导体中超过一个的导体。

[0040] 图 4 显示了具有 N 组中介导体 I_i ($i = [1-N]$) 的 1-SN 400, 其中有十一个 M 导体 401-411, 四组 N 导体, 101-104, 105-108, 109-112 以及 113-116, 并且 k 为 4。第一组中介导体 I_1 例如为与各个 N 导体的第一输入导体 101、105、109 和 113 关联的四个导体 451-454, 类似的, 导体 461-464 为与导体 104、108、112 和 116 关联的 I_4 导体。0-SN 中 N 导体中各个导体的 (M-N+1) 个开关分布在图 4 中对应的 I_i 导体中。例如, 耦合 M 导体 401-408 的八个开关 431-438 分布到 I_1 导体 451-454, 其中各个 I_i 导体耦合到 $[(M-N+1)/I_i]$ 个开关 (即两个)。在图 4 中的示例中, 各个 I_i 导体中的中介导体的数量为四个。通常的, 不同的 I_i 不需要为相同数量 (如下所述)。图 4 中的 1-SN 400 具有 $[(M-N+1) \times N + \sum_{i=1-N} (I_i \times k)] = 32+64 = 96$ 个开关, 其中 I_i 为 N 组 I_i 中介导体中各组的中介导体数量。图 4 中的 1-SN 400 允许与图 2 中的各个 0-SN 300 相同的连接性, 通过 1-SN 400 中的两个开关和一个中介导体将 M 导体中的任何导体连接到 k 组 N 导体中各组中的一个导体。

[0041] 在图 4 中的 1-SN 400 中, M 导体的任何 N 元组具有适当的开关选择以连接到不同的 N 组 I_i 导体。例如, 导体 401、404、405 以及 410 为 M 导体的四元组 ($N = 4$), 其中导体 401 通过开关 431 连接到 (I_1 导体的) 导体 451; 导体 404 通过开关 446 连接到 (I_2 导体的) 导体 466; 导体 405 通过开关 447 连接到 (I_3 导体的) 导体 467; 以及导体 410 通过开关 427 连接到 (I_4 导体的) 导体 464; M 导体的 N 元组的任何子集具有连接到中介导体的相同特性。并且, I_i 导体中的各个中介导体可以连接到 k 组 N 导体中各组中的一个 N 导体。例如, 导体 451-454 中的任何一个导体可以通过子网络 450 中的开关连接到导体 101、105、109 和 113。类似的, 导体 461-464 中的任何导体可以通过子网络 420 中的开关连接到导体 104、108、112 和 116。

[0042] 图 5 显示了表示图 1 中表示的 MTX 200 的 1-SN 的可替换实施例。在 1-SN 500 中, 具有十二个 M 导体 501-512, 四组 N 导体 101-116, 以及 N 组中介 I_i 导体 521-523, I_2 导体 524-526, I_3 导体 527-529, 以及 I_4 导体 530-532, 其中 $M = I_1 + I_2 + I_3 + I_4$ 或者 $I_i = M/N = 3$ 。图 5 中开关的数量为 $[(M-N+1) \times N + \sum_{i=1-N} (I_i \times k)] = 36+48 = 84$ 。对应的 0-SN 具有 144 个开关并且交叉条具有 192 个开关。图 5 中的 1-SN 500 的连接性与先前参考图 4 中的 1-SN 400 讨论的相同, 但是具有更少的中介导体和开关。图 4 和图 5 中的示例具有通过图 4 中的子网络 450 中的开关和图 5 中的子网络 540 中的开关分别连接到作为图 1 中的四个逻辑单元 10-40 的第一输入的导体 101、105、109、113 的第一组中介 I_1 导体 (图 4 中的导体 451-454 和图 5 中的导体 521-523)。同样有效的一个可替换实施例是将各组 I_i 导体连

接到四个逻辑单元中各个单元的任何一个导体 (而不是第 i 个), 只要该示例中的特定逻辑单元的四个输入被不同组的 I_i 导体所覆盖。

[0043] 图 6 显示了不同版本的 1 级可扩展的非阻断交换网络的一个实施例, 具有比图 5 中的 1-SN 500 更强的连接性。在需要更多开关的同时, 1-SN 600 中的十二个 M 导体 601-612 ($M[0]-M[11]$) 可以连接到 N 组 I_i 中介导体 621-623, 624-626, 627-629, 630-632 中各组中的所有导体。这与图 4 和图 5 中耦合到 M 个导体中的 $(M-N+1)$ 个导体形成对比。在 1-SN 600 中, 导体 601-612 可以通过子网络 620 中的开关连接到 I_1 导体 621-623。导体 601-612 可以通过子网络 640 中的开关连接到 I_2 导体 624-626。导体 601-612 可以通过子网络 650 中的开关连接到 I_3 导体 627-629。导体 601-612 可以通过子网络 660 中的开关连接到 I_4 导体 630-632。图 6 中的十二个 M 导体 601-612 具有比图 5 中的 1-SN 500 更强的连接性, 其中可以程序选择 M/I_i 导体中的一个导体连接到任何 k 组中的特定 N 个导体。作为示例, 在图 6 的实施例中, (M 导体中的) 任何 N 元组导体 601-604, 605-608, 609-612 可以使用 1-SN 连接到四组 ($k = 4$) N 导体中各组中的任何特定输入导体, 但是各个四元组中的导体互相排斥于特定输入导体。图 6 中的 1-SN 600 中所需的开关数量为 $[M \times N + \sum_{i=1-N} (I_i \times k)] = 48 + 48 = 96$ 个开关。

[0044] 就所需开关而言, 在图 5 中的情况下 0-SN 和 1-SN 之间的差别在于 $[(M-N+1) \times N \times k]$ 和 $[(M-N+1) \times N + \sum_{i=1-N} (I_i \times k)]$ 之间的差别, 其中 M 导体中的 $(M-N+1)$ 个导体可以通过 1-SN 连接到 N 组 I_i 导体中各组中的 I_i 导体。就所需开关而言, 在图 6 中的情况下 0-SN 和 1-SN 之间的差别在于 $[M \times N \times k]$ 和 $[M \times N + \sum_{i=1-N} (I_i \times k)]$ 之间的差别。如果我们简化为各个 $I_i = k$, 则 M 在图 5 中的情况下至少为 $[k + N + 1 / (k-1)]$ 并且 M 至少为 $[k + 1 + 1 / (k-1)]$, 值得注意的是, 图 5 中的方法在 M 小于上述数量时仍然可以应用。并且, 为了应用 1-SN 方案, 各个中介导体的开关数量 $[(M-N+1) / I_i]$ 不能超过 N 从而不至于失去 SN 的非阻断特性。数量 $[(M-N+1) / I_i]$ 可以不为整数, 在此情况下, 使用对数量 $(M-N+1) / I_i$ 进行舍入的整数 P_i , 其中 $\sum_{i=1-N} P_i = (M-N+1)$ 。类似的, 在图 6 中的情况下, 使用 M 替代 $(M-N+1)$, 从而 P_i 为 (M / I_i) 的舍入整数, 其中 $\sum_{i=1-N} P_i = M$ 。而且, 在图 4 和图 5 中的示例中, 中介导体的数量 $\sum_{i=1-N} I_i$ 被限制为至少为 M 并且如果 $k \times N$ 大于 M , 则 $\sum_{i=1-N} I_i$ 可以为 M 或者 $k \times N$ 或者其间的某个数。其中各个单独的 I_i 限制为 M/N , k 或者其间的某个数, 并且由于 M/N 可能不是整数, I_i 为 M/N 的舍入整数, 因此可以看到, 各个 I_i 可能在所有 i ($i = [1-N]$) 上并不是相同的。

[0045] 在图 7 所示的实施例中, 图 6 中实施例中的开关数量被减少的同时对 1-SN 的连接性没有显著改变。图 7 表示了如下减少, 其中图 6 中的导体 601 缩短为到导体 621, 导体 602 缩短为到导体 624, 导体 603 缩短为到导体 627, 导体 604 缩短为到导体 630。其中图 6 中的子网络 670 中的十六个开关被去除并且图 7 中开关的数量为八十个而不是图 6 中的九十六个。图 7 中的 1-SN 700 除去子网络 710、720、730 以及 740 之外具有 M 个导体 605-612, 具有与图 6 中所示的 1-SN 600 一样强的连接性, 并且为 $M = 8$ 的 1-SN。可以进一步减少开关数量, 例如通过将更多的 M 导体缩短为到中介导体, 但是连接性会较大幅度的降低并且确定连接图案的软件耗费会变得更加复杂。

[0046] 图 8 显示了 $M = 48$, $k = 4$, $N = 16$ 和 $I_i = 3$ ($i = [1-16]$) 的 1-SN 的实施例。由于在 1-SN 800 中具有 720 个开关, 0-SN 需要 2112 个开关并且交叉条需要 3072 个开关。 N

组 ($N = 16$) I_i 中介导体中的各组例如 I_{16} 具有三个导体 (在子网络 810 内), 其中 I_{16} 导体耦合到图 8 中的 $(M-N+1) = 33$ 个 M 导体, 各个中介导体通过子网络 811 中的十一个开关耦合到十一个 M 导体。通过在连接路径中引入中介导体和附加开关, 与 0-SN 相比, 1-SN 800 很大程度上减少了所需开关的数量。

[0047] 在各个实施例中, 使用了 M 小于 $k \times N$ 的示例, 并且 M 导体为传送扇入信号的导体, 而 k 组 N 导体为接收这些扇入信号的导体。然而这并非一定的情况。可以提供 M 大于 $k \times N$ 的 SN。可替换的, 例如可以将图 6 中的导体 101-104、105-108、109-112 和 113-116 认为是四个逻辑单元群的十六个输出, 并且使用 1-SN 以将输出从十六个减少到十二个, 其中可以使用 1-SN 选择十六个输出中的十二个输出的任何子集。并且, 各个附图中的导体 101-104、105-108、109-112 和 113-116 不一定为逻辑单元的输入或者输出, 而是可以为多个等价导体, 其中与多个等价导体的任何一个导体的连接是充分的, 而不是与多个等价导体中的特定导体的连接。

[0048] 在设计可编程逻辑电路的互连架构时, 基于工程的权衡取舍例如电路尺寸、布局布线定制特定的设计的软件的速度和简易度而提供合理的连接性和足够的互连资源很重要。 M 导体和 k 组 N 导体之间的比率为 R , 即 $R = M / (k \times N)$ 。如果 R 过小, 则连接性相对于更大的 R 更加受限。例如在图 6 的电路中, $R = 0.75$ 。在使用可扩展的非阻断交换网络构建分级电路时我们称 R 为扩张指数。在使用可扩展的非阻断交换网络设计可编程逻辑电路时通常使用的扩张指数在 0.5 和 1.0 之间, 并且 R 的选择依赖于工程设计的权衡取舍 (即逻辑利用、电路面积最小化、布局布线软件的复杂度等等) 以及所使用的技术 (例如 SRAM, 反熔丝等) 等因素。某些时候在电路局部超过所述范围是优选的, 例如在使用 SN 将大量输出减少到更少数量的输出减少的情况下。

[0049] 先前的讨论涉及使用可以用于构建分级电路以互连可编程逻辑单元的 0-SN 和 1-SN, 其中分级中的各个级别包含若干可编程逻辑电路, 具有相关联的 0-SN 和 / 或 1-SN 以使用各种可扩展的非阻断交换网络连接到电路中的各种导体。前述方法允许在电路分级的任意级别使用 0-SN 和 1-SN 连接到任意信号以实现分级内的任何逻辑单元的输入, 只要存在可用的互连资源和逻辑容量。

[0050] 下面讨论使用 1 级和 2 级可扩展的非阻断交换网络分级构建可编程逻辑电路的方法。图 9 显示了图 1 中的 CLST4 电路 100 中的 MTX 电路 200 的一个实施例, 使用了 1 级可扩展的非阻断交换网络, 其中具有十六个 M 导体 901-916, 四组 N 导体 101-104, 105-108, 109-112, 113-116, 其中 $N = 4$, 以及 N 组 I_i 导体 931-934, 935-938, 939-942, 943-946, $i = [1-N]$, 其中 $I_i = M/N = 4$ 。在图 9 的实施例中扩张指数为 1.0。

[0051] 通过使用图 9 中的 1-SN 900 构建可编程电路, M 导体 901-916 的任何子集可以通过 1-SN 900 单独连接到 k 组 N 导体中各组中的一个导体。然后这些 M 导体自身变得逻辑等效。对于任何从图 1 中的 CLST4 电路 100 外的某处发出的连接到图 1 中的四个逻辑单元 10-40 中的四个输入 (一个来自导体 101-104, 一个来自导体 105-108, 一个来自导体 109-112, 一个来自导体 113-116) 的信号, 仅需要连接到 M 导体中的一个导体。因此, 这些 M 导体 901-916 可以分级处理为 N 个导体 (其中 $N = 16$), 其中多个新的 k 组所述新的 N 个导体中的每一组具有包含四个逻辑单元和两个双稳态多谐振荡器以及 1-SN 的电路, 通过新的交换网络例如 SN 选择性的通过新的 M 导体组连接。该过程将重复直到达到所需电路

尺寸,同时所需电路允许如上所述的无限制的连接性。

[0052] 图 10 显示了使用图 1 中的四组 CLST4 100 (图 10 中的 CLST4 1010, CLST41020, CLST4 1030, CLST4 1040) 的 CLST16 分级电路 1000 的下一级的实施例结构图,其中使用图 9 中的 1-SN 900 和电路 MTX16 1050 的 2 级可扩展的非阻断交换网络实现电路 MTX 200,所述 2 级可扩展的非阻断交换网络具有六十四个 M 导体,其中包含四十八个导体 1055 (M[0-47]) 和十六个导体 1056 (OW[0-7], OE[0-7]) 以及四组 N 导体 1060、1070、1080、1090,其中各个 N 导体具有对应于图 9 中的十六个 M 导体 901-916 的十六个导体。在图 10 中,六十四个 M 导体 1055 和 1056 中的十六个导体 1056 直接连接到四个 CLST4 100 电路 1010、1020、1030、1040 的四个输出 1065、1075、1085、1095。十六个导体 1056 (OW[0-7], OE[0-7]) 具有四组、每组四个导体,四个导体中的每个导体对应于图 1 中的 CLST4 电路 100 的四个输出 125-128 (0[0-3])。扩张指数 R 在电路 1000 中同样为 1.0。

[0053] 图 11A 中显示了在分级电路的下一级中使用可扩展的非阻断交换网络将大量导体连接到多组导体。图 11A 以结构图形式显示了图 10 中的电路 MTX161050 的实施例,其中六十四个 M 导体 1101 (M[0-47], OW[0-7], OE[0-7]) 对应于图 10 中的导体 1055 和 1056。中介导体的第一级包括 N_0 (其中 $N_0 = 4$) 组的十六个 IO_i 导体 (其中 $IO_i = M/N_0 = 16$, 对于 $i = [1-N_0]$) 1150、1160、1170 和 1180。M 导体 1101 使用子网络 1110、1120、1130 和 1140 中的开关连接到第一个四组中介级 IO_i 导体 1150、1160、1170、1180。图 11B 显示了通过子网络 1120 将导体 1101 连接到导体 1160 的方法。通过子网络 1110 将导体 1101 连接到导体 1150、通过子网络 1130 连接到导体 1170、通过子网络 1140 连接到导体 1180 的连接方法与图 11B 中的子网络 1120 的连接方法相同。该实施例中在 M 导体 1101 和四组第一级中介导体 1150、1160、1170、1180 之间使用的开关数量为 $M \times N_0 = 256$ 。如同参考图 5 所述,可替换实施为具有 $(M-N_0+1) \times N_0$ 个开关。

[0054] 图 12 显示了电路 TA11165 的实施例,其中导体 1160 为第二个 N_0 组的 IO_i 导体,其中 $i = 2$ 并且 $IO_i = 16$ 。中介导体 1201-1216 (对应于图 11A 中的导体 1160) 连接到十六个导体 1241-1256 (对应于图 11A 中的导体 1161-1164)。图 11A 的子网络 1155、1175、1185 与子网络 1165 的电路相同,分别将导体 1150、1170、1180 连接到图 11A 中的导体 1151-1154, 1171-1174, 1181-1184。

[0055] 在图 12 中,电路 TA1 为图 11A 中的 1-SN 1165,其中 M 导体 1201-1216 为图 11A 中的十六个中介 IO_2 导体 1160 (IO_2 [0-15])。十六个中介导体 1221-1236 包括 N_1 ($= 4$) 组 IO_{2j} ($IO_{2j} = M/N_1 = 4$) 导体 ($i = 2, j = [1-N_1]$): 导体 1221-1224、1225-1228、1229-1232、1233-1236。 IO_{2j} 导体分别连接到四组目标导体 1241-1244, 1245-1248, 1249-1252, 1253-1256 ($j = [1-N_1]$)。图 12 中的 1-SN 1165 使用与图 9 相同的 1-SN 900。然而,1-SN 1165 为图 11A 中的二级可扩展的非阻断交换网络 (2-SN) 1050 的第二部分中的四个子网络 (子网络 1155、1165、1175、1185) 中的一个,其中 2-SN 中的导体 1151-1154、1161-1164、1171-1174、1181-1184 分别为图 10 中的 CLST4 电路 1010、1020、1030、1040 中的 M 导体 1060、1070、1080、1090。CLST4 电路 1010、1020、1030、1040 中的每一个对应于图 1 中的 CLST4 电路 100 以及图 9 中的 1-SN 900。

[0056] 图 12 中的 TA1 电路 1165 选择性的将导体 1201-1216 连接到导体 1241-1256。1241、1245、1249、1253 为对应于图 10 中的 CLST41010 的十六个 M 导体 1060 中的四个导体

(C0[0-15] 中的 C0[4-7]) 的图 11A 中的导体 1161(N0[4-7])。类似的, 导体 1242、1246、1250、1254 为对应于图 10 中的 CLST41030 的十六个 M 导体 1080 中的四个导体 (C1[0-15] 中的 C1[4-7]) 的图 11A 中的导体 1162(N1[4-7])。导体 1243、1247、1251、1255 为对应于图 10 中的 CLST41020 的十六个 M 导体 1070 中的四个导体 (C2[0-15] 中的 C2[4-7]) 的图 11A 中的导体 1163(N2[4-7])。导体 1244、1248、1252、1256 为对应于图 10 中的 CLST41040 的十六个 M 导体 1090 中的四个导体 (C3[0-15] 中的 C3[4-7]) 的图 11A 中的导体 1164(N3[4-7])。

[0057] 在图 11A 中的 MTX 1050 电路的 1-SN 实现中, $M = 64$, $k = 4$, 以及 $N = 16$ 。在 2-SN 实现中, 各级中介导体组的数量为 $N0 = 4$ 并且 $N1 = 4$, 其中乘积 $N0 \times N1$ 等于 N 。使用图 6 和图 9 中所述的更强连接性的 SN 的图 10 中的 2-SN 1050 中的开关数量为 $M \times N0 + \sum_{i=1}^{N0} [(I0_i \times N1) + \sum_{j=1}^{N1} (I1_{ij} \times (I0_i / N1))]$, 其中在网络 1050 中 $I0_i = M / N0$ ($i = [1-N0]$), 并且 $I1_{ij} = I0_i / N1$ ($i = [1-N0]$, $j = [1-N1]$), 从而 $I0_i = 16$, $I1_{ij} = 4$, 并且 1050 的 2-SN 具有 768 个开关。1-SN 实现需要 1280 个开关, 并且完全的交叉条开关需要 4096 个开关。在各个 $I0_i$ 导体连接到 M 导体中的 $(M - N0 + 1)$ 个导体而不是 M 个导体, 并且各个 $I1_{ij}$ 导体连接到 $I0_i$ 导体中的 $(I0_i - N1 + 1)$ 个导体而不是 $I0_i$ 个导体的情况下, 开关数量为 $(M - N0 + 1) \times N0 + \sum_{i=1}^{N0} [(I0_i - N1 + 1) \times N1 + \sum_{j=1}^{N1} (I1_{ij} \times (I0_i / N1))]$ 。在图 10 中的情况下, $N = N0 \times N1$, $I0_i = M / N0$, $I1_{ij} = M / N = k$, 从而此情况中的 2-SN 中的开关数量为 $[M \times (N0 + N1 + k)]$ 。

[0058] 如前所述, 不同 SN 中的 k 组 N 导体中的每组 N 导体并不需要具有相同大小。SN 可以构建为不同大小的 N_i , 其中使用最大的 N_i 作为相同大小的新的 N, 并且可以添加虚拟导体和开关到更小的 N_i 使得 N_i 看上去为 N。由于互连规定中不需要更小的 N_i 具有大于 N_i 的连接, SN 的连接性没有改变。例如, 与图 1 中四组 N 导体 101-104、105-108、109-112、113-116 分别作为逻辑单元 10-40 的输入不同的是, 图 1 中的逻辑单元 10 仅具有三个输入 101-103。在图 6 中具有 M 导体 601-612 的 SN 中, 图 6 中的开关和中介导体 621-632 保持不变, 除了其中子网络 680 中的三个开关和导体 104 为“虚拟”的并且可以从图 6 中的 SN 中移出。

[0059] 可以使用上述方法构建多级可扩展的非阻断交换网络, 例如, 图 10 中的 MTX 1050 可以实现为三级可扩展的非阻断交换网络, $N0 = 2$, $N1 = 2$, $N2 = 4$, 第一中介 $I0_i$ 导体 $I0_i = M / N0$, $I1_{ij} = I0_i / N1$ 并且 $I2_{ijk} = I1_{ij} / N2$ ($i = [1-N0]$, $j = [1-N1]$ 以及 $k = [1-N2]$), 其中 $N0 \times N1 \times N2 = N = 16$ 为图 10 中四个 CLST4 电路 1010、1020、1030、1040 中每一个的输入的数量。类似的, SN 1050 可以实现为 4 级 SN, 其中 $N0 = 2$, $N1 = 2$, $N2 = 2$, $N3 = 2$, 四个中介导体将 M 个导体连接到 N 个导体。图 10 中的 SN 1050 中的 1-SN 实现之上的 2-SN 实现将开关数量减少了 $N \times M = 16M$ 和 $(N0 + N1) \times M = (4 + 4) \times M = 8M$ 之间的差值。在 3-SN 和 4-SN 中, 分别有 $(N0 + N1 + N2) = (2 + 2 + 4) = 8$ 以及 $(N0 + N1 + N2 + N3) = (2 + 2 + 2 + 2) = 8$, 相对于 $(N0 + N1) = (4 + 4) = 8$ 的 2-SN 没有改进。这样, 仅当各级的中介导体组的数量 N_i 的累加和小于前一级的多级 SN 时才有意义。因此, 可以看到, 对于 $N = 64$, 使用 $N0 = N1 = N2 = 4$ (其中 $(N0 + N1 + N2) = 12$) 的 3-SN 相对于使用 $N0 = N1 = 8$ (其中 $(N0 + N1) = 16$) 的 2-SN 可以更加有效的减少开关, 在 $N = 64$ 时 2-SN 相对于 1-SN 与上述情况类似。

[0060] 我们描述了使用可扩展的非阻断交换网络的两种级别的分级电路, 其中六十四个 M 导体通过 2-SN 以及 1-SN 扇入连接到十六个四输入逻辑单元。六十四个 M 导体中的十六个导体直接连接到四个 CLST4 电路 (图 1 中 100 的 125-128) 中各个电路的十六个输出, 提供了从任何输出至所有十六个逻辑单元的无限制的连接。分级电路中的第一级包括图 1 中

的 CLST4 电路 100, MTX 200 实现为图 9 中的 1-SN 900, 其中如图 1 所示, CLST4 100 具有四个四输入逻辑单元 10-40 和两个双稳态多谐振荡器 50、60。分级电路的下一个更高的第二级为图 10 中的 CLST16 电路 1000, 具有包含图 10 所示的 2-SN MTX16 1050 的四个 CLST4 电路 100, 其中在图 11A、图 11B 以及图 12 中显示了网络 1050 的实现。在 CLST16 1000 中, 十六个输出 1065、1075、1085、1095 (直接连接到导体 1056) 中的每一个输出具有与 CLST16 电路 1000 中的每个逻辑单元的无限制的连接, 并且图 10 中的其他 48 个 M 导体 1055 在构建下一级分级电路时可以认为是 CLST16 1000 中的 N 导体。对于图 10 中的四个 CLST4 电路 1010、1020、1030、1040 中的每一个电路中的图 1 中 CLST4 100 的十六个输出 125-128 可以直接连接到十六个 M 导体 1056, M 导体 1056 的输出可以进一步通过 SN 使用 CLST16 电路 1000 作为构建模块连接到第三级分级电路, 并且其他四十八个 M 导体为 CLST 电路 1000 的等效引脚或者输入导体, 从而在可编程逻辑电路中提供连续的高连接性。

[0061] 图 10 中的 CLST 电路 1000 显示了将四个 1-SN 级联在一起的 2-SN, 使用各种 SN 中的总共 1280 个开关将六十四 M 导体 1055、1056 和十六个四输入逻辑单元组织在四个组 1010、1020、1030、1040 中。对于图 10 中的各组 1010-1040, 这些 SN 包括: 图 10 中的 SN 1050 和图 1 中的 SN 200。图 10 中的 CLST 电路 1000 可以使用图 9 所述方法进行可替换实施, 其中使用具有六十四 M 导体、k 组 (例如 16) N (例如 4) 导体的 1-SN。按照这样的分析, 开关数量为 $M \times (N+k) = 1280$ 。在此情况下, 所述 1-SN 实施和图 10 中的实施例均具有相同的开关数量。

[0062] 根据工程考虑确定哪种实施更加合适, 例如: 图 10 实施例中的具有更多中介级导体的四输入 MUX 实施还是具有十六输入 MUX 和更少数量的中介级导体的 1-SN 实施更加适合于使用 SRAM 的技术, 一种方式是否更加适合于布局实施等等。需要注意的是, 基于上述分析, 优选的提供合理大小的通过 SN 连接的逻辑单元基础阵列, 从而在分级电路的下一级中使用另一个 SN 连接若干逻辑单元的基础阵列时耗费的开关总数不会超过实现更大的逻辑单元的基础阵列。在大多数的可编程逻辑电路中, (具有 SN 的逻辑单元阵列中的) 基础逻辑单元通常具有三个输入或者四个输入, 并且通过上述示例显见, 基础逻辑阵列中的逻辑单元的数量 k 不会很小, 或者依赖于 N 的大小, $k \times N$ 对于 SN 应当为合理大小 (例如图 1 中的 CLST4 电路 100) 以作为互连网络有效使用。

[0063] 使用各种实施例和示例, 提供了对构建各种可扩展的非阻断交换网络的详细描述, 并且通过使用各种组合以提供可编程逻辑电路的输入和输出的互连接。基于技术和工程的考虑, 可以使用可扩展的非阻断交换网络的变化实施, 包括但是并不限于使用 MUX 减少存储控制的数量、减少开关数量等等。

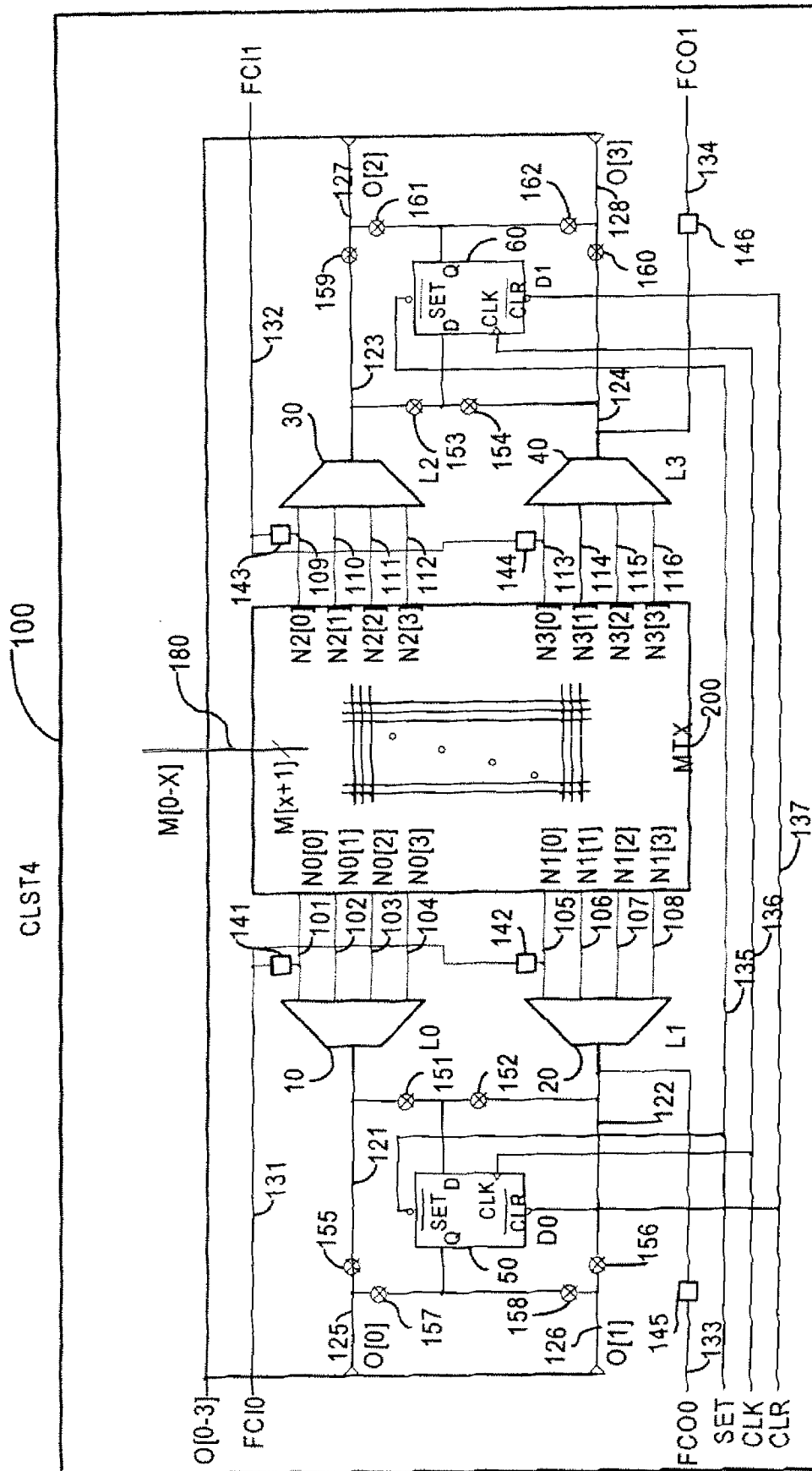


图 1

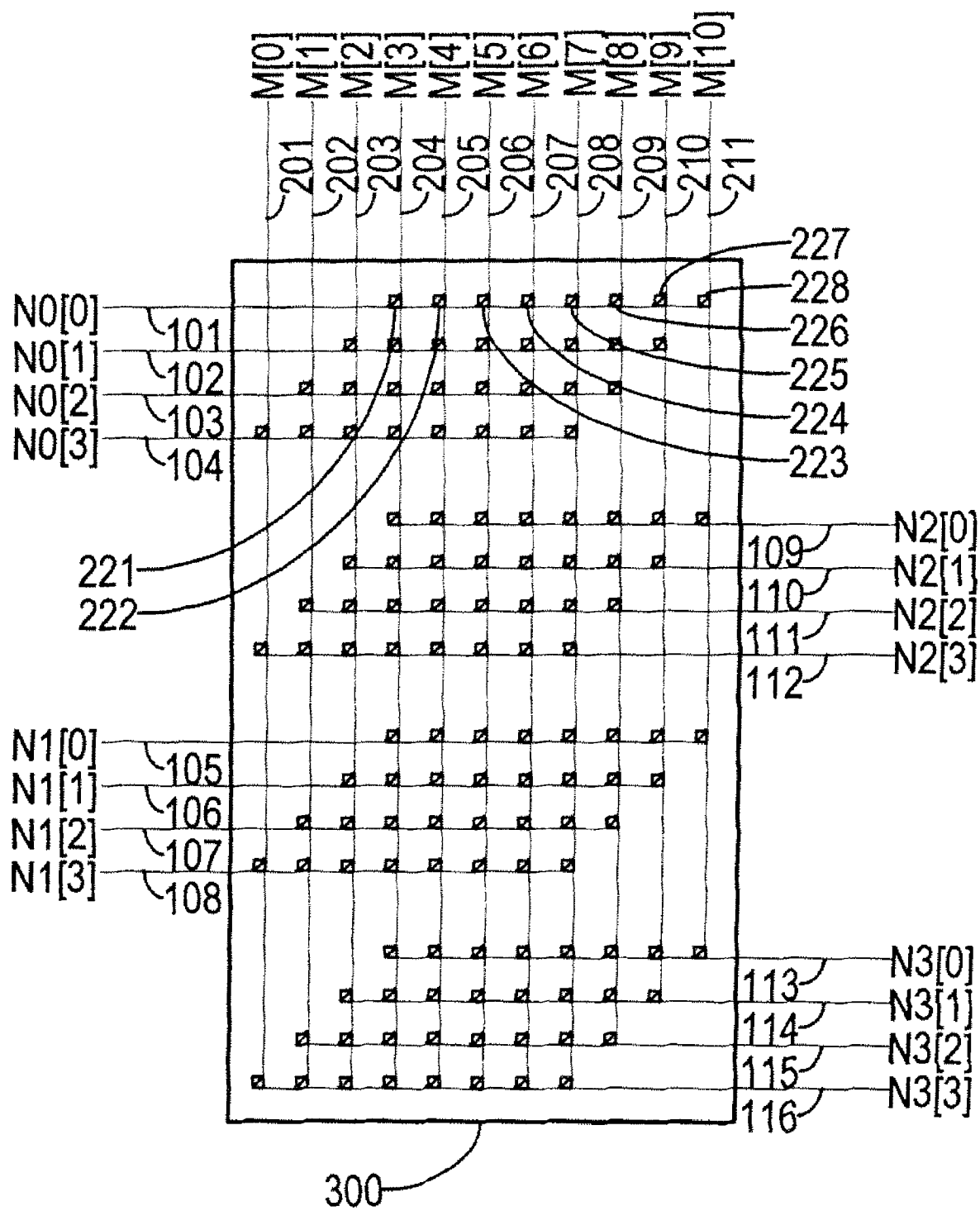


图 2

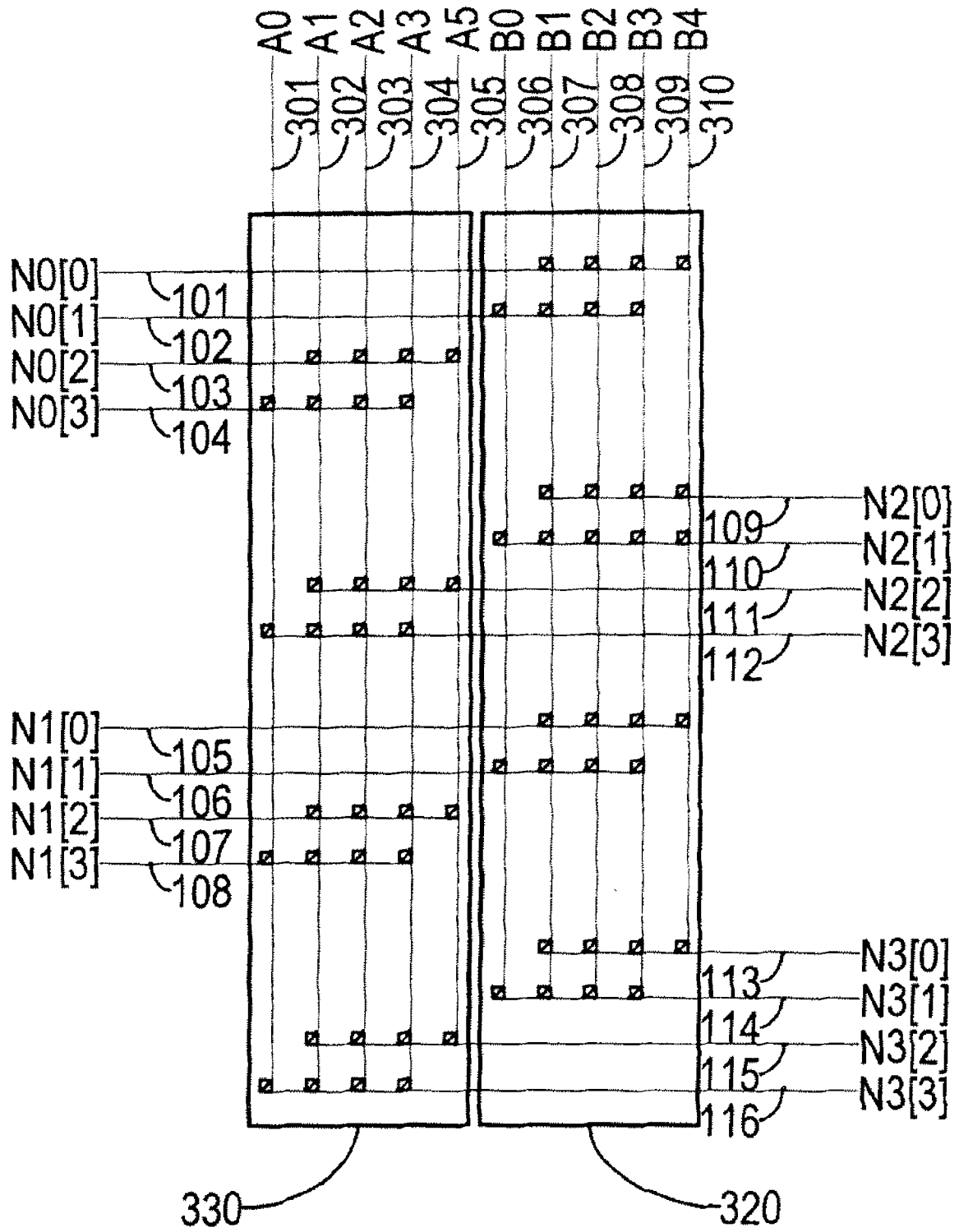


图 3

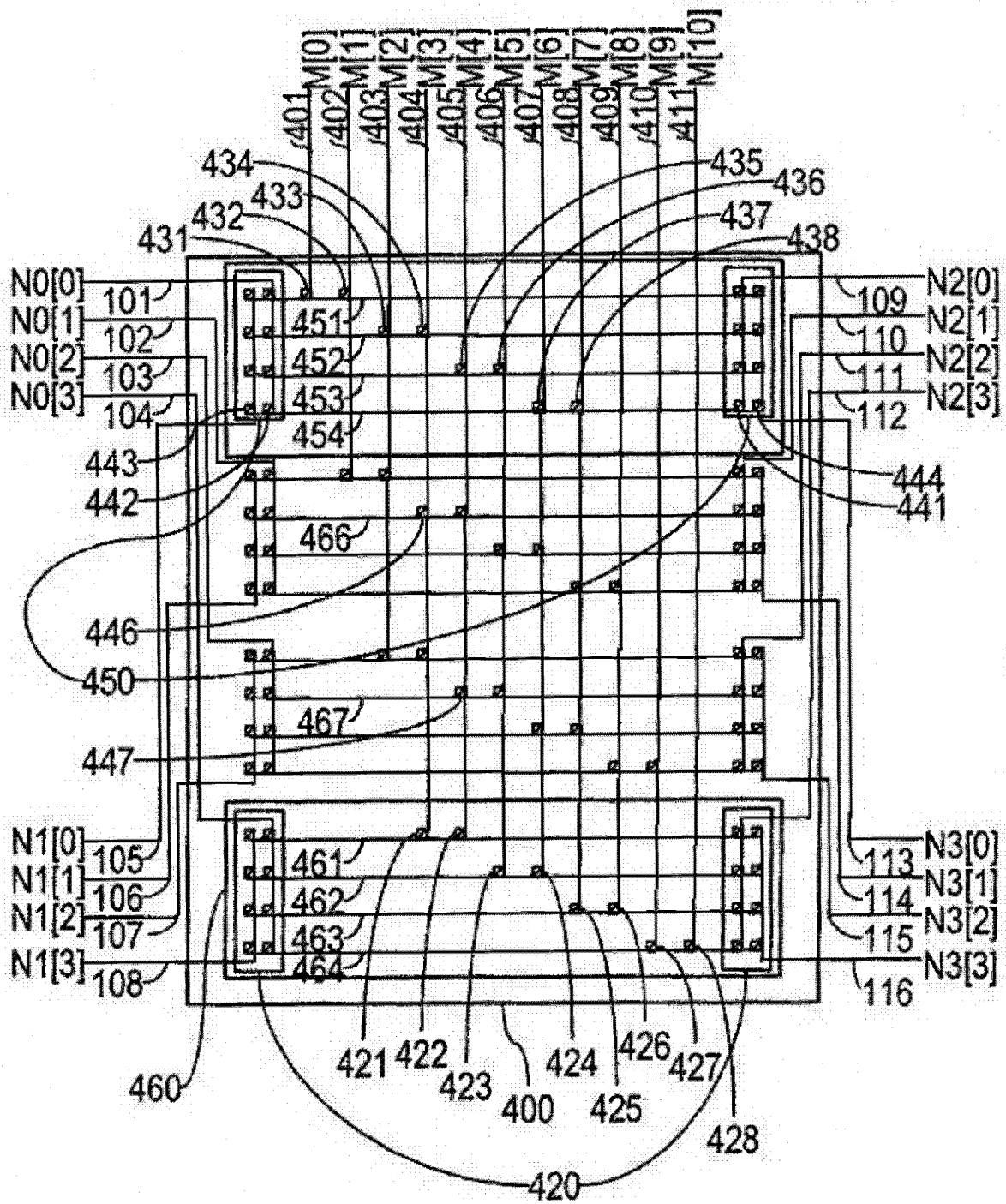


图 4

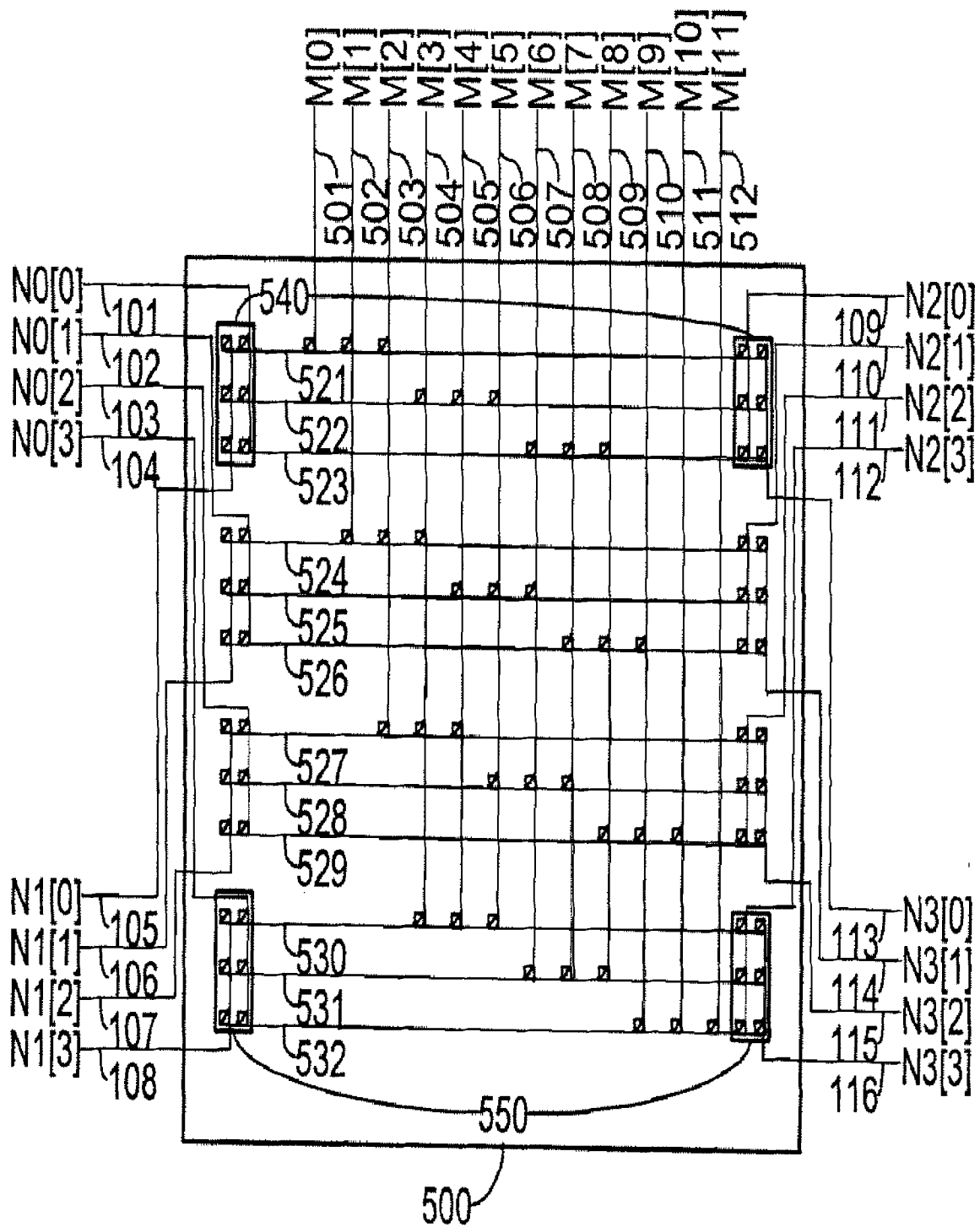


图 5

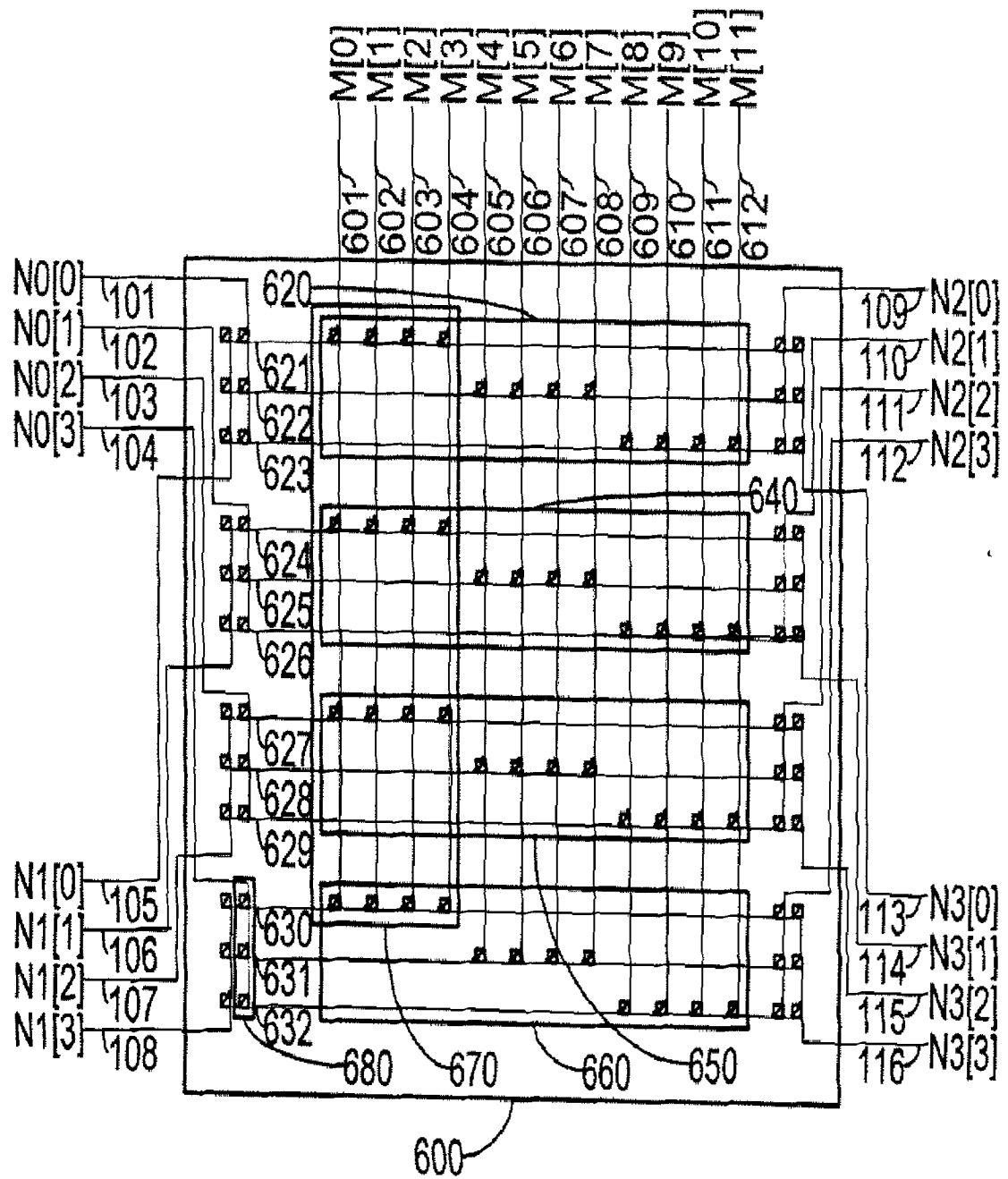


图 6

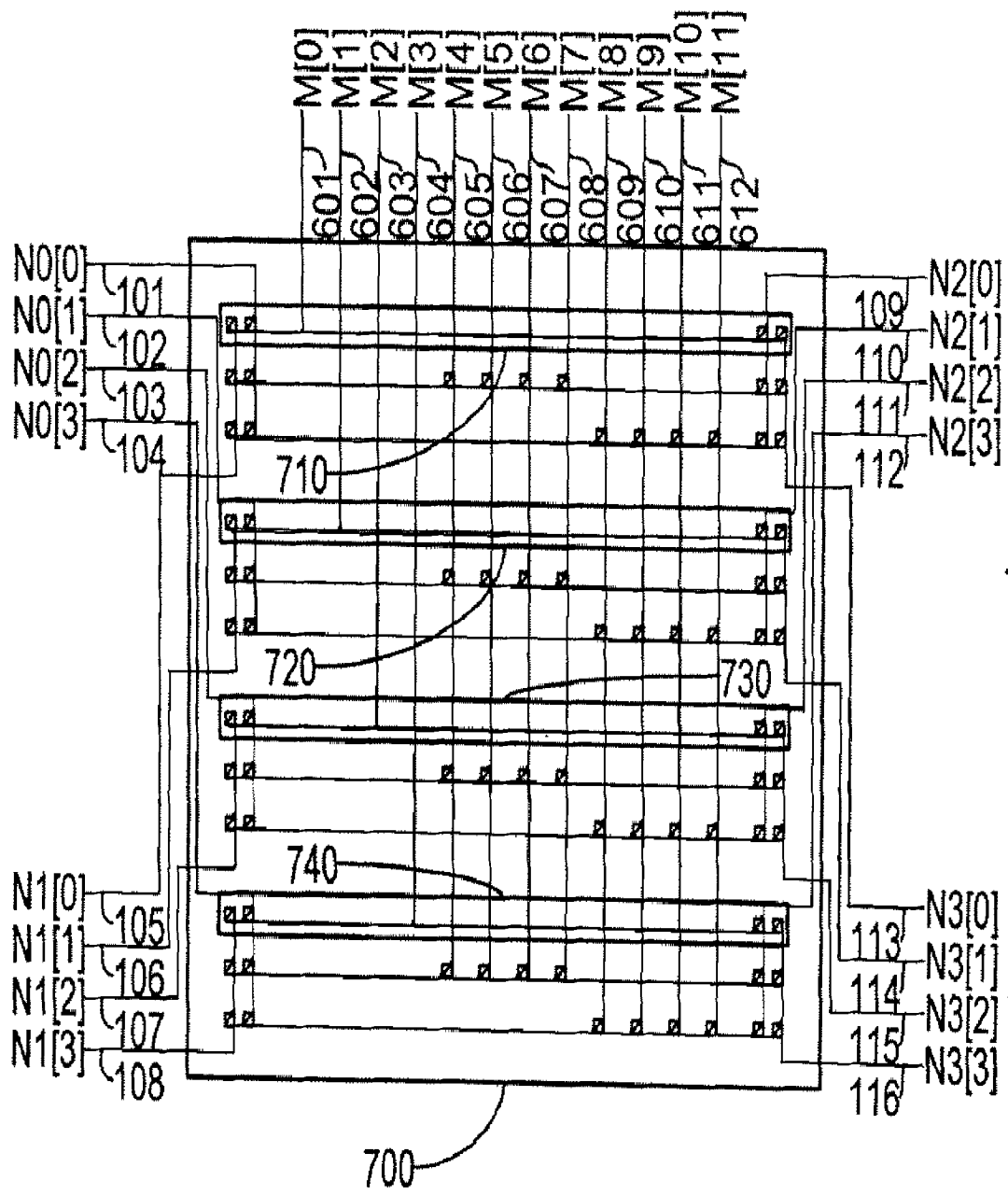


图 7

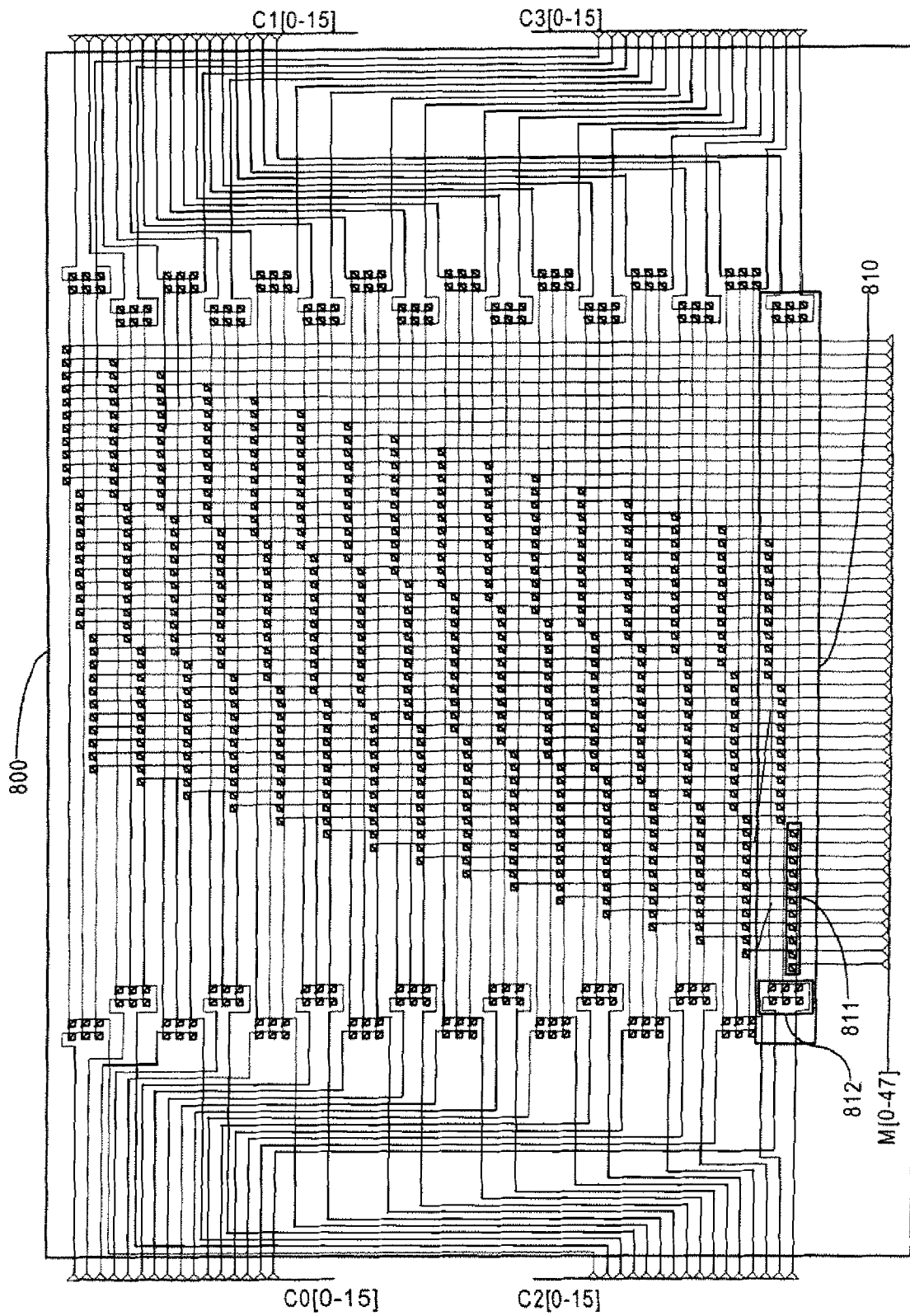


图 8

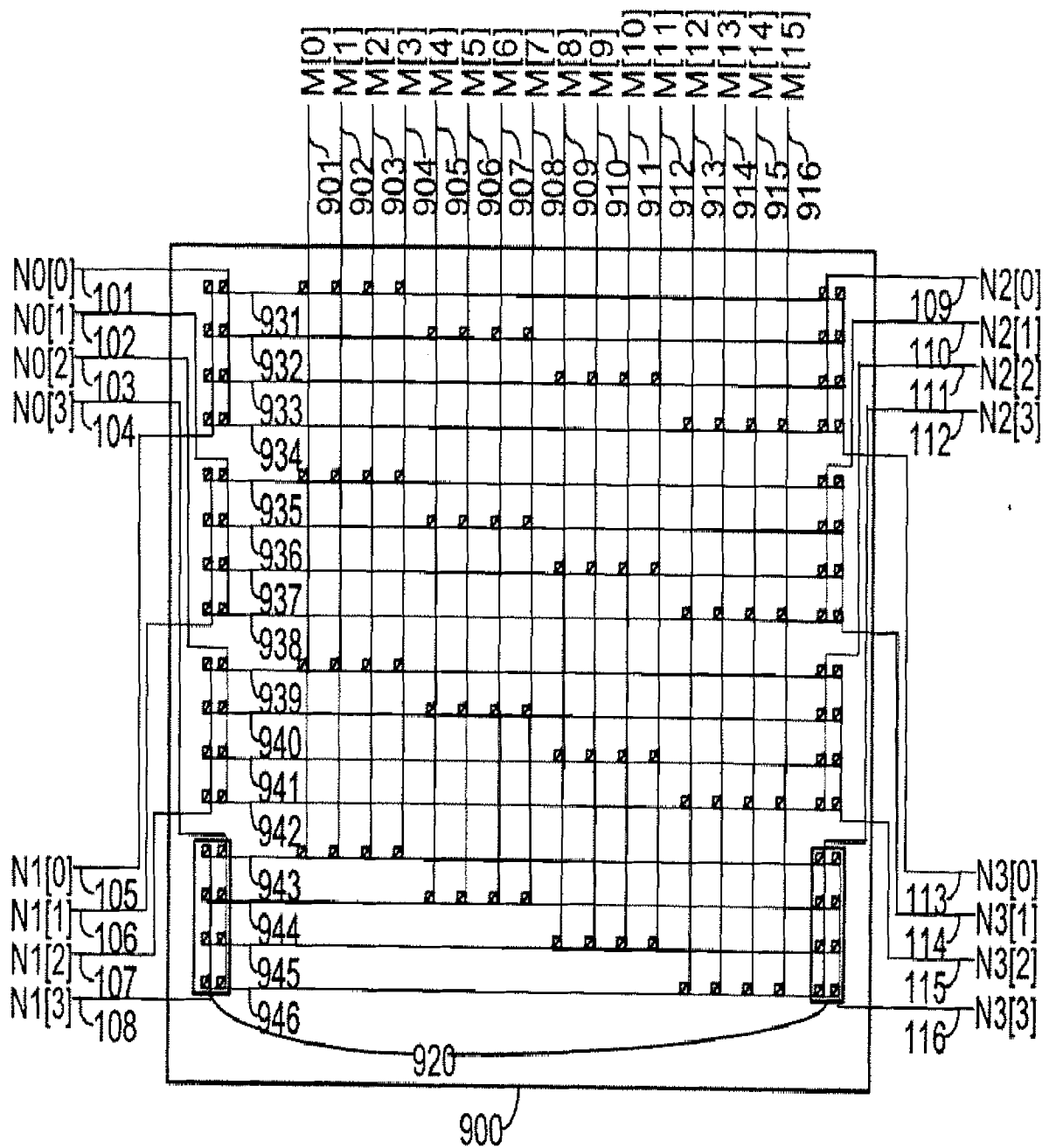


图 9

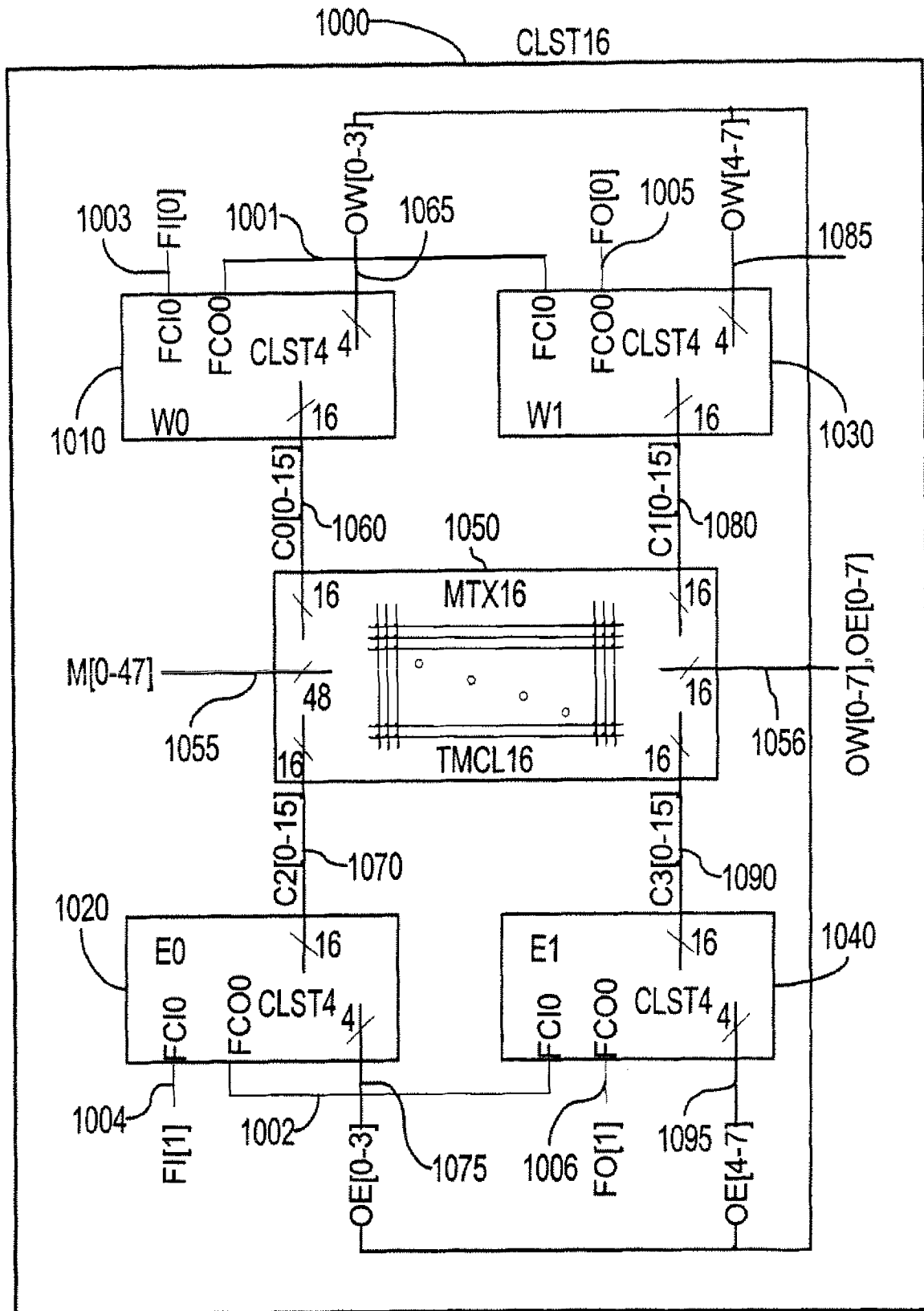


图 10

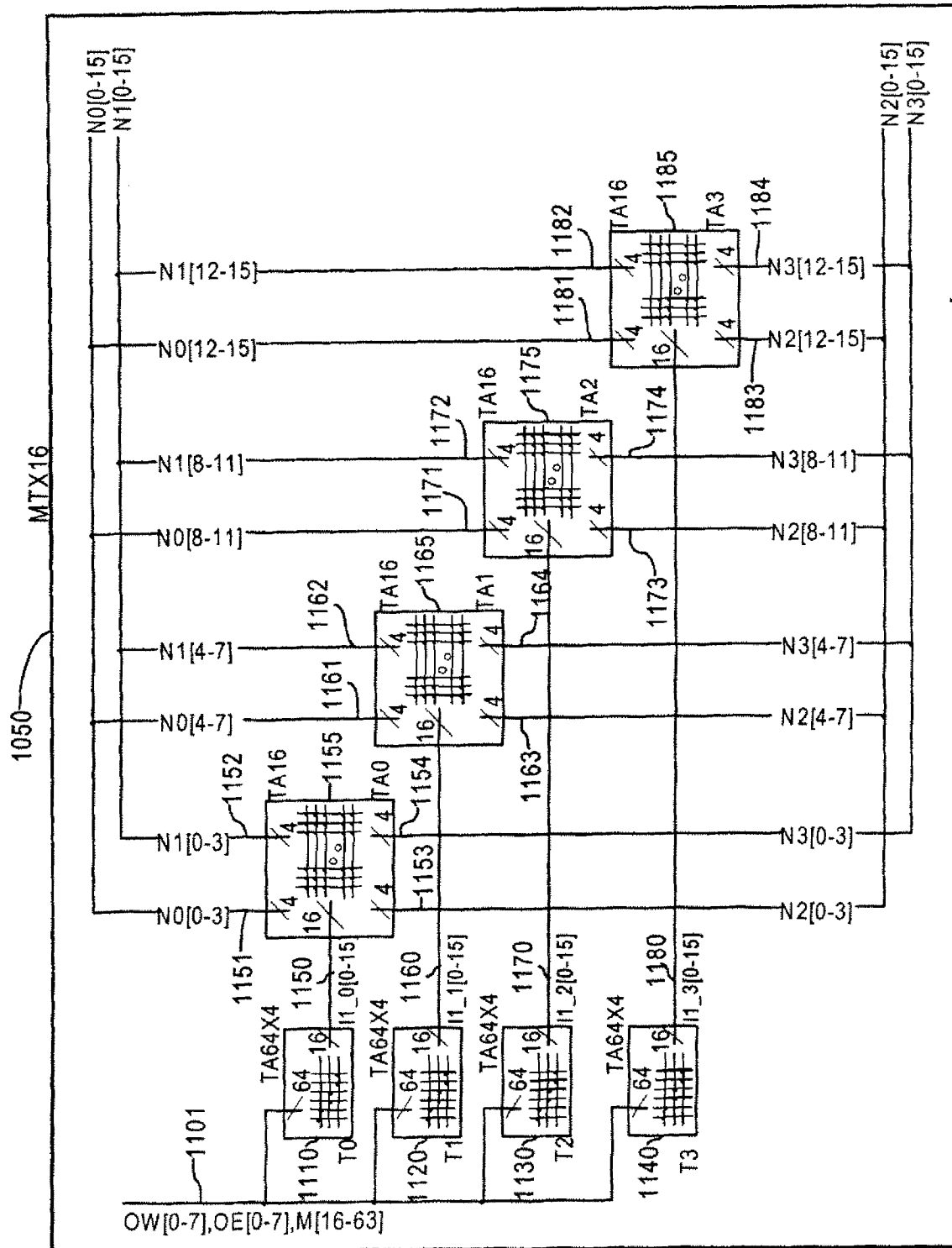


图 11A

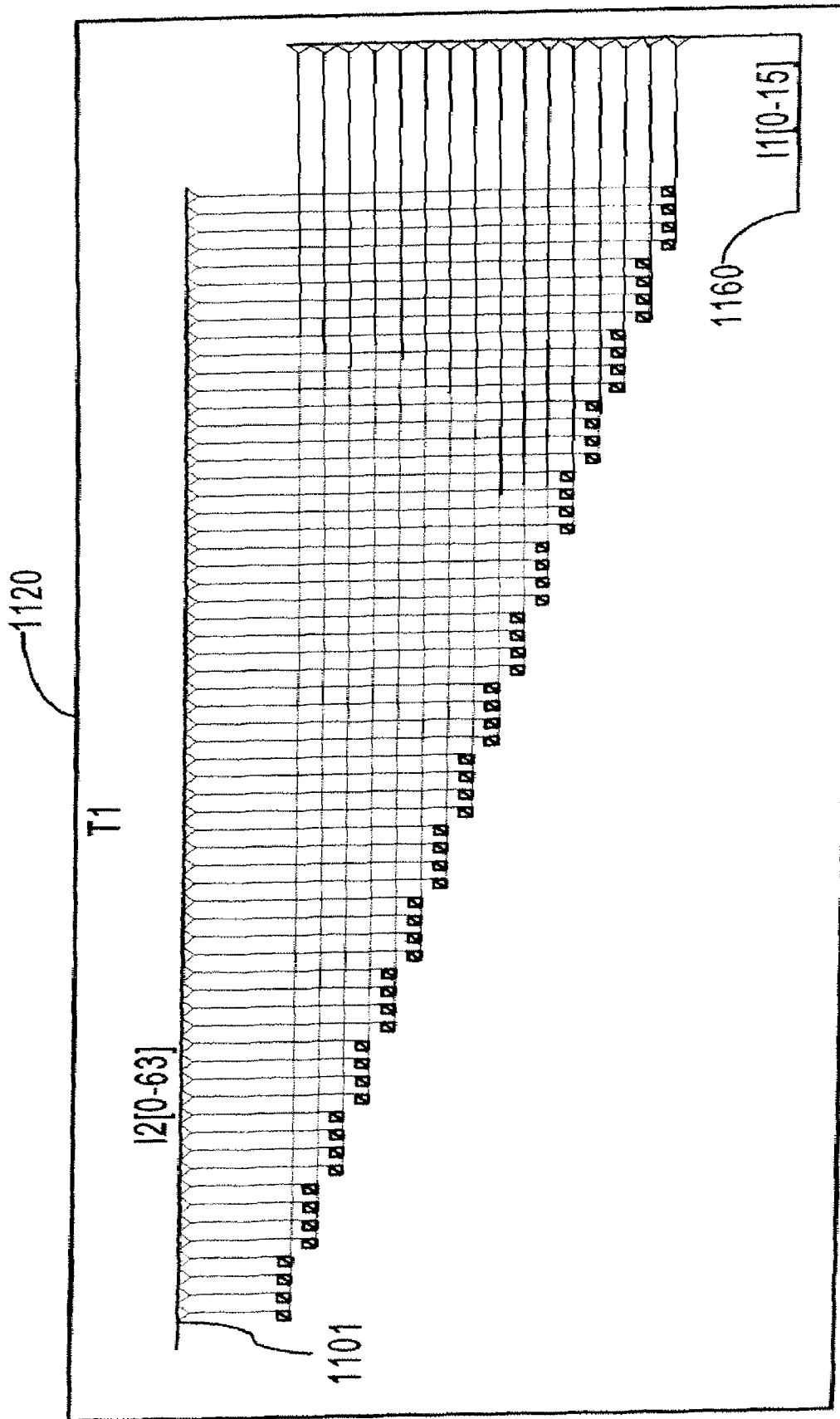


图 11B

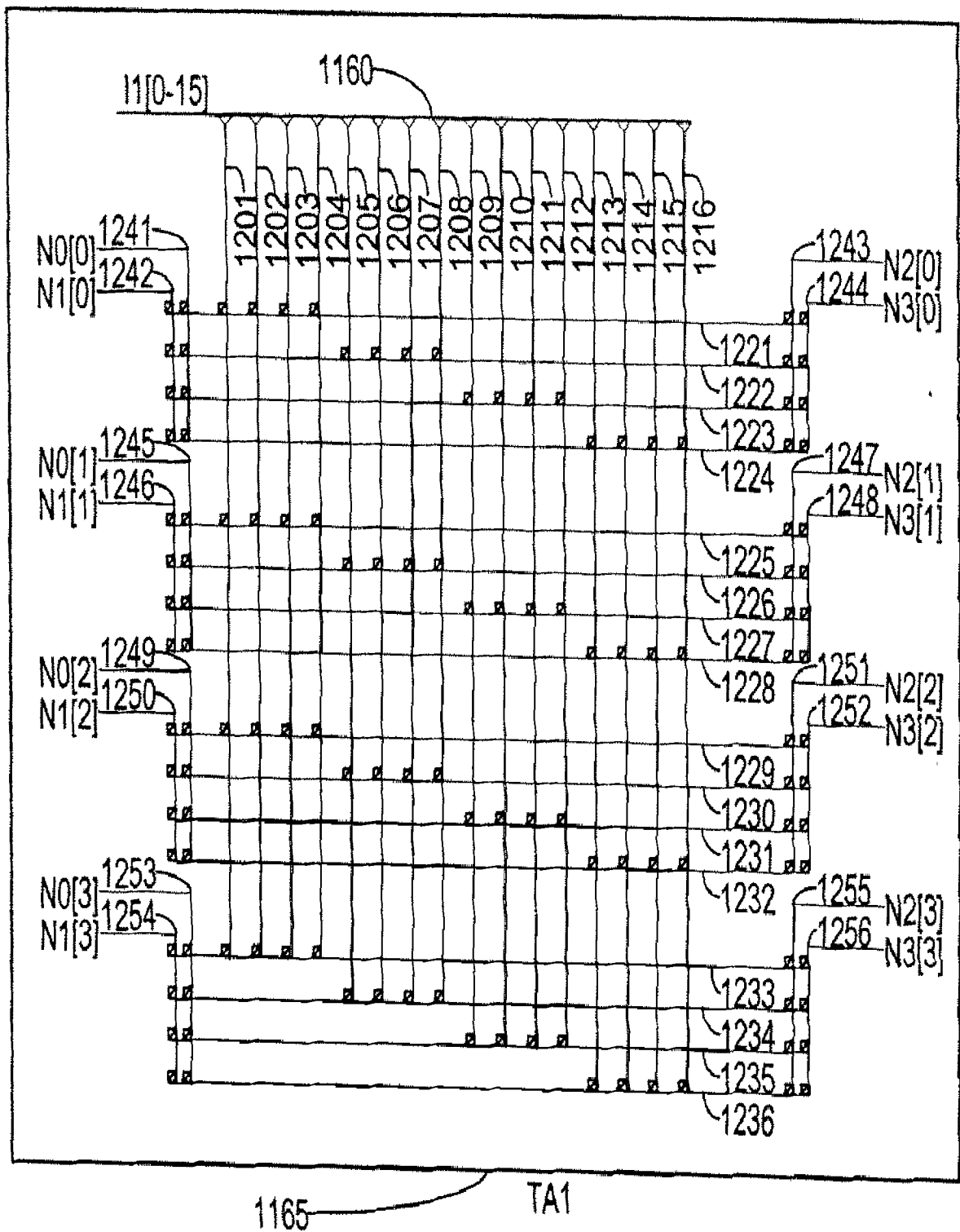


图 12