

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 4 月 9 日 (2020.4.9)

【公表番号】特表 2019-511113 (P2019-511113A)

【公表日】平成 31 年 4 月 18 日 (2019.4.18)

【年通号数】公開・登録公報 2019-015

【出願番号】特願 2018-546551 (P2018-546551)

【国際特許分類】

H 0 1 L 27/088 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

H 0 1 L 29/06 (2006.01)

H 0 1 L 21/8248 (2006.01)

H 0 1 L 27/06 (2006.01)

【F I】

H 0 1 L 27/088 3 3 1 D

H 0 1 L 27/04 H

H 0 1 L 29/06 3 0 1 D

H 0 1 L 27/088 3 3 1 G

H 0 1 L 27/06 1 0 1 U

H 0 1 L 27/088 3 3 1 C

【手続補正書】

【提出日】令和 2 年 2 月 25 日 (2020.2.25)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

集積回路であって、
水平表面を有する基板と、
電圧供給端子と、
出力端子と、

第 1 のトランジスタであって、前記出力端子に結合される第 1 の n ドープされた領域と、前記第 1 の n ドープされた領域を囲んで前記出力端子に結合される第 1 の p ドープされた領域と、前記第 1 の p ドープされた領域により前記第 1 の n ドープされた領域から分離される第 2 の n ドープされた領域とを含む、前記第 1 のトランジスタと、

第 2 のトランジスタであって、第 3 の n ドープされた領域と、前記第 3 の n ドープされた領域を囲んで前記電圧供給端子に結合される第 2 の p ドープされた領域と、前記第 2 の p ドープされた領域により前記第 3 の n ドープされた領域から分離され、前記電圧供給端子に結合される第 4 の n ドープされた領域とを含む、前記第 2 のトランジスタと、

前記第 2 及び第 3 の n ドープされた領域の間に結合される浮遊リードと、
前記第 1 の p ドープされた領域と前記出力端子との間に結合される第 1 のスイッチと、
前記第 1 の p ドープされた領域と前記浮遊リードとの間に結合される第 2 のスイッチと

とを含む、集積回路。

【請求項 2】

請求項 1 に記載の集積回路であって、
前記第 1 のトランジスタが金属酸化物半導体トランジスタを含み、
前記金属酸化物半導体トランジスタが、
前記第 2 の n ドープされた領域におけるドレイン領域と、
前記第 1 の n ドープされた領域におけるソース領域と、
前記第 1 の p ドープされた領域における、前記ドレイン領域と前記ソース領域との間の
チャンネル領域と、
前記チャンネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項 3】

請求項 1 に記載の集積回路であって、
前記第 2 のトランジスタが金属酸化物半導体トランジスタを含み、
前記金属酸化物半導体トランジスタが、
前記第 3 の n ドープされた領域におけるドレイン領域と、
前記第 4 の n ドープされた領域におけるソース領域と、
前記第 2 の p ドープされた領域における、前記ドレイン領域と前記ソース領域との間の
チャンネル領域と、
前記チャンネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項 4】

請求項 1 に記載の集積回路であって、
前記第 1 のトランジスタがドレイン拡張された金属酸化物半導体トランジスタを含み、
前記ドレイン拡張された金属酸化物半導体トランジスタが、
前記第 2 の n ドープされた領域における拡張されたドレイン領域と、
前記第 1 の n ドープされた領域におけるソース領域と、
前記第 1 の p ドープされた領域における、前記拡張されたドレイン領域と前記ソース領
域との間のチャンネル領域と、
前記チャンネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、
前記第 2 のトランジスタがドレイン拡張された金属酸化物半導体トランジスタを含み、
前記ドレイン拡張された金属酸化物半導体トランジスタが、
前記第 3 の n ドープされた領域における拡張されたドレイン領域と、
前記第 4 の n ドープされた領域におけるソース領域と、
前記第 2 の p ドープされた領域における、前記拡張されたドレイン領域と前記ソース領
域との間のチャンネル領域と、
前記チャンネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項 6】

請求項 1 に記載の集積回路であって、
前記第 1 の p ドープされた領域が、
前記第 1 及び第 2 の n ドープされた領域の間に配置される p ドープされたチャンネル領域
と、
前記第 1 及び第 2 の n ドープされた領域を横方向に囲む p ドープされたサイド領域と、
前記 p ドープされたチャンネル領域と前記 p ドープされたサイド領域とを支持して接続す
る p ドープされた埋め込み層と、
を含む、集積回路。

【請求項 7】

請求項 1 に記載の集積回路であって、

前記基板上に置かれる第 1 の n ドープされた埋め込み層と、

前記基板上に置かれて前記第 1 の n ドープされた埋め込み層から隔離される第 2 の n ドープされた埋め込み層と、

前記第 1 の p ドープされた領域を横方向に囲む第 1 の n ドープされた側壁であって、前記第 1 の n ドープされた埋め込み層により支持される、前記第 1 の n ドープされた側壁と、

前記第 2 の p ドープされた領域を横方向に囲む第 2 の n ドープされた側壁であって、前記第 2 の n ドープされた埋め込み層により支持される、前記第 2 の n ドープされた側壁と、

を更に含む集積回路。

【請求項 8】

インタフェースデバイスであって、

水平表面と、前記水平表面に垂直に延在する垂直の深さとを有する p ドープされた基板と、

ハイサイド (HS) 電圧供給端子と、

ローサイド (LS) 電圧供給端子と、

出力端子と、

前記 HS 電圧供給端子と前記出力端子との間に結合される HS ドライバ回路と、

LS ドライバ回路であって、

第 1 のトランジスタであって、前記出力端子に結合される第 1 の n ドープされた領域と、前記第 1 の n ドープされた領域を囲んで前記出力端子に結合される第 1 の p ドープされた領域と、前記第 1 の p ドープされた領域により前記第 1 の n ドープされた領域から分離される第 2 の n ドープされた領域とを含む、前記第 1 のトランジスタと、

第 2 のトランジスタであって、第 3 の n ドープされた領域と、前記第 3 の n ドープされた領域を囲んで前記 LS 電圧供給端子に結合される第 2 の p ドープされた領域と、前記第 2 の p ドープされた領域により前記第 3 の n ドープされた領域から分離され、前記 LS 電圧供給端子に結合される第 4 の n ドープされた領域とを含む、前記第 2 のトランジスタと、

前記第 2 及び第 3 の n ドープされた領域の間に結合される浮遊リードと、

前記第 1 の p ドープされた領域と前記出力端子との間に結合される第 1 のスイッチと、

前記第 1 の p ドープされた領域と前記浮遊リードとの間に結合される第 2 のスイッチと、

を含む、前記 LS ドライバ回路と、

を含む、インタフェースデバイス。

【請求項 9】

請求項 8 に記載のインタフェースデバイスであって、

前記垂直の深さに沿った第 1 の PNP 構造であって、前記第 1 の p ドープされた領域と、前記第 1 の p ドープされた領域の下第 1 の n ドープされた層と、前記 p ドープされた基板とを含む、前記第 1 の PNP 構造と、

前記垂直の深さに沿った第 2 の PNP 構造であって、前記第 2 の p ドープされた領域と、前記第 2 の p ドープされた領域の下であって前記第 1 の n ドープされた層から隔離される第 2 の n ドープされた層と、前記 p ドープされた基板とを含む、前記第 2 の PNP 構造と、

を更に含む、インタフェースデバイス。

【請求項 10】

集積回路であって、

電圧源端子と、

出力端子と、

第 1 のトランジスタであって、前記出力端子に結合される第 1 の n ドープされた領域と、前記第 1 の n ドープされた領域を囲んで前記出力端子に結合される第 1 の p ドープされ

た領域と、前記第 1 の p ドープされた領域により前記第 1 の n ドープされた領域から分離される第 2 の n ドープされた領域とを含む、前記第 1 のトランジスタと、

第 2 のトランジスタであって、第 3 の n ドープされた領域と、前記第 3 の n ドープされた領域を囲んで前記電圧源端子に結合される第 2 の p ドープされた領域と、前記第 2 の p ドープされた領域により前記第 3 の n ドープされた領域から分離されて前記電圧源端子に結合される第 4 の n ドープされた領域とを含む、前記第 2 のトランジスタと、

前記第 1 のトランジスタと前記第 2 のトランジスタとに直接に結合される共通ゲート端子と、

前記第 2 及び第 3 の n ドープされた領域の間に結合される浮遊リードと、

前記第 1 の p ドープされた領域と前記出力端子との間に結合される第 1 のスイッチと、

前記第 1 の p ドープされた領域と前記浮遊リードとの間に結合される第 2 のスイッチと

を含む、集積回路。

【請求項 1 1】

請求項 1 0 に記載の集積回路であって、

前記第 1 のトランジスタが、

前記第 2 の n ドープされた領域内のドレイン領域と、

前記第 1 の n ドープされた領域内のソース領域と、

前記ドレイン領域と前記ソース領域との間であって前記第 1 の p ドープされた領域内のチャンネル領域と、

前記チャンネル領域の上のゲート構造と、

を有する金属酸化物半導体トランジスタを含む、集積回路。

【請求項 1 2】

請求項 1 0 に記載の集積回路であって、

前記第 2 のトランジスタが、

前記第 3 の n ドープされた領域内のドレイン領域と、

前記第 4 の n ドープされた領域内のソース領域と、

前記ドレイン領域と前記ソース領域との間であって前記第 2 の p ドープされた領域内のチャンネル領域と、

前記チャンネル領域の上のゲート構造と、

を有する金属酸化物半導体トランジスタを含む、集積回路。

【請求項 1 3】

請求項 1 0 に記載の集積回路であって、

前記第 1 のトランジスタが、

前記第 2 の n ドープされた領域内の拡張されたドレイン領域と、

前記第 1 の n ドープされた領域内のソース領域と、

前記拡張されたドレイン領域と前記ソース領域との間であって前記第 1 の p ドープされた領域内のチャンネル領域と、

前記チャンネル領域の上のゲート構造と、

を有するドレイン拡張された金属酸化物半導体トランジスタを含む、集積回路。

【請求項 1 4】

請求項 1 0 に記載の集積回路であって、

前記第 2 のトランジスタが、

前記第 3 の n ドープされた領域内の拡張されたドレイン領域と、

前記第 4 の n ドープされた領域内のソース領域と、

前記拡張されたドレイン領域と前記ソース領域との間であって前記第 2 の p ドープされた領域内のチャンネル領域と、

前記チャンネル領域の上のゲート構造と、

を有するドレイン拡張された金属酸化物半導体トランジスタを含む、集積回路。

【請求項 1 5】

請求項 10 に記載の集積回路であって、

前記第 1 の p ドープされた領域が、

前記第 1 及び第 2 の n ドープされた領域の間に置かれる p ドープされたチャネル領域と

、

前記第 1 及び第 2 の n ドープされた領域を横方向に囲む p ドープされたサイド領域と、

前記 p ドープされたチャネル領域と前記 p ドープされたサイド領域とを支持して接続す

る p ドープされた埋め込み層と、

を含む、集積回路。

【請求項 16】

請求項 10 に記載の集積回路であって、

基板と、

前記基板上に置かれる第 1 の n ドープされた埋め込み層と、

前記第 1 の n ドープされた埋め込み層から隔離されて前記基板上に置かれる第 2 の n ドープされた埋め込み層と、

前記第 1 の p ドープされた領域を横方向に囲む第 1 の n ドープされた側壁であって、前記第 1 の n ドープされた埋め込み層によって支持される、前記第 1 の n ドープされた側壁と、

前記第 2 の p ドープされた領域を横方向に囲む第 2 の n ドープされた側壁であって、前記第 2 の n ドープされた埋め込み層によって支持される、前記第 2 の n ドープされた側壁と、

を更に含む、集積回路。