

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年4月9日(2020.4.9)

【公表番号】特表2019-511113(P2019-511113A)

【公表日】平成31年4月18日(2019.4.18)

【年通号数】公開・登録公報2019-015

【出願番号】特願2018-546551(P2018-546551)

【国際特許分類】

H 01 L	27/088	(2006.01)
H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
H 01 L	29/06	(2006.01)
H 01 L	21/8248	(2006.01)
H 01 L	27/06	(2006.01)

【F I】

H 01 L	27/088	3 3 1 D
H 01 L	27/04	H
H 01 L	29/06	3 0 1 D
H 01 L	27/088	3 3 1 G
H 01 L	27/06	1 0 1 U
H 01 L	27/088	3 3 1 C

【手続補正書】

【提出日】令和2年2月25日(2020.2.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路であって、
水平表面を有する基板と、
電圧供給端子と、
出力端子と、

第1のトランジスタであって、前記出力端子に結合される第1のnドープされた領域と、前記第1のnドープされた領域を囲んで前記出力端子に結合される第1のpドープされた領域と、前記第1のpドープされた領域により前記第1のnドープされた領域から分離される第2のnドープされた領域とを含む、前記第1のトランジスタと、

第2のトランジスタであって、第3のnドープされた領域と、前記第3のnドープされた領域を囲んで前記電圧供給端子に結合される第2のpドープされた領域と、前記第2のpドープされた領域により前記第3のnドープされた領域から分離され、前記電圧供給端子に結合される第4のnドープされた領域とを含む、前記第2のトランジスタと、

前記第2及び第3のnドープされた領域の間に結合される浮遊リードと、

前記第1のpドープされた領域と前記出力端子との間に結合される第1のスイッチと、
前記第1のpドープされた領域と前記浮遊リードとの間に結合される第2のスイッチと

、
を含む、集積回路。

【請求項2】

請求項1に記載の集積回路であって、
前記第1のトランジスタが金属酸化物半導体トランジスタを含み、
前記金属酸化物半導体トランジスタが、
前記第2のnドープされた領域におけるドレイン領域と、
前記第1のnドープされた領域におけるソース領域と、
前記第1のpドープされた領域における、前記ドレイン領域と前記ソース領域との間のチャネル領域と、
前記チャネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項3】

請求項1に記載の集積回路であって、
前記第2のトランジスタが金属酸化物半導体トランジスタを含み、
前記金属酸化物半導体トランジスタが、
前記第3のnドープされた領域におけるドレイン領域と、
前記第4のnドープされた領域におけるソース領域と、
前記第2のpドープされた領域における、前記ドレイン領域と前記ソース領域との間のチャネル領域と、
前記チャネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項4】

請求項1に記載の集積回路であって、
前記第1のトランジスタがドレイン拡張された金属酸化物半導体トランジスタを含み、
前記ドレイン拡張された金属酸化物半導体トランジスタが、
前記第2のnドープされた領域における拡張されたドレイン領域と、
前記第1のnドープされた領域におけるソース領域と、
前記第1のpドープされた領域における、前記拡張されたドレイン領域と前記ソース領域との間のチャネル領域と、
前記チャネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項5】

請求項1に記載の集積回路であって、
前記第2のトランジスタがドレイン拡張された金属酸化物半導体トランジスタを含み、
前記ドレイン拡張された金属酸化物半導体トランジスタが、
前記第3のnドープされた領域における拡張されたドレイン領域と、
前記第4のnドープされた領域におけるソース領域と、
前記第2のpドープされた領域における、前記拡張されたドレイン領域と前記ソース領域との間のチャネル領域と、
前記チャネル領域の上に配置されるゲート構造と、
を有する、集積回路。

【請求項6】

請求項1に記載の集積回路であって、
前記第1のpドープされた領域が、
前記第1及び第2のnドープされた領域の間に配置されるpドープされたチャネル領域と、
前記第1及び第2のnドープされた領域を横方向に囲むpドープされたサイド領域と、
前記pドープされたチャネル領域と前記pドープされたサイド領域とを支持して接続するpドープされた埋め込み層と、
を含む、集積回路。

【請求項7】

請求項1に記載の集積回路であって、

前記基板上に置かれる第1のnドープされた埋め込み層と、

前記基板上に置かれて前記第1のnドープされた埋め込み層から隔離される第2のnドープされた埋め込み層と、

前記第1のpドープされた領域を横方向に囲む第1のnドープされた側壁であって、前記第1のnドープされた埋め込み層により支持される、前記第1のnドープされた側壁と

、前記第2のpドープされた領域を横方向に囲む第2のnドープされた側壁であって、前記第2のnドープされた埋め込み層により支持される、前記第2のnドープされた側壁と

、
を更に含む集積回路。

【請求項8】

インタフェースデバイスであって、

水平表面と、前記水平表面に垂直に延在する垂直の深さとを有するpドープされた基板と、

ハイサイド(HS)電圧供給端子と、
ローサイド(LS)電圧供給端子と、
出力端子と、

前記HS電圧供給端子と前記出力端子との間に結合されるHSドライバ回路と、

LSドライバ回路であって、

第1のトランジスタであって、前記出力端子に結合される第1のnドープされた領域と、前記第1のnドープされた領域を囲んで前記出力端子に結合される第1のpドープされた領域と、前記第1のpドープされた領域により前記第1のnドープされた領域から分離される第2のnドープされた領域とを含む、前記第1のトランジスタと、

第2のトランジスタであって、第3のnドープされた領域と、前記第3のnドープされた領域を囲んで前記LS電圧供給端子に結合される第2のpドープされた領域と、前記第2のpドープされた領域により前記第3のnドープされた領域から分離され、前記LS電圧供給端子に結合される第4のnドープされた領域とを含む、前記第2のトランジスタと

、
前記第2及び第3のnドープされた領域の間に結合される浮遊リードと、

前記第1のpドープされた領域と前記出力端子との間に結合される第1のスイッチと、
前記第1のpドープされた領域と前記浮遊リードとの間に結合される第2のスイッチと

、
を含む、前記LSドライバ回路と、
を含む、インタフェースデバイス。

【請求項9】

請求項8に記載のインタフェースデバイスであって、

前記垂直の深さに沿った第1のPNP構造であって、前記第1のpドープされた領域と、前記第1のpドープされた領域の下の第1のnドープされた層と、前記pドープされた基板とを含む、前記第1のPNP構造と、

前記垂直の深さに沿った第2のPNP構造であって、前記第2のpドープされた領域と、前記第2のpドープされた領域の下であって前記第1のnドープされた層から隔離される第2のnドープされた層と、前記pドープされた基板とを含む、前記第2のPNP構造と、

を更に含む、インタフェースデバイス。

【請求項10】

集積回路であって、

電圧源端子と、

出力端子と、

第1のトランジスタであって、前記出力端子に結合される第1のnドープされた領域と、前記第1のnドープされた領域を囲んで前記出力端子に結合される第1のpドープされ

た領域と、前記第1のpドープされた領域により前記第1のnドープされた領域から分離される第2のnドープされた領域とを含む、前記第1のトランジスタと、

第2のトランジスタであって、第3のnドープされた領域と、前記第3のnドープされた領域を囲んで前記電圧源端子に結合される第2のpドープされた領域と、前記第2のpドープされた領域により前記第3のnドープされた領域から分離されて前記電圧源端子に結合される第4のnドープされた領域とを含む、前記第2のトランジスタと、

前記第1のトランジスタと前記第2のトランジスタとに直接に結合される共通ゲート端子と、

前記第2及び第3のnドープされた領域の間に結合される浮遊リードと、

前記第1のpドープされた領域と前記出力端子との間に結合される第1のスイッチと、

前記第1のpドープされた領域と前記浮遊リードとの間に結合される第2のスイッチと

を含む、集積回路。

【請求項11】

請求項10に記載の集積回路であって、

前記第1のトランジスタが、

前記第2のnドープされた領域内のドレイン領域と、

前記第1のnドープされた領域内のソース領域と、

前記ドレイン領域と前記ソース領域との間であって前記第1のpドープされた領域内のチャネル領域と、

前記チャネル領域の上のゲート構造と、

を有する金属酸化物半導体トランジスタを含む、集積回路。

【請求項12】

請求項10に記載の集積回路であって、

前記第2のトランジスタが、

前記第3のnドープされた領域内のドレイン領域と、

前記第4のnドープされた領域内のソース領域と、

前記ドレイン領域と前記ソース領域との間であって前記第2のpドープされた領域内のチャネル領域と、

前記チャネル領域の上のゲート構造と、

を有する金属酸化物半導体トランジスタを含む、集積回路。

【請求項13】

請求項10に記載の集積回路であって、

前記第1のトランジスタが、

前記第2のnドープされた領域内の拡張されたドレイン領域と、

前記第1のnドープされた領域内のソース領域と、

前記拡張されたドレイン領域と前記ソース領域との間であって前記第1のpドープされた領域内のチャネル領域と、

前記チャネル領域の上のゲート構造と、

を有するドレイン拡張された金属酸化物半導体トランジスタを含む、集積回路。

【請求項14】

請求項10に記載の集積回路であって、

前記第2のトランジスタが、

前記第3のnドープされた領域内の拡張されたドレイン領域と、

前記第4のnドープされた領域内のソース領域と、

前記拡張されたドレイン領域と前記ソース領域との間であって前記第2のpドープされた領域内のチャネル領域と、

前記チャネル領域の上のゲート構造と、

を有するドレイン拡張された金属酸化物半導体トランジスタを含む、集積回路。

【請求項15】

請求項 1 0 に記載の集積回路であって、

前記第 1 の p ドープされた領域が、

前記第 1 及び第 2 の n ドープされた領域の間に置かれる p ドープされたチャネル領域と

前記第 1 及び第 2 の n ドープされた領域を横方向に囲む p ドープされたサイド領域と、
前記 p ドープされたチャネル領域と前記 p ドープされたサイド領域とを支持して接続す
る p ドープされた埋め込み層と、

を含む、集積回路。

【請求項 1 6】

請求項 1 0 に記載の集積回路であって、

基板と、

前記基板上に置かれる第 1 の n ドープされた埋め込み層と、

前記第 1 の n ドープされた埋め込み層から隔離されて前記基板上に置かれる第 2 の n ド
ープされた埋め込み層と、

前記第 1 の p ドープされた領域を横方向に囲む第 1 の n ドープされた側壁であって、前
記第 1 の n ドープされた埋め込み層によって支持される、前記第 1 の n ドープされた側壁
と、

前記第 2 の p ドープされた領域を横方向に囲む第 2 の n ドープされた側壁であって、前
記第 2 の n ドープされた埋め込み層によって支持される、前記第 2 の n ドープされた側壁
と、

を更に含む、集積回路。