



등록특허 10-2720049



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2024년10월21일  
(11) 등록번호 10-2720049  
(24) 등록일자 2024년10월16일

- (51) 국제특허분류(Int. Cl.)  
*H01L 21/3065* (2006.01) *H01J 37/32* (2006.01)  
*H01L 21/67* (2006.01) *H05H 1/46* (2006.01)  
*H10B 41/35* (2023.01)
- (52) CPC특허분류  
*H01L 21/3065* (2013.01)  
*H01J 37/32174* (2013.01)
- (21) 출원번호 10-2018-0096843  
(22) 출원일자 2018년08월20일  
심사청구일자 2021년05월24일
- (65) 공개번호 10-2019-0022351  
(43) 공개일자 2019년03월06일
- (30) 우선권주장  
JP-P-2017-160546 2017년08월23일 일본(JP)

## (56) 선행기술조사문헌

JP08139077 A\*  
JP2002184869 A\*  
KR1020170065449 A  
US06255221 B1

\*는 심사관에 의하여 인용된 문헌

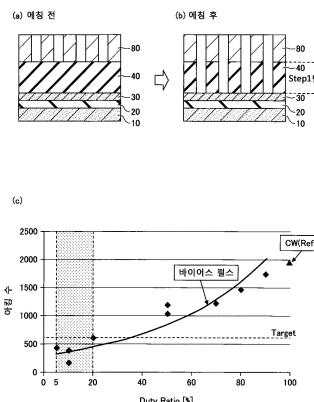
전체 청구항 수 : 총 6 항

심사관 : 최상원

## (54) 발명의 명칭 예칭 방법 및 예칭 처리 장치

**(57) 요 약**

정해진 예칭 특성을 유지하면서, 아킹을 억제하는 것을 목적으로 한다. 처리 용기 내에 가스와, 제 1 주파수의 고주파 전력과, 당해 제 1 주파수보다 낮은 제 2 주파수의 고주파 전력을 공급하여, 부유 전위의 전극충의 상층에 형성된 실리콘 함유막을 예칭하는 예칭 방법으로서, 상기 실리콘 함유막을 예칭한 패턴의 바닥부가 상기 전극충으로부터 정해진 거리 이하가 되면, 연속파의 상기 제 1 주파수의 고주파 전력과 듀티비가 20 % 이하인 펄스파의 상기 제 2 주파수의 고주파 전력을 공급하여, 상기 실리콘 함유막을 예칭하는 공정을 포함하는 예칭 방법이 제공된다.

**대 표 도 - 도5**

(52) CPC특허분류

*H01L 21/67069* (2013.01)

*H05H 1/46* (2013.01)

*H10B 41/35* (2023.02)

---

## 명세서

### 청구범위

#### 청구항 1

처리 용기 내에 가스와, 제 1 주파수의 제 1 전력과, 상기 제 1 주파수보다 낮은 제 2 주파수의 제 2 전력을 공급하여, 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭하는 에칭 방법으로서,

상기 처리 용기는,

상기 실리콘 함유막의 에칭 중에 기판이 배치되는 하부 전극과, 상기 하부 전극과 대향하는 상부 전극을 가지고,

상기 하부 전극 또는 상기 상부 전극으로 상기 제 1 전력을 공급하고, 상기 하부 전극에 상기 제 2 전력을 공급하도록 구성되며,

상기 실리콘 함유막은 부유 전위의 전극층의 상층에 형성되고,

상기 에칭 방법은,

상기 실리콘 함유막의 에칭 중에 상기 실리콘 함유막에 형성된 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리보다 큰 동안, 상기 제 1 전력을 연속파로 공급하고, 상기 제 2 전력을 연속파 또는 뉴티비가 50% 이상인 펄스파로 공급하며,

상기 실리콘 함유막의 에칭 중에 상기 실리콘 함유막에 형성된 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리 이하가 되면, 상기 제 1 전력을 연속파로 공급하고, 상기 제 2 전력을 뉴티비가 20% 이하의 펄스파로 공급하는 에칭 방법.

#### 청구항 2

제 1 항에 있어서,

상기 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리보다 큰 동안에 공급되는 상기 제 2 전력의 크기는 상기 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리 이하가 된 후에 공급되는 상기 제 2 전력의 크기와 동일한 에칭 방법.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리 이하가 되면, 상기 제 1 전력을 연속파로 공급하고, 상기 제 2 전력을 뉴티비가 5% 이상 20% 이하의 펄스파로 공급하는 에칭 방법.

#### 청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 제 2 전력의 펄스 주파수는, 0.1 kHz 이상 50 kHz 이하인 에칭 방법.

#### 청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 에칭 방법에서는, 상기 실리콘 함유막으로서 실리콘 산화막, 실리콘 질화막, 실리콘 산화막과 실리콘 질화막의 적층막, 탄소 함유 실리콘 산화막, 탄소 함유 실리콘 질화막, 탄소 함유 실리콘 산화막과 탄소 함유 실리콘 질화막의 적층막 중 어느하나를 에칭하는 에칭 방법.

#### 청구항 6

처리 용기 내에 가스를 공급하는 가스 공급부와, 제 1 주파수의 제 1 전력과 상기 제 1 주파수보다 낮은 제 2

주파수의 제 2 전력을 공급하는 전력 공급부와, 제어부를 가지고, 접지 전위가 되는 도전층과 대향하는 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭하는 에칭 처리 장치로서,

상기 제어부는,

상기 실리콘 함유막의 에칭 중에 상기 실리콘 함유막에 형성된 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리보다 큰 동안, 상기 제 1 전력을 연속파로 공급하고, 상기 제 2 전력을 연속파 또는 뉴티비가 50% 이상인 펄스파로 공급하고,

상기 실리콘 함유막의 에칭 중에 상기 실리콘 함유막에 형성된 에칭 패턴의 바닥부로부터 상기 전극층까지의 거리가 정해진 거리 이하가 되면, 상기 제 1 전력을 연속파로 공급하고, 상기 제 2 전력을 뉴티비가 20% 이하의 펄스파로 공급하는 에칭 처리 장치.

## 발명의 설명

### 기술 분야

[0001] 본 발명은, 에칭 방법 및 에칭 처리 장치에 관한 것이다.

### 배경기술

[0002] 3차원 구조를 가지는 NAND(3D-NAND)형 플래시 메모리를 제조하는 경우에 있어서, 에칭에 의해 절연막에 복수의 홀을 형성하는 기술이 알려져 있다(예를 들면, 특히 문헌 1 ~ 3을 참조).

[0003] 도 1의 (a)에 나타내는 종래의 3D-NAND형 플래시 메모리 구조에서는, 메모리 셀부와 주변 회로는 병렬로 배치되어 있다. 이 경우, 메모리 셀부 및 주변 회로의 최하층은 실리콘 기판인 접지 전위의 도전층(10)이 된다.

### 선행기술문헌

#### 특허문헌

[0004] (특허문헌 0001) 미국특허공개공보 제2013/0059450호

(특허문헌 0002) 일본특허공개공보 2016-219771호

(특허문헌 0003) 일본특허공개공보 2014-090022호

### 발명의 내용

#### 해결하려는 과제

[0005] 그러나, 도 1의 (b)에 나타내는 3D-NAND형 플래시 메모리 구조에서는, 디바이스의 접적도를 높이기 위해, 주변 회로의 상방에 메모리 셀부가 배치된다. 이 구조에서는, 메모리 셀부의 전극층은 실리콘 기판으로부터 떨어진 위치에 있으며, 부유 전극(30)이 된다.

[0006] 이 상태에서, 메모리 셀부의 실리콘 산화막(40)과 실리콘 질화막(50)의 적층막(60)을 에칭하면, 부유 전극(30)과 접지 전위의 도전층(10)과의 사이에 전위차가 발생하여, 전자 셰이딩(shading) 효과에 기인하는 아킹(arcing)이 발생한다.

[0007] 아킹이 발생하면, 주변 회로에 데미지를 주는 경우가 있기 때문에, 아킹을 억제할 필요가 있다. 한편, 아킹을 발생하기 어렵게 하기 위해, 공급하는 파워를 억제하여 에칭을 행하면, 에칭 레이트 등의 정해진 에칭 특성이 얻어지지 않는 경우가 있다.

[0008] 상기 과제에 대하여, 일측면에서는, 본 발명은 정해진 에칭 특성을 유지하면서 아킹을 억제하는 것을 목적으로 한다.

#### 과제의 해결 수단

[0009] 상기 과제를 해결하기 위해, 일태양에 따르면, 처리 용기 내에 가스와, 제 1 주파수의 고주파 전력과, 당해 제

1 주파수보다 낮은 제 2 주파수의 고주파 전력을 공급하여, 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭하는 에칭 방법으로서, 상기 실리콘 함유막을 에칭한 패턴의 바닥부가 상기 전극층으로부터 정해진 거리이하가 되면, 연속파의 상기 제 1 주파수의 고주파 전력과 듀티비가 20% 이하의 펄스파의 상기 제 2 주파수의 고주파 전력을 공급하여, 상기 실리콘 함유막을 에칭하는 공정을 포함하는 에칭 방법이 제공된다.

### 발명의 효과

[0010] 일측면에 따르면, 정해진 에칭 특성을 유지하면서 아킹을 억제할 수 있다.

### 도면의 간단한 설명

[0011] 도 1은 3D-NAND 구조의 일례를 설명하기 위한 도이다.

도 2는 일실시 형태에 따른 3D-NAND 구조에 의한 아킹의 발생을 설명하기 위한 도이다.

도 3은 일실시 형태에 따른 에칭 처리 장치의 구성의 일례를 나타내는 도이다.

도 4는 일실시 형태에 따른 3D-NAND 구조의 에칭에 대하여 설명하기 위한 도이다.

도 5는 일실시 형태에 따른 에칭에 있어서의 바이어스 펄스와 아킹과의 관계의 일례를 나타내는 도이다.

도 6은 일실시 형태에 따른 에칭 처리를 설명하기 위한 도이다.

도 7은 일실시 형태에 따른 에칭 처리의 일례를 나타내는 순서도이다.

도 8은 일실시 형태에 따른 에칭 처리의 결과의 패턴의 일례를 나타내는 도이다.

도 9는 일실시 형태에 따른 바이어스 펄스의 효과를 설명하기 위한 도이다.

도 10은 일실시 형태에 따른 에칭 특성의 일례를 나타내는 도이다.

### 발명을 실시하기 위한 구체적인 내용

[0012] 이하, 본 발명을 실시하기 위한 형태에 대하여 도면을 참조하여 설명한다. 또한, 본 명세서 및 도면에 있어서, 실질적으로 동일한 구성에 대해서는, 동일한 부호를 부여함으로써 중복된 설명을 생략한다.

[처음으로]

[0014] 도 1에 나타내는 3D-NAND 플래시 메모리 등의 디바이스의 제조에서는, 플라즈마를 이용하여 실리콘 산화막 ( $\text{SiO}_2$ )(40)과 실리콘 질화막(SiN)(50)의 적층막(60)에 복수의 홀(H)(콘택트 홀)을 형성하는 에칭 공정이 있다. 이 때, 적층막(60) 및 실리콘 산화막(20)에 대하여, 동시에 에칭이 행해진다.

[0015] 도 1의 (a)에 나타내는 종래의 3D-NAND형 플래시 메모리 구조에서는, 메모리 셀부와 주변 회로는 병렬로 배치되어 있다. 이 경우, 주변 회로의 전극은 접지되어, 실리콘 기판인 접지 전위의 도전층(10)과의 사이에 전위차는 발생하지 않는다.

[0016] 한편, 도 1의 (b)에 나타내는 3D-NAND형 플래시 메모리 구조에서는, 디바이스의 접적도를 높이기 위해 주변 회로의 상방에 메모리 셀부가 배치된다. 이 구조에서는, 메모리 셀부의 전극층(이하, '부유 전극(30)'이라고도 말함)은 접지 전위의 도전층(10)으로부터 떨어진 위치에 있으며, 부유 전위가 된다.

[0017] 이 상태에서, 적층막(60) 및 실리콘 산화막(20)을 동시에 에칭하면, 도 2에 나타내는 바와 같이, 부유 전극(30) 및 부유 전극(31)과 도전층(10)의 사이에 전위차( $\Delta$ )가 발생한다. 그렇게 하면, 부유 전극(30) 또는 부유 전극(31)에 전자 세이딩 효과에 기인하는 아킹이 발생한다.

[0018] 도 2의 하측에 홀(H)의 바닥부 주변의 확대도를 나타내는 바와 같이, 플라즈마 중의 이온은 홀(H)의 에칭 패턴에 수직으로 입사하는 것에 반하여, 플라즈마 중의 전자는 임의의 방향으로부터 입사한다. 이상으로부터, 전자 세이딩 효과란, 적층막(60) 상의 마스크(카본막(80))에 차단되는 좁은 스페이스로부터 에칭 패턴의 바닥부까지 도달하는 전자(입사 전자량)가 감소하는 현상을 말한다. 이 결과, 에칭 패턴의 바닥부가 양으로 차지 업(charge up)되고, 부유 전극(30, 31)과 도전층(실리콘 기판)(10)의 사이에 전위차가 발생함으로써 세이딩 데미지가 일어난다. 세이딩 데미지란, 전자 세이딩 효과에 기인하는 웨이퍼의 아킹을 말한다. 아킹이 발생하면, 웨이퍼(W) 상의 주변 회로에 데미지를 주는 경우가 있다.

- [0019] 따라서, 본 실시 형태에서는, 접지 전위가 되는 도전층의 실리콘 기판과 대향하는 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭할 때에, 아킹의 발생을 억제하는 것이 가능한 에칭 방법을 제안한다.
- [0020] 이하의 설명에서는, 먼저, 본 실시 형태에 따른 에칭 처리 장치의 전체 구성을 설명하고, 그 후, 본 실시 형태에 따른 에칭 방법에 대하여 설명한다.
- [0021] [에칭 처리 장치의 전체 구성]
- [0022] 우선, 본 발명의 일실시 형태에 따른 에칭 처리 장치(1)의 전체 구성에 대하여, 도 3을 참조하면서 설명한다. 여기서는, 에칭 처리 장치(1)의 일례로서 용량 결합형 플라즈마 에칭 장치를 예로 든다.
- [0023] 본 실시 형태에 따른 에칭 처리 장치(1)는, 특히 반도체 웨이퍼(W)(이하, '웨이퍼(W)'라고도 부름)를 에칭한다.
- [0024] 에칭 처리 장치(1)는, 예를 들면 알루미늄 등의 도전성 재료로 이루어지는 처리 용기(2)와, 처리 용기(2)의 내부에 가스를 공급하는 가스 공급부(11)를 가진다. 처리 용기(2)는 전기적으로 접지되어 있다. 처리 용기(2)의 내부에는 하부 전극(21)과, 이에 대향하여 평행하게 배치된 상부 전극(22)을 가진다. 하부 전극(21)은 웨이퍼(W)를 배치하는 배치대로서도 가능한다.
- [0025] 하부 전극(21)에는 제 1 정합기(33)를 개재하여 제 1 고주파 전원(32)이 접속되고, 제 2 정합기(35)를 개재하여 제 2 고주파 전원(34)이 접속된다. 제 1 고주파 전원(32)은 27 MHz보다 높고, 예를 들면 100 MHz의 주파수의 고주파 전력(HF)(플라즈마 생성용의 고주파 전력)을 하부 전극(21)에 인가한다. 제 2 고주파 전원(34)은 13 MHz보다 낮고, 예를 들면 3 MHz의 고주파 전력(LF)(이온 인입용의 고주파 전력)을 하부 전극(21)에 인가한다. 고주파 전력(HF)은 상부 전극(22)에 인가해도 된다.
- [0026] 제 1 정합기(33)는 제 1 고주파 전원(32)의 내부(또는 출력) 임피던스에 부하 임피던스를 정합시킨다. 제 2 정합기(35)는 제 2 고주파 전원(34)의 내부(또는 출력) 임피던스에 부하 임피던스를 정합시킨다.
- [0027] 상부 전극(22)은 그 주연부를 피복하는 실드 링(41)을 개재하여 처리 용기(2)의 천장부에 장착되어 있다. 상부 전극(22)에는, 가스를 확산시키는 확산실(51)과, 가스 도입구(45)가 형성되어 있다. 가스 공급부(11)로부터 출력된 가스는 가스 도입구(45)를 통하여 확산실(51)로 공급되고, 확산실(51)에서 확산되어 가스 유로(55)를 거쳐 가스 홀(28)로부터 하부 전극(21)과 상부 전극(22)의 사이의 플라즈마 공간에 공급된다. 이와 같이 하여 상부 전극(22)은 가스를 공급하는 가스 샤프 헤드로서도 가능한다.
- [0028] 처리 용기(2)의 바닥면에는 배기구(61)가 형성되어 있으며, 배기구(61)에 접속된 배기 장치(65)에 의해 처리 용기(2)의 내부가 배기된다. 이에 따라, 처리 용기(2)의 내부를 정해진 진공도로 유지할 수 있다. 처리 용기(2)의 측벽에는, 게이트 밸브(G)가 마련되어 있다. 게이트 밸브(G)는, 처리 용기(2)로부터 웨이퍼(W)의 반입 및 반출을 행할 때에 반입반출구를 개폐한다.
- [0029] [제어부의 하드웨어 구성]
- [0030] 에칭 처리 장치(1)에는, 장치 전체의 동작을 제어하는 제어부(100)가 마련되어 있다. 제어부(100)는, CPU(Central Processing Unit)(101), ROM(Read Only Memory)(102) 및 RAM(Random Access Memory)(103)을 가지고 있다.
- [0031] ROM(102)에는 제어부(100)에 의해 실행되는 기본 프로그램 등이 기억되어 있다. RAM(103)에는 레시피가 저장되어 있다. 레시피에는 프로세스 조건(에칭 조건)에 대한 에칭 처리 장치(1)의 제어 정보가 설정되어 있다. 제어 정보에는, 프로세스 시간, 압력(가스의 배기), 고주파 전력 또는 전압, 각종 가스 유량, 챔버 내 온도(예를 들면, 상부 전극 온도, 처리 용기(2)의 측벽 온도, 웨이퍼의 설정 온도) 등이 포함된다. 또한, 레시피는 하드 디스크 또는 반도체 메모리에 기억되어 있어도 된다. 또한, 레시피는 CD-ROM, DVD 등의 가반성의 컴퓨터에 의해 판독 가능한 기억 매체에 수용된 상태로, 기억 영역의 정해진 위치에 세팅하도록 해도 된다.
- [0032] CPU(101)는, ROM(102)에 저장된 기본 프로그램에 기초하여, 에칭 처리 장치(1)의 전체의 제어를 행한다. CPU(101)는, RAM(103)에 저장된 레시피의 순서에 따라, 웨이퍼(W)에 대한 에칭 처리를 제어한다.
- [0033] [에칭 시의 아킹 수]
- [0034] 본 실시 형태에서는, 부유 전극이 존재하는 디바이스 구조에 있어서, 부유 전극 상의 절연막의 에칭 시에 발생하는 전자 셰이딩에 의한 데미지를 억제한다. 부유 전극이 존재하는 디바이스 구조의 일례로서, 본 실시 형태에서는 3D-NAND 구조를 예로 들어 설명한다. 그러나, 본 실시 형태에 따른 에칭 방법을 적용 가능한 디바이스 구

조는 3D-NAND 구조에 한정되지 않고, 접지 전위가 되는 도전층과 대향하는 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭하는 경우에 적용 가능하다.

[0035] 도 4에 나타내는 3D-NAND 구조에 있어서의 에칭에서는, 부유 전극(31)에 대한 메인 콘택트(Main Contact)와, 부유 전극(30)에 대한 콘택트(Channel)의 홀(H)의 에칭이 일괄하여 실행된다.

[0036] 이 때에 발생하는 아킹 수에 대하여, 도 5의 실험 결과의 일례를 참조하여 설명한다. 이 실험에서는, 도 5의 (a)에 나타내는 막 구조에 있어서, 에칭 대상막인 실리콘 산화막(40)을, 도 5의 (b)에 나타내는 바와 같이, 하지막(下地膜)의 폴리실리콘의 부유 전극(30)까지 카본막(80)에 형성된 마스크 패턴으로 에칭한다. 이 때, 에칭의 도중에 에칭 조건을 전환하지 않고(Step1만), 하기 프로세스 조건에 기초하여 부유 전극(30)이 노출될 때까지 에칭을 계속한다.

[0037] <프로세스 조건>

[0038] 압력 20 mT(2.666 Pa)

[0039] 가스종 C<sub>4</sub>F<sub>8</sub> 가스, CO 가스 및 O<sub>2</sub> 가스

[0040] 고주파 전력(HF) 600 W(연속파) 100 MHz

[0041] 고주파 전력(LF) 11000 W(연속파, 펄스파) 3 MHz

[0042] 고주파 전력(LF)이 펄스파인 경우 : 펄스 주파수 10 kHz ~ 50 kHz, Duty 5% ~ 90%

[0043] 또한, 펄스 주파수는, 고주파 전력을 인가할 때의 온/오프의 반복에 있어서의 주기를 나타낸다.

[0044] 이 때, 실리콘 기판인 접지 전위의 도전층(10)에 대하여 실리콘 산화막(20)을 사이에 두고 상방에 위치하는 폴리실리콘의 부유 전극(30)은 부유 전극이기 때문에, 에칭 처리 중에 아킹이 발생하는 경우가 있다. 도 5의 (c)의 그래프는, 에칭 처리 중에 발생한 아킹 수의 일례이다. 가로축은 고주파 전력(LF)의 Duty(듀티)비이다. 세로축은 고주파 전력(LF)의 Duty비를 변화시켰을 때의 아킹 수의 변화를 나타낸다. 아킹 수는, 실험에 의해 웨이퍼(W)에 방전이 발생한 흔적이 있는 개소의 수이다.

[0045] 고주파 전력(HF) 및 고주파 전력(LF)이 연속파(CW)일 때의 아킹 수 '2000'을 참조함(CW ref.)으로 하고, 고주파 전력(LF)이 펄스파인 경우(이하, '바이어스 펄스'라고도 한다.)의 아킹 수와 비교한다. 바이어스 펄스의 Duty비가 5% ~ 90%의 범위 중 어느 것이어도, 고주파 전력(HF) 및 고주파 전력(LF)이 연속파일 때의 아킹 수보다 작게 되어 있다.

[0046] 허용되는 아킹 수를 약 600개(타깃)로 하면, 바이어스 펄스의 Duty비가 20% 이하인 경우, 발생하는 아킹 수는 허용 범위 내가 되는 것을 알 수 있다. 따라서, 도 5의 (c)의 그래프로부터, 고주파 전력(LF)을 펄스파로 하여 인가하는 경우, Duty비는 5% ~ 20%의 범위 내가 바람직한 것을 알 수 있었다.

[0047] 도 6의 (a)에 나타내는 바와 같이, 에칭이 진행됨에 따라 전자 셰이딩 효과에 의해 에칭 패턴의 바닥부에 양(正)전하의 이온이 모인다. 예를 들면, 도 6의 (b)에 나타내는 바와 같이, 에칭 패턴의 바닥부가 폴리실리콘의 부유 전극(30)으로부터 거리(d)보다 근접하면, 부유 전극(30)과 도전층(10)의 사이에 전위차( $\Delta$ )가 발생하여, 아킹이 발생하는 것으로 한다.

[0048] 본 실시 형태에서는, 도 5의 (c)의 그래프가 나타내는 결과를 이용하여, 도 6의 (c)에 나타내는 바와 같이, 에칭 패턴의 바닥부가 부유 전극(30)으로부터 거리(d)의 위치에 도달하면, 고주파 전력(LF)을 연속파로부터 펄스파로 전환하여, 바이어스 펄스를 이용한 에칭을 행한다. 이와 같이 하여, 고주파 전력(HF) 및 고주파 전력(LF) 모두 연속파의 고주파를 인가하는 제 1 단계(Step1)로부터, 고주파 전력(HF)은 연속파이며 고주파 전력(LF)은 펄스파의 고주파를 인가하는 제 2 단계(Step2)로 전환된다. 이에 따라 아킹을 억제 가능한 에칭 방법을 실현할 수 있다. 또한, 바이어스 펄스로 전환되는 타이밍의 지표인 부유 전극(30)으로부터의 거리(d)는 실험에 의해 미리 정해져 있다.

[0049] [에칭 처리]

[0050] 이어서, 본 실시 형태에 따른 에칭 처리에 대하여, 도 7을 참조하여 설명한다. 도 7은 일실시 형태에 따른 에칭 처리의 일례를 나타내는 순서도이다. 본 에칭 처리는, 도 4에 나타내는 3D-NAND 구조가 형성된 웨이퍼(W)에 대한 에칭 가공에 있어서 적용된다. 본 에칭 처리의 제어는 제어부(100)에 의해 행해진다.

- [0051] 본 처리가 개시되면, 제어부(100)는 연속파(CW)의 고주파 전력(HF) 및 연속파(CW)의 고주파 전력(LF)을 하부 전극(21)에 인가한다(단계 S10). 또한, 제어부(100)는 CF계 가스를 포함하는 가스를 처리 용기(2) 내에 공급한다(단계 S10). 본 실시 형태에서는, CF계 가스를 포함하는 가스의 일례로서, C<sub>4</sub>F<sub>6</sub> 가스, CO 가스 및 O<sub>2</sub> 가스의 혼합 가스가 처리 용기(2) 내에 공급된다. 이에 따라, 상기 혼합 가스로부터 플라즈마가 생성된다.
- [0052] 이어서, 제어부(100)는, 생성된 플라즈마에 의해, 도 4에 나타내는 적층막(60) 및 실리콘 산화막(20)을 병행하여 에칭한다(단계(S12) : Step1). 단계(S12)의 에칭의 프로세스 조건은, 상기 <프로세스 조건 : LF 연속파의 경우>에 기재한 바와 같다. 이에 의하면, Step1의 에칭에서는, 고주파 전력(HF)과 고주파 전력(LF) 모두 연속파로 함으로써, 이온의 인입력에 의해 높은 에칭 레이트로 에칭을 촉진할 수 있다.
- [0053] 이어서, 제어부(100)는 부유 전극(30)으로부터 정해진 거리(d)가 될 때까지 에칭하였는지를 판정한다(단계(S14)). 제어부(100)는 부유 전극(30)으로부터 정해진 거리(d)가 될 때까지 단계(S12, S14)를 반복한다.
- [0054] 제어부(100)는, 부유 전극(30)으로부터 정해진 거리(d)가 될 때까지 에칭이 진행되었다고 판정되면, 이어서, 제어부(100)는 연속파(CW)의 고주파 전력(HF) 및 Duty비가 20% 이하의 펄스파(바이어스 펄스)의 고주파 전력(LF)을 하부 전극(21)에 인가한다(단계(S16)). 또한, 제어부(100)는 CF계 가스를 포함하는 가스로서, 계속해서 C<sub>4</sub>F<sub>6</sub> 가스, CO 가스 및 O<sub>2</sub> 가스의 혼합 가스를 처리 용기(2) 내에 공급한다. 또한, 제어부(100)는, 단계(S16)에 있어서 Duty비가 5% 이상의 바이어스 펄스의 고주파 전력(LF)을 하부 전극(21)에 인가하는 것이 바람직하다.
- [0055] 이어서, 제어부(100)는, 생성된 플라즈마에 의해, 도 4에 나타내는 적층막(60) 및 실리콘 산화막(20)을 계속해서 에칭한다(단계(S18) : Step2). 단계(S18)의 에칭의 프로세스 조건은, 상기의 <프로세스 조건 : LF 펄스파의 경우>에 기재한 바와 같다. 이에 의하면, 전환 후의 Step2의 에칭에서는, 고주파 전력(HF)을 연속파로 하고 고주파 전력(LF)을 펄스파로 함으로써, 에칭 패턴의 바닥부의 차지(charge)를 제거할 수 있다.
- [0056] 도 9에 나타내는 바와 같이, 고주파 전력(HF) 및 고주파 전력(LF)이 온인 동안에 에칭 패턴의 바닥부에 차지된 양의 전하(이온)는, 고주파 전력(LF)이 오프인 동안에 에칭 패턴의 바닥부로부터 플라즈마에 방출되어 차지 제거된다. 이 반복에 의해, 아킹의 발생을 억제할 수 있다.
- [0057] 이어서, 제어부(100)는, 부유 전극(30)까지 에칭하였는지를 판정한다(단계(S20)). 제어부(100)는, 부유 전극(30)까지 에칭하고 있지 않다고 판정한 경우, 단계(S18)로 되돌아가 Step2의 에칭을 계속한다. 단계(S20)에 있어서, 제어부(100)는, 부유 전극(30)까지 에칭하였다고 판정한 경우, 본 처리를 종료한다.
- [0058] 본 실시 형태에 따른 에칭 방법에서는, 단계(S12)의 에칭에 있어서 모두 연속파의 고주파 전력(HF) 및 고주파 전력(LF)을 인가함으로써, 에칭을 촉진한다. 이에 따라, 도 8의 (b) 및 도 8의 (c)에 에칭 처리 결과의 패턴의 일례를 나타내도록, 도 8의 (a)에 나타내는 초기 상태의 카본막(80)의 패턴으로 실리콘 산화막(40)이 에칭된다. 도 8에서는, 실리콘 산화막(40)과 실리콘 질화막(50)의 적층막(60) 대신에, 실리콘 산화막(40)이 에칭 대상막으로 되어 있다.
- [0059] 도 8의 (b)에 나타내는 바와 같이, 연속파의 고주파 전력(HF) 및 고주파 전력(LF)을 인가함으로써 실리콘 산화막(40)의 도중까지 에칭한 경우, 아킹은 발생하지 않았다. 이 때, 부유 전극(30)으로부터 에칭된 실리콘 산화막(40)의 깊이까지의 거리가 142 nm였다. 계속해서, 도 8의 (c)에 나타내는 바와 같이, 도 8의 (b)로부터 계속해서 에칭된 실리콘 산화막(40)의 깊이가 부유 전극(30)까지 도달하고, 부유 전극(30)이 노출될 때까지 에칭한 경우이며, 이 때, 아킹의 발생이 확인되었다. 이것은, 연속파의 고주파 전력(HF) 및 고주파 전력(LF)을 인가한 경우 에칭 중에 에칭 패턴의 바닥부의 차지를 제거할 수 없으므로 아킹이 발생하여, 세이딩 데미지가 발생한 것이라고 생각된다.
- [0060] 이 점에서, 단계(S12)의 에칭에 의해 부유 전극(30)으로부터 정해진 거리(d) (도 8의 (b)에서는, 142 nm)까지 에칭을 행하고, 계속해서 단계(S12)의 에칭으로부터 단계(S14)로 전환되며, Duty비가 20% 이하의 바이어스 펄스의 고주파 전력(LF)이 하부 전극(21)에 인가된 에칭을 행함으로써, 에칭 대상막의 패턴의 바닥부의 차지를 제거하여 아킹을 발생시키지 않고(또는, 아킹 수를 타깃이 되는 개수 이하로 하여), 에칭을 완료할 수 있다.
- [0061] 에칭 레이트와 세이딩 데미지는 트레이드 오프의 관계에 있다. 예를 들면, 도 10의 (b)에는, 도 10의 (a)에 나타내는 구조의 부유 전극(30)의 상층에 형성된 적층막(60)을 에칭하였을 때의 결과의 일례를 나타낸다.
- [0062] 제 1 단계(Step1)의 에칭에 있어서, 연속파의 고주파 전력(HF) 및 연속파의 고주파 전력(LF)을 인가하였을 때의 적층막(60)의 에칭 레이트는 '572 nm / min', 카본막(80)에 대한 적층막(60)의 마스크 선택비는 '5.5'였다.

[0063] 이에 반하여, 제 2 단계(Step2)의 에칭에 있어서, 연속파의 고주파 전력(HF) 및 펄스파의 고주파 전력(LF)을 인가하였을 때의 적층막(60)의 에칭 레이트는 '103 nm / min', 카본막(80)에 대한 적층막(60)의 마스크 선택비는 '2.9'로 모두 낮아졌다. 특히 에칭 레이트는 제 1 단계의 에칭 레이트의 약 1 / 5이었다. 그러나, 이 때의 세이딩 데미지(아킹 수)는, 150이며, 제 1 단계의 세이딩 데미지(아킹 수 : 1779)의 약 1 / 12이었다.

[0064] 이상으로부터, 제 1 단계의 에칭 시간에 대한 제 2 단계의 에칭 시간을 길게 할수록 토탈의 에칭 레이트가 내려가서 에칭 특성이 저하되기 때문에, 아킹이 발생하지 않는 최대한의 깊이까지 제 1 단계의 에칭을 행하는 것이 바람직하다. 즉, 부유 전극으로부터의 거리를 나타내는 정해진 거리(d)는 대전해도 충분한 내압을 유지할 수 있는 막 두께로서, 아킹이 발생하지 않는 최소한의 거리로 설정되는 것이 바람직하다.

[0065] 본 실시 형태에 따르면, 에칭 공정을 제 1 단계 및 제 2 단계로 전환하여 실행하고, 제 2 단계에서는 Duty비가 5% 이상 20% 이하의 바이어스 펄스의 고주파 전력(LF)을 인가한다. 이에 따라, 에칭 패턴의 바닥부의 차지를 제거하면서 에칭을 행할 수 있다. 이 결과, 에칭 레이트 등, 정해진 에칭 특성을 유지하면서, 아킹을 억제할 수 있다. 또한, 부유 전극으로부터의 정해진 거리를 아킹이 발생하지 않는 최소한의 깊이로 설정하고, 부유 전극으로부터의 정해진 거리가 되면, 제 1 단계로부터 제 2 단계로 전환한다. 이에 따라, 에칭 레이트 및 선택비 등의 에칭 특성을 정해진 정도로 유지하면서, 아킹을 억제할 수 있다.

#### [변형예]

[0066] 이상, 3D-NAND 구조의 부유 전극(30)의 상층에 형성된 적층막(60)을 에칭하는 에칭 방법에 대하여 설명했다. 그러나, 본 실시 형태에 따른 에칭 방법은, 3D-NAND 구조에 한정되지 않고, 접지 전위가 되는 도전층과 대향하는 부유 전위의 전극층의 상층에 형성된 실리콘 함유막을 에칭하는 방법에 적용하는 것이 바람직하다. 즉, 본 실시 형태에 따른 에칭 방법은, 절연막 중에 전기적으로 플로팅된 전극이 있는 구조에 있어서 절연막의 에칭에 적용하는 것이 바람직하다.

[0067] 실리콘 함유막은,  $\text{SiO}_2$ ,  $\text{SiN}$ ,  $\text{SiO}_2$ 와  $\text{SiN}$ 의 적층막 외,  $\text{SiC}$ ,  $\text{SiCN}$ ,  $\text{SiCO}$ ,  $\text{SiOCH}$  등의 탄소 함유 실리콘 산화막 또는 탄소 함유 실리콘 질화막, 탄소 함유 실리콘 산화막과 탄소 함유 실리콘 질화막의 적층막이여도 된다.

[0068] 또한, 예를 들면, 접지 전위가 되는 도전층으로서는, Poly-Si(폴리실리콘)에 한정되지 않고, 실리콘(Si)의 단결정 또는 보론(boron) 등이 도프된 실리콘이여도 된다.

[0069] 또한, 마스크로서, 본 실시 형태에서는 카본막(80)을 예로 들었지만, 이에 한정되지 않고, Poly-Si, W(텅스텐), TiN, 유기계의 마스크여도 된다.

[0070] 상기 실시 형태의 제 1 단계에서는, 연속파의 고주파 전력(HF)과 연속파의 고주파 전력(LF)을 공급하여, 실리콘 함유막을 에칭했다. 그러나, 이에 한정되지 않고, 제 1 단계에서는, 연속파의 고주파 전력(HF)과, Duty비가 50% 이상의 펄스파의 고주파 전력(LF)을 공급하여, 실리콘 함유막을 에칭해도 된다.

[0071] 또한, 상기 실시 형태에서는, 고주파 전력(LF)이 펄스파인 경우, 10 kHz ~ 50 kHz의 범위 중 임의의 펄스 주파수의 고주파 전력(LF)을 인가했지만, 이에 한정되지 않고, 고주파 전력(LF)이 펄스파인 경우, 그 펄스 주파수는, 0.1 kHz ~ 50 kHz의 범위이면 된다.

[0072] 이상, 에칭 방법 및 에칭 처리 장치를 상기 실시 형태에 의해 설명했지만, 본발명에 따른 에칭 방법 및 에칭 처리 장치는 상기 실시 형태에 한정되는 것은 아니고, 본 발명의 범위 내에서 다양한 변형 및 개량이 가능하다. 상기 복수의 실시 형태에 기재된 사항은, 모순되지 않는 범위에서 조합시킬 수 있다.

[0073] 본 발명에 따른 기판 처리 장치는, Capacitively Coupled Plasma(CCP), Inductively Coupled Plasma(ICP), Radial Line Slot Antenna, Electron Cyclotron Resonance Plasma(ECR), Helicon Wave Plasma(HWP)의 어느 타입에서도 적용 가능하다.

[0074] 본 명세서에서는, 기판의 일례로서 반도체 웨이퍼(W)를 예로 들어 설명했다. 그러나, 기판은, 이에 한정되지 않고, LCD(Liquid Crystal Display), FPD(Flat Panel Display)에 이용되는 각종 기판 또는 포토마스크, CD 기판, 프린트 기판이여도 된다.

#### 부호의 설명

[0075] 1 : 에칭 처리 장치

2 : 처리 용기

10 : 도전층(실리콘 기판)

11 : 가스 공급부

20 : 실리콘 산화막

21 : 하부 전극(배치대)

22 : 상부 전극

30: 부유 전극

32: 제 1 고주파 전원

34: 제 2 고주파 전원

40: 실리콘 산화막

45: 가스 도입구

50 : 실리콘 질화막

51 : 확산실

60 : 적층막

65 : 배기 장치

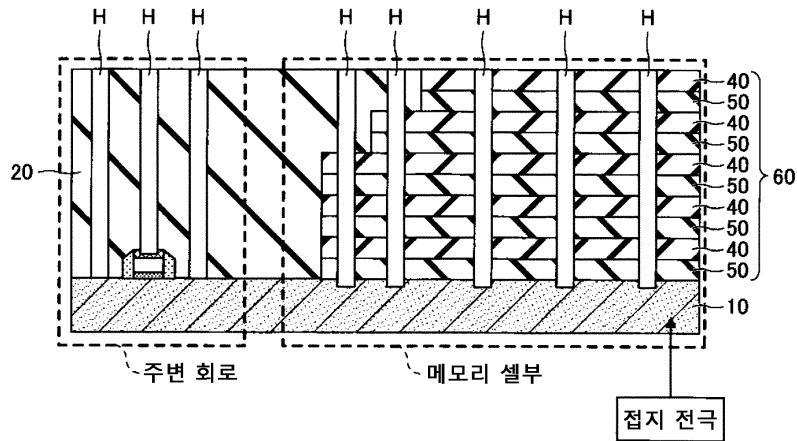
80 : 카본막

100 : 제어부

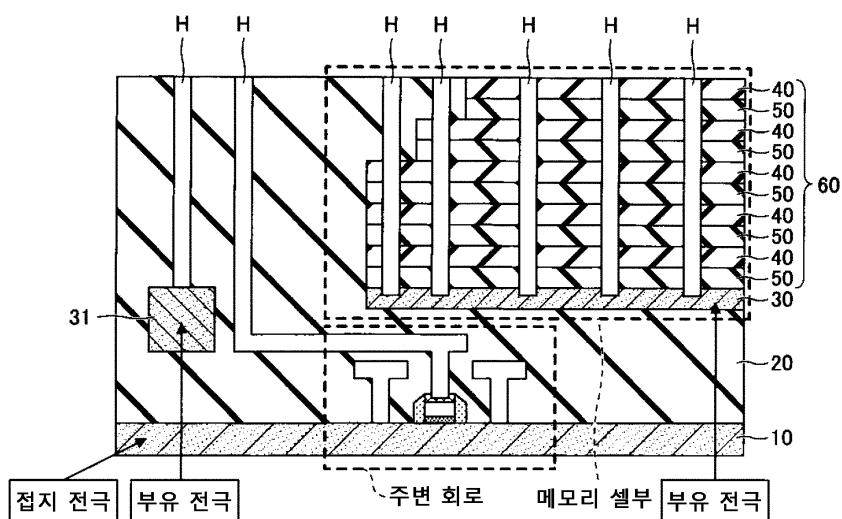
## 도면

## 도면1

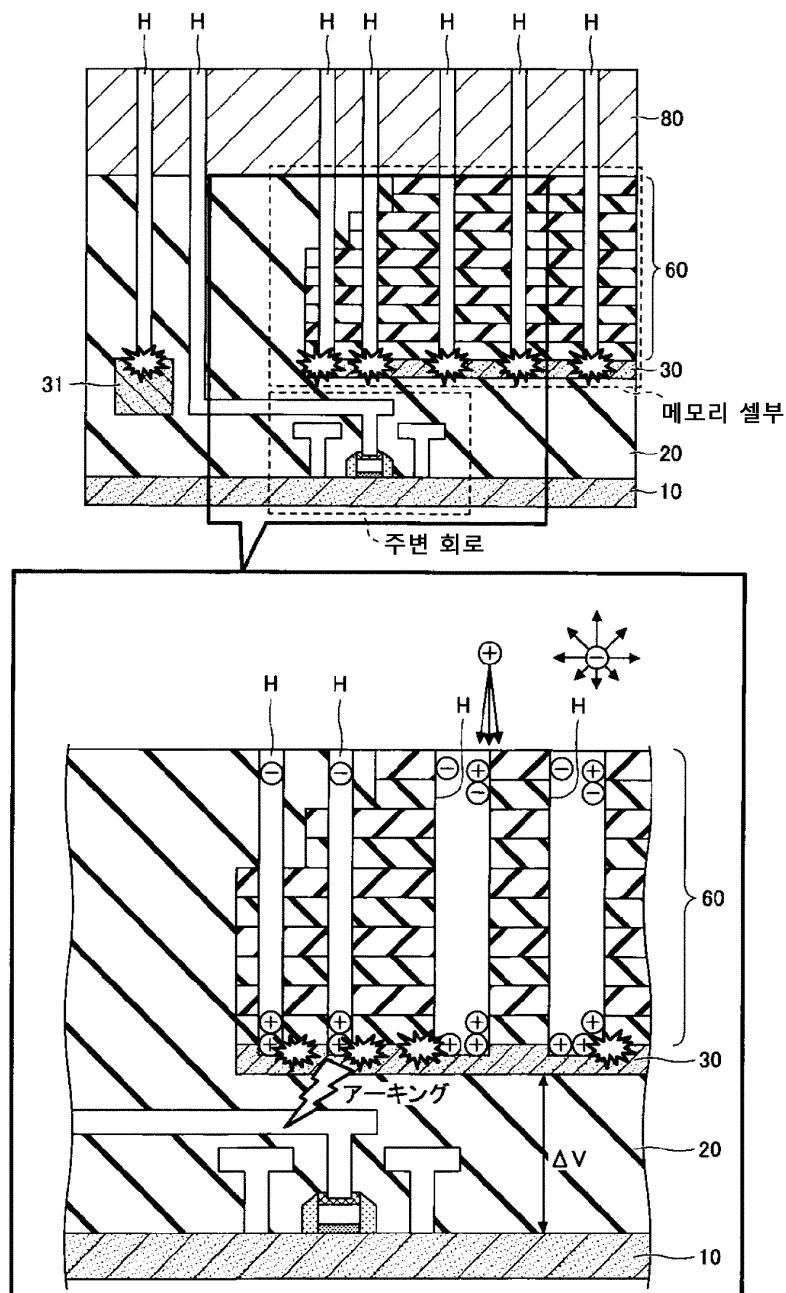
(a) 3D NAND 구조



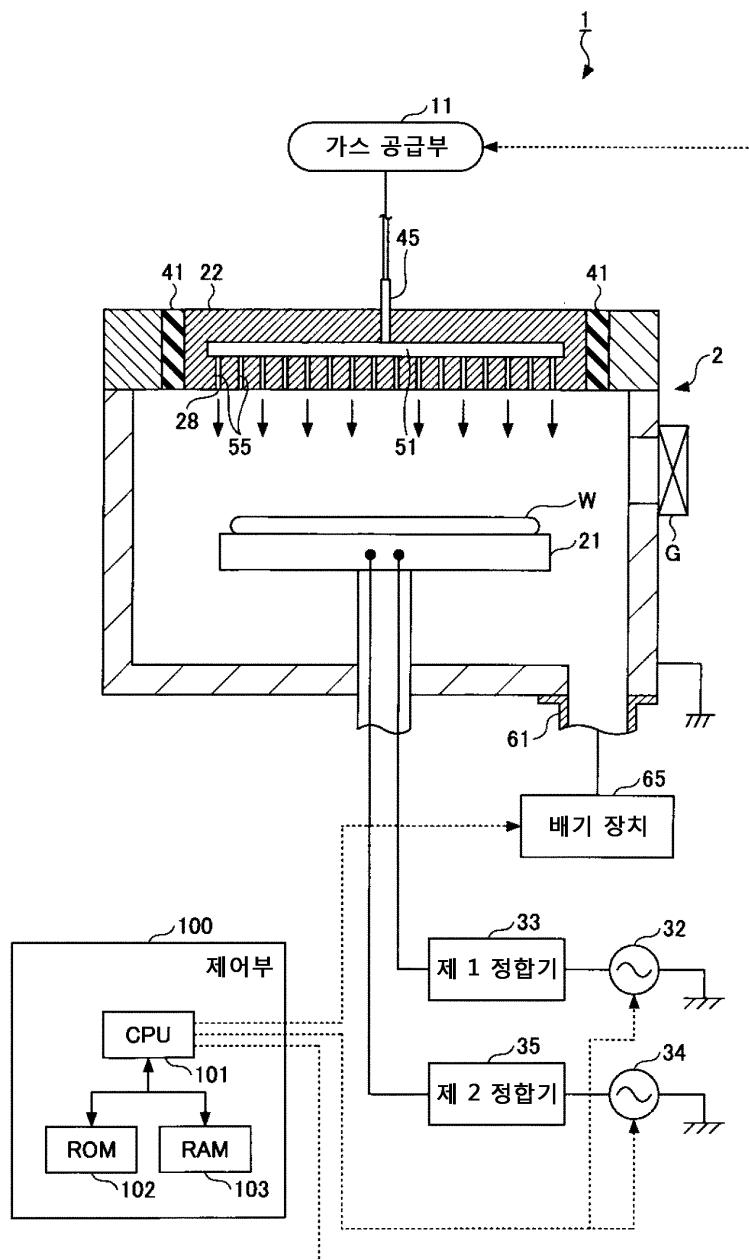
(b) 3D NAND 구조



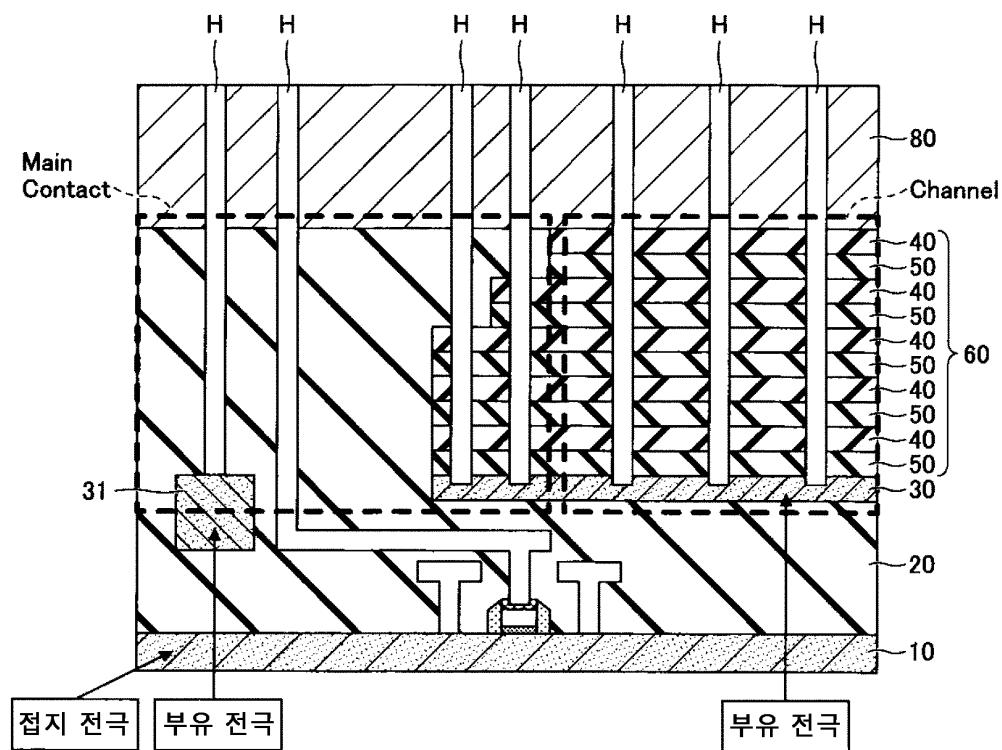
도면2



## 도면3

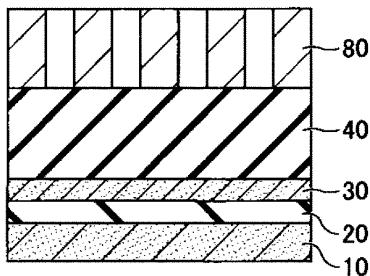


도면4

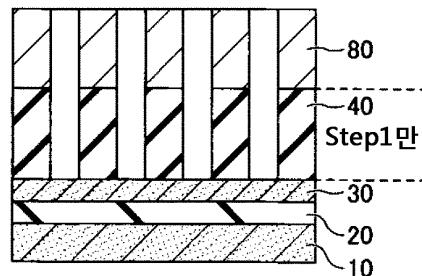


## 도면5

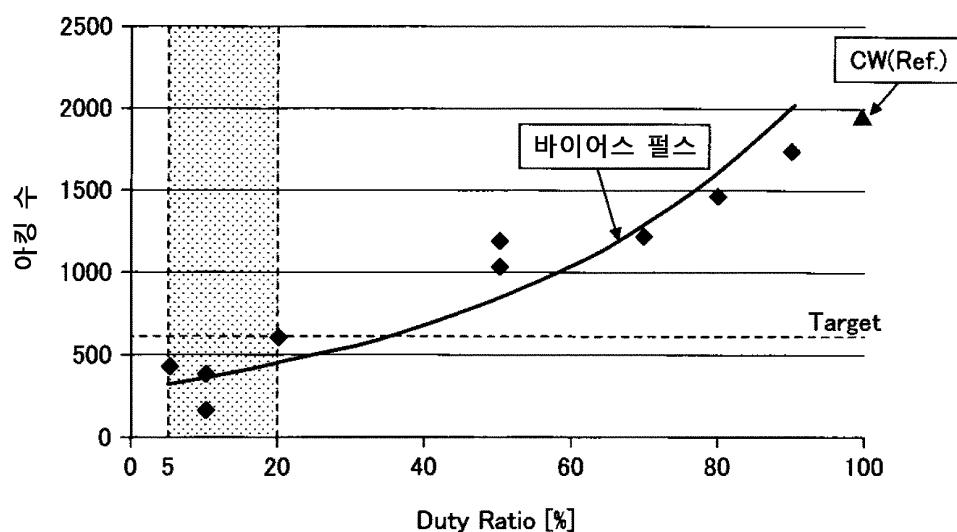
(a) 예칭 전



(b) 예칭 후

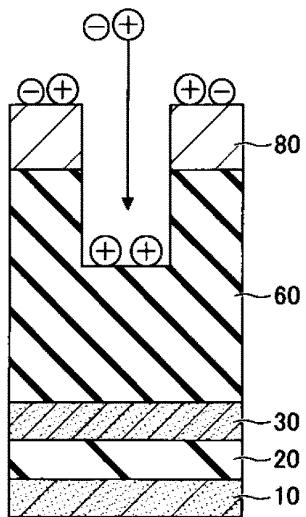


(c)

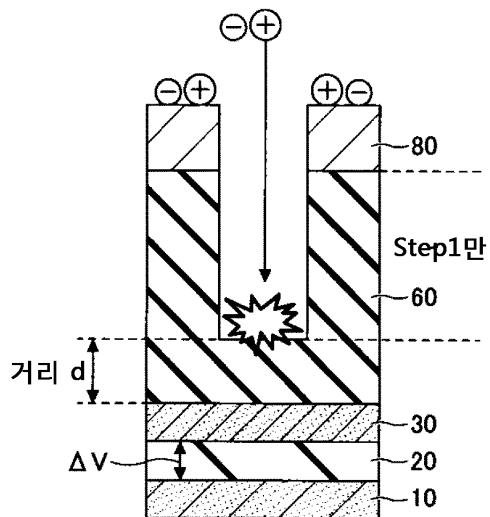


## 도면6

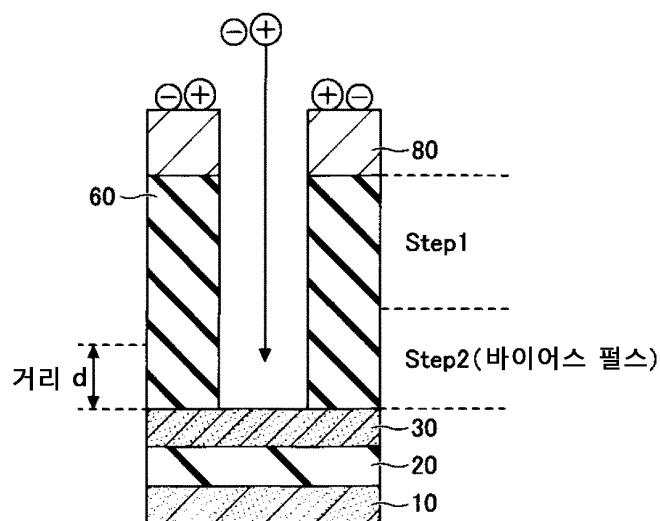
(a) 예칭 개시 시



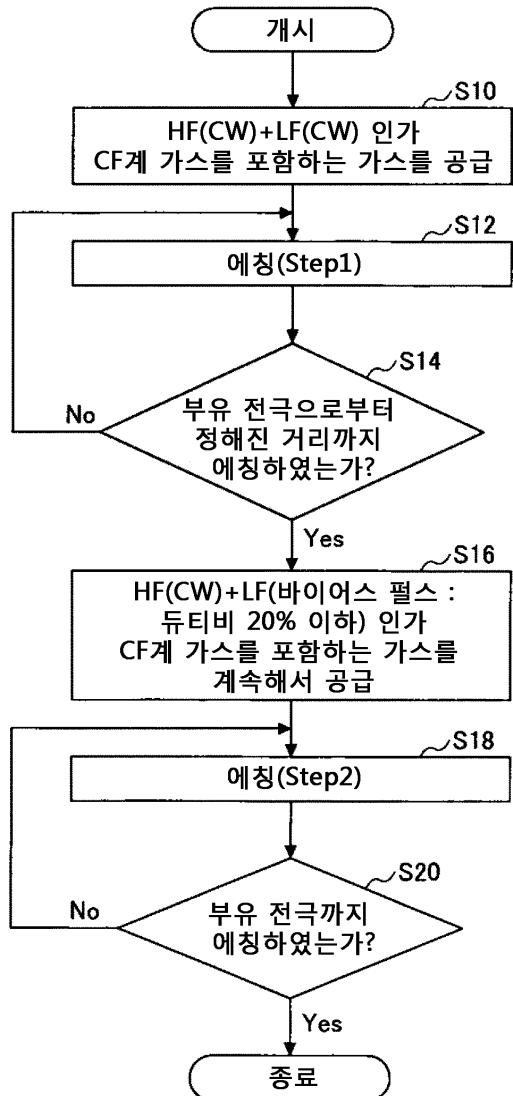
(b) Step1만



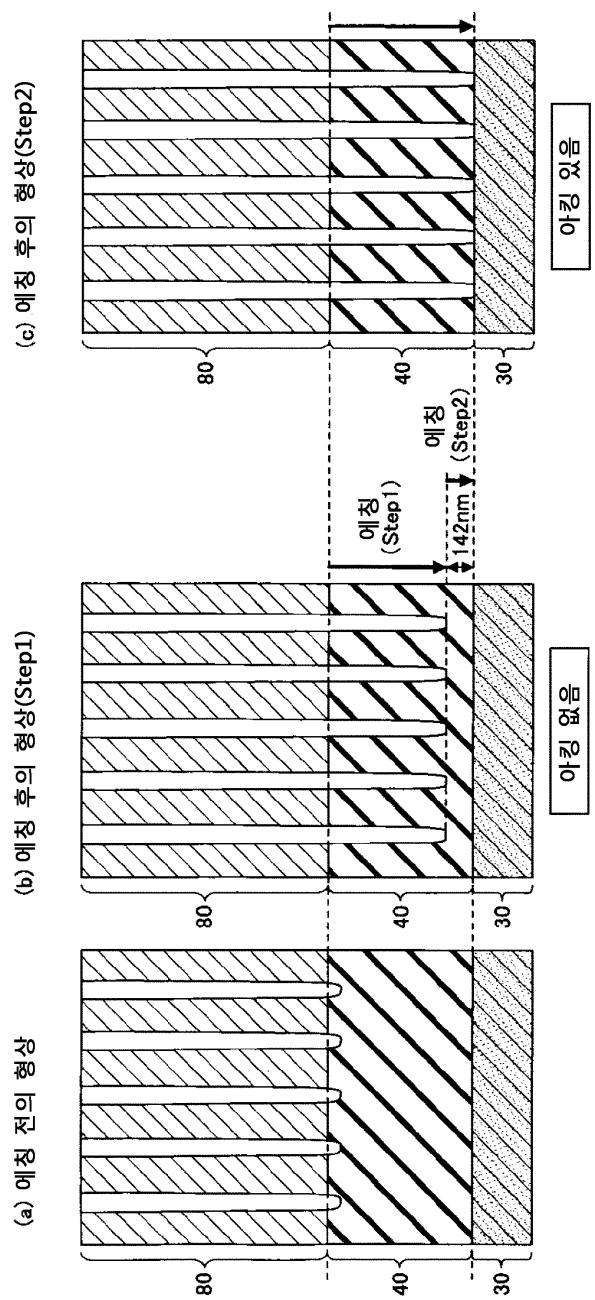
(c) Step1+Step2



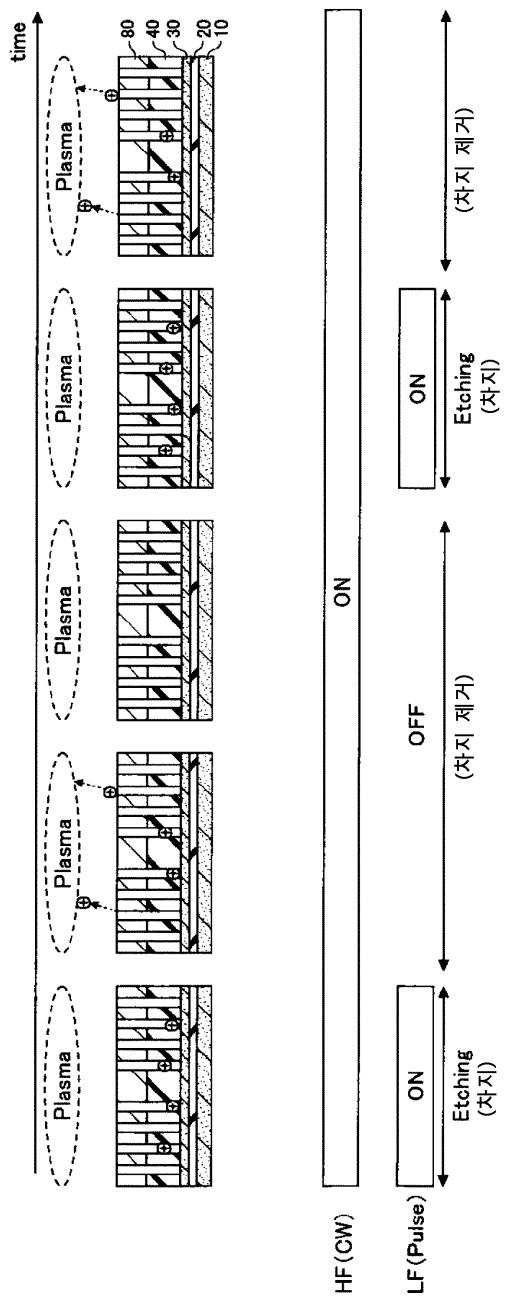
## 도면7



## 도면8

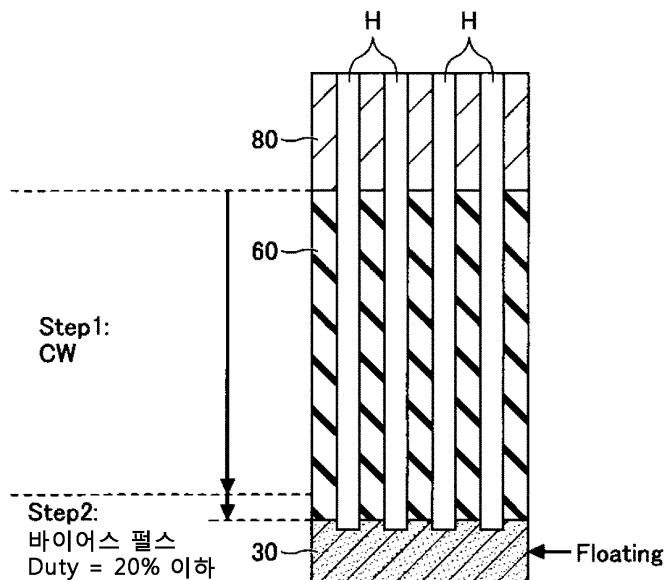


도면9



## 도면10

(a)



(b)

	Step1 CW	바이어스 펄스 Duty비 = 50%	Step2 바이어스 펄스 Duty비 = 10%
에칭 레이트 $\text{SiO}_2=700\text{nm}$	572nm/min	335nm/min	103nm/min
마스크 선택비 $\text{SiO}_2/\text{Carbon}$	5.5	3.4	2.9
세이딩 데미지 아킹 수	1779	1037	150