(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

PCT

(10) 国际公布号
WO 2011/124002 A1

(51) 国际专利分类号:
*H01L 21/20* (2006.01)

(21) 国际申请号: PCT/CN2010/001439

(22) 国际申请日: 2010 年 9 月 19 日 (19.09.2010)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201010145265.2 2010 年 4 月 9 日 (09.04.2010) CN

(71) 申请人 (对除美国外的所有指定国): **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): **尹海洲 (YIN, Haizhou)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。 **朱慧珑 (ZHU, Huilong)** [US/US]; 美国纽约州波基普西市奥特姆路 93#, Poughkeepsie, NY 12603 (US)。 **骆志炯 (LUO, Zhijiong)** [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。

(74) 代理人: **中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT & TRADEMARK AGENT LTD)**; 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

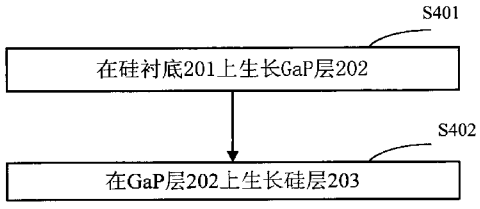
(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: SEMICONDUCTOR STRUCTURE AND MANUFACTURING METHOD THEREOF

(54) 发明名称 : 一种半导体结构及其制造方法




S401 GROWING A GaP LAYER 202 ON A SILICON SUBSTRATE 201
S402 GROWING A SILICON LAYER 203 ON THE GaP LAYER 202

图4 / Fig. 4

(57) Abstract: A semiconductor structure and a manufacturing method thereof are provided. The semiconductor structure includes: a silicon substrate (201); a wide band gap semiconductor layer (202) formed on the silicon substrate (201); a silicon layer (203) formed on the wide band gap semiconductor layer (202). The short channel effect can be suppressed.

(57) 摘要:

提供了一种半导体结构及其制造方法。该半导体结构包括：硅衬底(201)；形成于所述硅衬底(201)上的宽带隙半导体层(202)；以及形成于所述宽带隙半导体层(202)上的硅层(203)。短沟道效应能够得到抑制。

WO 2011/124002 A1

# 一种半导体结构及其制造方法

## 技术领域

本发明涉及半导体制造技术，尤其涉及一种半导体结构及其制造方法。

## 背景技术

现代集成电路制造中的普遍趋势是生产尺寸越来越小的半导体器件，例如存储单元。

虽然制造纳米尺度的晶体管允许将更多的晶体管集成在单个晶片上，从而能够在更小的区域中形成更大的电路系统，然而晶体管尺寸的不断缩小导致沟道长度的减小，从而引起愈发严重的短沟道效应（SCE）。

超薄绝缘体上硅（UTSOI）是用于抑制短沟道效应的一种典型技术。如图 1 所示，在绝缘体上硅结构 100 中，硅衬底 101 和顶层硅 103 之间有一层作为绝缘层的二氧化硅 102，称为埋氧层（BOX）。采用超薄绝缘体上硅的器件所提供的超薄硅沟道限制了源区和漏区的深度，提高了栅对沟道的控制能力，抑制了短沟道效应。

目前一般利用晶片键合技术制作超薄绝缘体上硅。通过晶片键合技术制造超薄绝缘体上硅对工艺要求很高，在晶片键合中容易造成接触面上的晶格缺陷，从而导致良品率低。此外，由于超薄硅层的制造很难控制厚度，因此，位于埋氧层上的顶层硅 103 的均匀性较差。

## 发明内容

因此，希望提供一种半导体结构及其制作方法，其具有与超薄绝缘体上硅类似的抑制短沟道效应的功能，并且性能更加稳定，且更加易于制造。

根据本发明的一个方面，提供了一种半导体结构，包括：硅衬底；形成于所述硅衬底上的宽带隙半导体层；以及形成于所述宽带隙半导体层上的硅层。

根据本发明的另一方面，提供了一种制造半导体结构的方法，包括：在硅衬底上生长宽带隙半导体层；和在所述宽带隙半导体层上生长硅层。

在上述方案的基础上，优选地，其中所述宽带隙半导体层可以由以下任一种或多种的组合形成：GaP、GaAs、AlAs。

优选地，其中所述所述宽带隙半导体层包括至少一层，其中所述宽带隙半导体

层的厚度是 5～50nm。

优选地，其中所述硅层的厚度是 5～20nm。

所述宽带隙半导体层由宽带隙半导体材料形成，所述宽带隙半导体材料的带隙宽度大于1.5ev。并且，宽带隙半导体材料的晶格常数与Si的晶格常数的差值小于等于2%。

通过本发明实施例所采用的技术方案，解决了超薄绝缘体上硅制造要求高且良品率低的问题，并且采用本发明实施例制造的半导体器件，能够很好的抑制器件的短沟道效应，提高电学性能和物理性能。

## 附图说明

参考附图，以示例而非限制的方式来描述实施例，附图中相似的附图标记表示相应的或类似的元件，其中：

图1是现有技术的绝缘体上硅的结构示意图；

图2是根据本发明实施例的半导体结构的示意图；

图3是常用半导体材料的带隙与晶格常数之间的关系；

图 4 是根据本发明实施例的半导体结构的制造方法流程图。

## 具体实施方式

本发明的实施例提供的半导体结构及其制作方法，其形成的半导体结构解决了超薄绝缘体上硅工艺要求高且良品率低的问题，并且较好地抑制了短沟道效应。

图2示出了根据本发明实施例的一种半导体结构200的结构示意图。如图2所示，该半导体结构200包括硅衬底201、形成于硅衬底上的一层或多层宽带隙半导体层202，以及形成于一层或多层宽带隙半导体层202上的硅层203。其中，一层或多层宽带隙半导体层202的厚度优选为5～50nm，硅层203的厚度优选为5～20nm。顶部硅层203也可以称为顶层硅。

图3示出了常用半导体材料的带隙与晶格常数之间的关系。硅的晶格常数为5.43Å，带隙为1.1eV，因此选择与硅的晶格常数接近，并且带隙宽度大于硅的材料来形成宽带隙半导体层202，例如GaP、GaAs、AlAs等，或它们的组合物。在本发明的实施例中，采用GaP形成中间的宽带隙半导体层。GaP的晶格常数与Si非常接近，并且具有很高的带隙宽度。通常我们认为带隙宽度超过1.5ev的半导体材料为宽带隙半导体

材料。此外优选地，宽带隙半导体材料的晶格常数与Si的晶格常数的差值不大于2%。例如，Si的晶格常数为5.43Å，因此我们选择的宽带隙半导体材料晶格常数最好在5.3Å～5.5 Å之间，能够较好地避免在外延生长中引起的晶格缺陷。具体地选择晶格常数为多大的半导体材料，还与需要形成的宽带隙半导体层以及顶层硅的厚度有关，通常如果宽带隙半导体材料的晶格常数与Si的差值较大，则宽带隙半导体层以及顶层硅不宜过厚，以免引起晶格缺陷。

本发明的实施例在制造半导体器件的衬底中采用宽带隙半导体材料替代绝缘体上硅中的氧化层，器件形成的超薄硅沟道限制了源区和漏区的深度，能够提高栅对沟道的控制能力，从而抑制了半导体器件的短沟道效应。并且本发明实施例采用的宽带隙半导体材料的晶格常数与硅非常接近，从而能够保证接触界面上较好的晶格结构。

尽管图中仅示出了一个宽带隙半导体层202，但是可以设置一层或多层宽带隙半导体层202，每层宽带隙半导体层可以由上述宽带隙材料或其组合物构成。所述宽带隙材料具有晶体结构，其中产生应变以便与半导体衬底材料的晶体结构相匹配。通过本发明实施例形成的半导体结构，由于宽带隙半导体层为晶体结构，与超薄绝缘体上硅中的氧化层的非晶态相比，则更有利于半导体器件的源/漏的外延生长。

本发明的实施例并不局限于此，例如可以形成多层宽带隙半导体层，每层的材料可以不同。各层的材料可以分别是GaP、GaAs、AlAs等，或它们的组合物。

采用带隙宽度较大的半导体材料作为半导体器件衬底的一部分，能够使半导体器件具有较小的漏电流。

图4示出了根据本发明的实施例制造半导体结构的方法的流程图。在步骤S401，在硅衬底201上外延生长GaP层202。

本领域普通技术人员可知，除了生长GaP层之外，还可以生长其他的宽带隙半导体层，例如GaAs、AlAs等，或者是它们的组合物；还可以通过其他技术生长宽带隙半导体层，例如本领域普通技术人员熟知的淀积技术等。

可以生长一层宽带隙半导体层，也可以生长多层。在一层宽带隙半导体层的情况下，优选地，该宽带隙半导体层的厚度是5～50nm。在多层宽带隙半导体层的情况下，优选地，该多层宽带隙半导体层的总厚度是5～50nm。在生长多层宽带隙半导体层的情况下，可以每层生长不同的材料，GaP、GaAs、AlAs等，或它们的组合物，也可以生长相同的材料。

通过本发明实施例采用的方法，宽带隙半导体层的厚度很容易进行控制，可以根

据需要调节，从而能够较好地抑制器件的短沟道效应。

然后，在步骤S402，在GaP层202上生长一层厚度为5～20nm的硅层203。同样也可以用外延生长或淀积技术生成硅层。超薄绝缘体上硅的顶层硅厚度一般小于30nm，顶层硅的均匀性很不容易控制。通过外延或淀积技术生长顶部硅层，与晶片键合技术相比能够很好地控制顶部硅层的厚度，并且顶部硅层的均匀性更好。

在硅衬底上生长宽带隙半导体层，在一层宽带隙半导体层上生长其他宽带隙半导体层，以及在宽带隙半导体层上生长硅层的外延、淀积方法是本领域技术人员所熟知的，故此省略对其的详细说明，以免不必要地模糊本发明的主旨。

本发明实施例采用的半导体结构的制造方法，避免了晶片键合技术中由于原子挤压造成的接触面大量的晶格缺陷的问题。本发明实施例采用外延生长或淀积方法形成宽带隙半导体层以及顶层硅的方法，能够很好的控制宽带隙半导体层以及顶层硅的厚度。

根据本发明的半导体结构制造方法不需要晶片键合，而只需要成本低廉且易于操作的外延或淀积生长，可以显著降低工艺复杂度和成本。生长的顶层硅的厚度可以被精确地控制，并且具有比抛光形成的顶层硅更好的均匀性。同时，外延生长的硅层具有更加规则的晶格结构，有助于后续的源、漏区生长。此外，与超薄绝缘体上硅的埋氧层相比，外延生长形成的宽带隙半导体层的厚度可以很薄，因此可以进一步抑制短沟道效应。

以上结合本发明的实施例描述了本发明，但是本领域的技术人员可以理解，在不背离所附权利要求的范围的前提下，可以进行其他改变或改造，仍属于本发明的保护范围。

# 权 利 要 求

1、一种半导体结构，包括：

硅衬底；

形成于所述硅衬底上的宽带隙半导体层；以及

形成于所述宽带隙半导体层上的硅层。

2、根据权利要求1所述的半导体结构，其中所述宽带隙半导体层由以下任一种或多种的组合形成：GaP、GaAs、AlAs。

3、根据权利要求 1 所述的半导体结构，其中所述宽带隙半导体层包括至少一层。

4、根据权利要求 1 所述的半导体结构，其中所述宽带隙半导体层的厚度是 5～50nm。

5、根据权利要求 1 所述的半导体结构，其中所述硅层的厚度是 5～20nm。

6、根据权利要求1所述的半导体结构，所述宽带隙半导体层由宽带隙半导体材料形成，所述宽带隙半导体材料的带隙宽度大于1.5ev。

7、根据权利要求1至6中任一项所述的半导体结构，形成所述宽带隙半导体层的半导体材料的晶格常数与Si的晶格常数的差值小于等于2%。

8、一种制造半导体结构的方法，包括：

在硅衬底上生长宽带隙半导体层；和

在所述宽带隙半导体层上生长硅层。

9、根据权利要求8所述的方法，所述在硅衬底上生长宽带隙半导体层具体为：

在硅衬底上生长由以下任一种或多种的组合形成的宽带隙半导体层：GaP、GaAs、AlAs。

10、根据权利要求 8 所述的方法，所述在硅衬底上生长宽带隙半导体层包括：

在所述硅衬底上生长至少一层宽带隙半导体层。

11、根据权利要求 8 所述的方法，其中所述宽带隙半导体层的厚度是 5～50nm。

12、根据权利要求 8 所述的方法，其中所述硅层的厚度是 5～20nm。

13、根据权利要求8所述的方法，所述宽带隙半导体层由宽带隙半导体材料形成，所述宽带隙半导体材料的带隙宽度大于1.5ev。

14、根据权利要求8至13中任一项所述的方法，形成所述宽带隙半导体层的半导体材料的晶格常数与Si的晶格常数的差值小于等于2%。

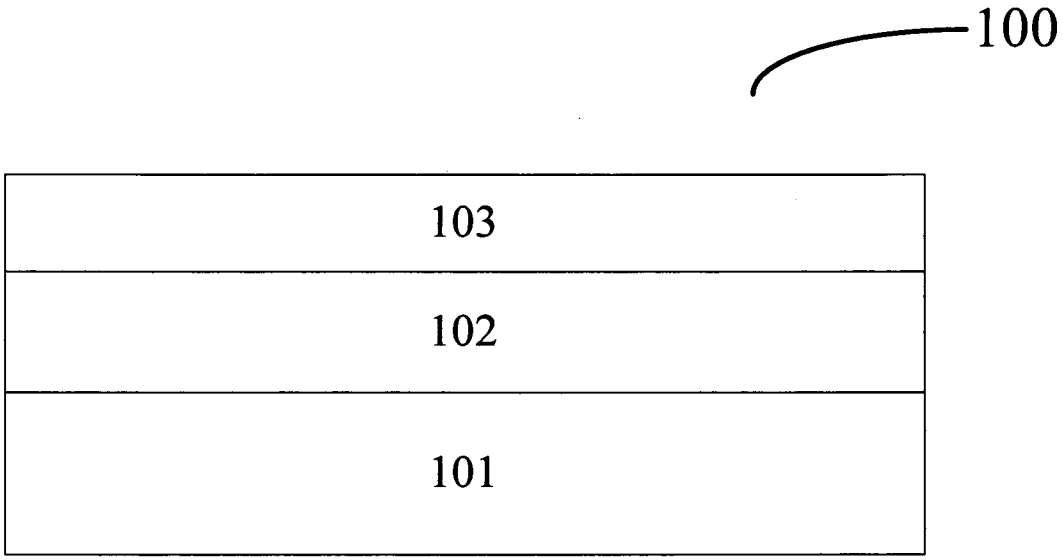



图1

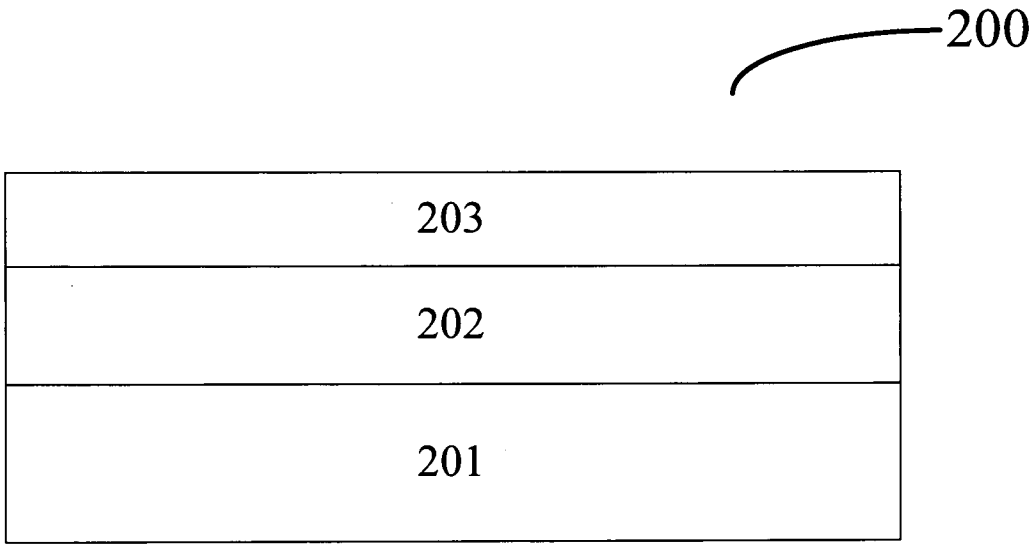



图2

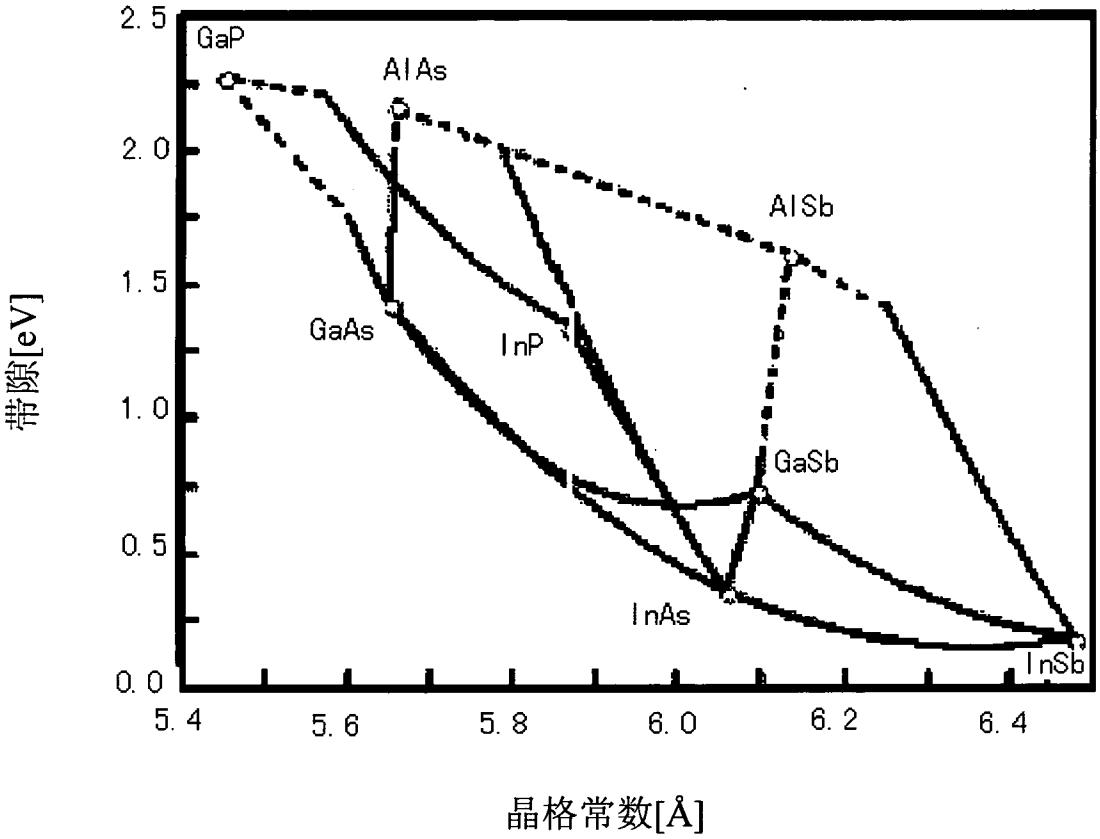

2.5
2.0
1.5
1.0
0.5
0.0
带隙[eV]
GaP
AlAs
AlSb
GaAs
InP
GaSb
InAs
InSb
5.4
5.6
5.8
6.0
6.2
6.4
晶格常数[Å]

图3

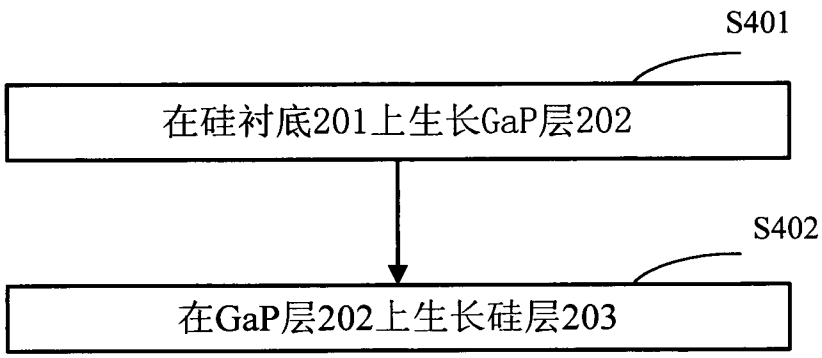

S401
在硅衬底201上生长GaP层202
S402
在GaP层202上生长硅层203

图4

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2010/001439

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L 21/20 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L27/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CPRS, CNKI: semiconductor, silicon, Si, bandgap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | CN101452836 A (SHANGHAI HUAHONG NEC ELECTRONICS CO., LTD.) 10 June 2009 (10.06.2009)<br>page 2 line 17- page 3 line 8; figures 2 | 1-14 |
| A | CN101449366 A (IBM CORP) 03 June 2009 (03.06.2009)<br>the whole document | 1-14 |
| A | US6579359 B1 (MYNBAEVA ET AL.) 17 June 2003 (17.06.2003)<br>the whole document | 1-14 |
| A | US6310385 B1 (AJIT) 30 October 2001 (30.10.2001)<br>the whole document | 1-14 |

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 16 November 2010 (16.11.2010) | **13 Jan. 2011 (13.01.2011)** |
| Name and mailing address of the ISA/CN<br>The State Intellectual Property Office, the P.R.China<br>6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088<br>Facsimile No. 86-10-62019451 | Authorized officer<br>WANG,Xin<br>Telephone No. (86-10)62411567 |

Form PCT/ISA /210 (second sheet) (July 2009)

**INTERNATIONAL SEARCH REPORT**
Information on patent family members

International application No.
PCT/CN2010/001439

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN101452836 A | 10.06.2009 | none | |
| CN101449366 A | 03.06.2009 | WO2007149581 A2 | 27.12.2007 |
| | | US2008001173 A1 | 03.01.2008 |
| | | WO2007149581 A3 | 28.08.2008 |
| | | US2008296622 A1 | 04.12.2008 |
| | | WO2007149581 A8 | 26.02.2009 |
| US6579359 B1 | 17.06.2003 | none | |
| US6310385 B1 | 30.10.2001 | US2001045615 A1 | 29.11.2001 |

# 国际检索报告

国际申请号
**PCT/CN2010/001439**

**A. 主题的分类**

H01L 21/20 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

**B. 检索领域**

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L27/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

WPI, EPODOC: semiconductor, silicon, Si, bandgap

CPRS, CNKI: 宽，带隙，禁带，能带，能隙，硅

**C. 相关文件**

| 类　型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| X | CN101452836 A (上海华虹 NEC 电子有限公司) 10.6 月 2009 (10.06.2009)<br>第 2 页第 17 行至第 3 页第 8 行；附图 2 | 1-14 |
| A | CN101449366 A (国际商业机器公司) 03.6 月 2009 (03.06.2009)<br>全文 | 1-14 |
| A | US6579359 B1 (MYNBAEVA ET AL.) 17.6 月 2003 (17.06.2003)<br>全文 | 1-14 |
| A | US6310385 B1 (AJIT) 30.10 月 2001 (30.10.2001)<br>全文 | 1-14 |

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 16.11 月 2010 (16.11.2010) | **13.1 月 2011 (13.01.2011)** |
| ISA/CN 的名称和邮寄地址：<br>中华人民共和国国家知识产权局<br>中国北京市海淀区蓟门桥西土城路 6 号 100088<br>传真号：　(86-10)62019451 | 受权官员<br>王欣<br>电话号码：(86-10) **62411567** |

# 国际检索报告

关于同族专利的信息

国际申请号
**PCT/CN2010/001439**

| 检索报告中引用的专利文件 | 公布日期 | 同族专利 | 公布日期 |
|---|---|---|---|
| CN101452836 A | 10.06.2009 | 无 | |
| CN101449366 A | 03.06.2009 | WO2007149581 A2 | 27.12.2007 |
| | | US2008001173 A1 | 03.01.2008 |
| | | WO2007149581 A3 | 28.08.2008 |
| | | US2008296622 A1 | 04.12.2008 |
| | | WO2007149581 A8 | 26.02.2009 |
| US6579359 B1 | 17.06.2003 | 无 | |
| US6310385 B1 | 30.10.2001 | US2001045615 A1 | 29.11.2001 |