

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月30日(30.01.2025)



(10) 国際公開番号

WO 2025/022733 A1

(51) 国際特許分類:

H02M 1/08 (2006.01) *H03K 17/61* (2006.01)
H03K 17/16 (2006.01) *H03K 17/691* (2006.01)

(21) 国際出願番号: PCT/JP2024/014814

(22) 国際出願日: 2024年4月12日(12.04.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-120840 2023年7月25日(25.07.2023) JP

(71) 出願人: パナソニック IP マネジメント株式会社 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) [JP/JP]; 〒5710057
大阪府門真市元町 2 2 番 6 号 Osaka (JP).

(72) 発明者: 草間 史人(KUSAMA, Fumito).

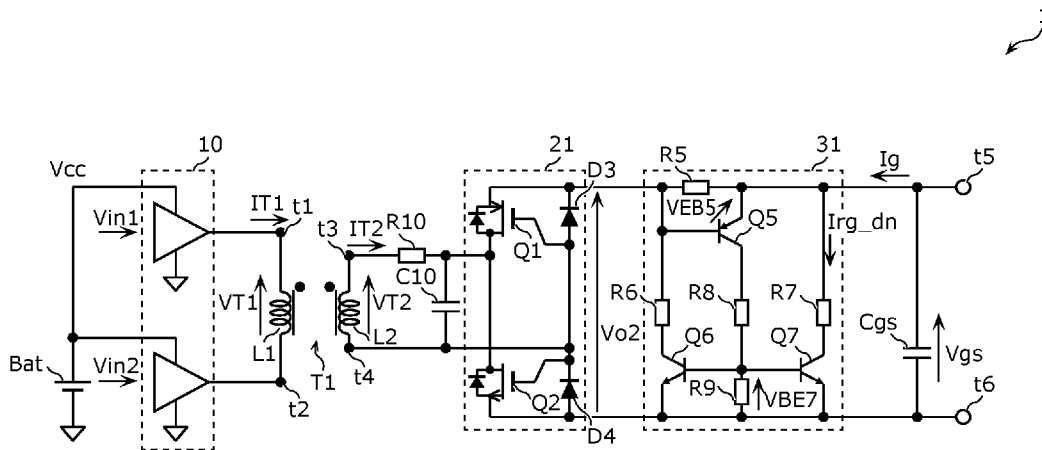
(74) 代理人: 新居 広守, 外 (NII, Hiromori et al.);
〒5320011 大阪府大阪市淀川区西中島 5 丁
目 3 番 1 0 号イトーピア新大阪ビル 6 階新
居国際特許事務所内 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: DRIVE CIRCUIT AND OPERATION METHOD

(54) 発明の名称: 駆動回路および動作方法

[図1]



(57) **Abstract:** A drive circuit (1) drives a transistor having: a first terminal which is a gate or a base; a second terminal which is a source or an emitter; and a third terminal which is a drain or a collector. The drive circuit comprises: an isolation pulse transformer (T1); a full-wave rectifier circuit (21) connected to a secondary winding (L2) of the pulse transformer (T1); and a sink circuit (31) connected between the full-wave rectifier circuit (21) and the transistor, and connected to the first terminal and the second terminal, for sinking current from the first terminal when the transistor turns off. A signal input into a terminal (t1) on one end of a primary winding (L1) of the pulse transformer (T1) and a signal input into a terminal (t2) on the other end thereof have a phase difference.

[続葉有]

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動する駆動回路(1)は、絶縁型のパルストランス(T1)と、パルストランス(T1)の2次巻線(L2)に接続された全波整流回路(21)と、全波整流回路(21)とトランジスタとの間に接続され、かつ、第1端子および第2端子に接続され、トランジスタがターンオフするときに第1端子から電流を引き抜くための引き抜き回路(31)と、を備え、パルストランス(T1)の1次巻線(L1)の一端の端子(t1)に入力される信号と他端の端子(t2)に入力される信号とは、位相差を有している。

明 細 書

発明の名称： 駆動回路および動作方法

技術分野

[0001] 本開示は、トランジスタを駆動するための駆動回路などに関する。

背景技術

[0002] 特許文献1には、パルストランスを用いた駆動回路が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特許第5930560号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1の図11の従来例として開示された駆動回路では、パルストランスが偏磁してしまうため、トランスのリセット期間が必要となり高Dutyのパルスを出力できない。また特許文献1の図2の提案例として開示された駆動回路では、トランスの偏磁は起こらずリセット期間は不要となるが、2次側回路が半波整流になっているためDuty50%以下のパルスしか出力できない。

[0005] そこで、本開示は、トランスの偏磁を起こすことなく、50%よりも大きいデューティ比を実現することができ、さらにメインブリッジ回路の誤点弧を防ぐことができる駆動回路などを提供する。

課題を解決するための手段

[0006] 本開示に係る駆動回路は、ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路であって、絶縁型のパルストランスと、前記パルストランスの2次巻線に接続された全波整流回路と、前記全波整流回路と前記トランジスタとの間に接続され、かつ、前記第1端子および前記第2端子に接続され、前記トランジスタがターンオフする

ときに前記第 1 端子から電流を引き抜くための引き抜き回路と、を備え、前記パルストランスの 1 次巻線の一端の端子に入力される信号と他端の端子に入力される信号とは、位相差を有している。

[0007] 本開示に係る動作方法は、ゲートまたはベースである第 1 端子、ソースまたはエミッタである第 2 端子、および、ドレインまたはコレクタである第 3 端子を有するトランジスタを駆動するための駆動回路の動作方法であって、位相差を有している信号を絶縁型のパルストランスの 1 次巻線の一端の端子および他端の端子に入力し、前記パルストランスの 2 次巻線から出力された信号を全波整流し、全波整流された信号を前記第 1 端子へ出力し、前記トランジスタがターンオフするときに前記第 1 端子から電流を引き抜く処理を含む。

[0008] なお、これらの包括的または具体的な態様は、システム、方法、集積回路、コンピュータプログラムまたはコンピュータ読み取り可能な C D - R O M などの記録媒体で実現されてもよく、システム、方法、集積回路、コンピュータプログラムおよび記録媒体の任意な組み合わせで実現されてもよい。

発明の効果

[0009] 本開示の一態様に係る駆動回路などによれば、トランスの偏磁を起こすことなく 5 0 % よりも大きいデューティ比を実現することができ、さらにメインブリッジ回路の誤点弧を防ぐことができる。

図面の簡単な説明

[0010] [図1]実施の形態 1 に係る駆動回路の一例を示す回路図である。

[図2A]デューティ比 5 % を実現できることを説明するための図である。

[図2B]デューティ比 5 0 % を実現できることを説明するための図である。

[図2C]デューティ比 9 5 % を実現できることを説明するための図である。

[図3]実施の形態 1 に係る駆動回路のメインブリッジ回路への適用例を示す図である。

[図4]実施の形態 1 に係る駆動回路の動作を説明するための図である。

[図5]実施の形態 1 に係る駆動回路の、F E T がターンオフするときの動作を

説明するための図である。

[図6]実施の形態1に係る駆動回路の、FETがターンオンするときの動作を説明するための図である。

[図7]実施の形態2に係る駆動回路の一例を示す回路図である。

[図8]実施の形態3に係る駆動回路の一例を示す回路図である。

[図9]実施の形態4に係る駆動回路の一例を示す回路図である。

[図10]実施の形態5に係る駆動回路の一例を示す回路図である。

[図11]実施の形態6に係る駆動回路の一例を示す回路図である。

[図12]その他の実施の形態に係る動作方法の一例を示すフローチャートである。

発明を実施するための形態

[0011] 以下、実施の形態について、図面を参照しながら具体的に説明する。

[0012] なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。

[0013] (実施の形態1)

以下、実施の形態1に係る駆動回路について説明する。

[0014] 図1は、実施の形態1に係る駆動回路1の一例を示す回路図である。

[0015] 駆動回路1は、ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための回路である。当該トランジスタは、例えば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor)、GaNのFET、または、バイポーラトランジスタなどである。以下では、駆動回路1によって駆動されるトランジスタをFETとし、第1端子をゲート、第2端子をソース、第3端子をドレインとして説明する。この場合、第1端

子および第2端子間の端子間電圧は、F E Tのゲートソース間電圧となり、第2端子の電圧は、F E Tのソース電圧となる。

[0016] なお、駆動回路1によって駆動されるトランジスタがI G B Tの場合には、以下でF E TとしているところをI G B Tに読み替えることができ、F E Tのソースと記載しているところをI G B Tのエミッタに読み替えることができ、F E TのドレインとしているところをI G B Tのコレクタに読み替えることができる。また、F E Tのゲートソース間電圧としているところをI G B Tのゲートエミッタ間電圧に読み替えることができ、F E Tのソース電圧としているところをI G B Tのソース電圧と読み替えることができる。

[0017] また、駆動回路1によって駆動されるトランジスタがバイポーラトランジスタの場合には、以下でF E Tとしているところをバイポーラトランジスタに読み替えることができ、F E Tのゲートと記載しているところをバイポーラトランジスタのベースと読み替えることができ、F E Tのソースと記載しているところをバイポーラトランジスタのエミッタに読み替えることができ、F E Tのドレインとしているところをバイポーラトランジスタのコレクタに読み替えることができる。また、F E Tのゲートソース間電圧としているところをバイポーラトランジスタのベースエミッタ間電圧に読み替えることができ、F E Tのソース電圧としているところをバイポーラトランジスタのエミッタ電圧と読み替えることができる。

[0018] 例えば、図1に示される端子t 5はF E Tのゲートに接続され、端子t 6はF E Tのソースに接続される。これにより、駆動回路1によってF E Tのオンおよびオフを制御することができる。

[0019] 駆動回路1は、電源B a t、位相制御回路10、パルストランスT 1、抵抗R 10、コンデンサC 10、全波整流回路21、引き抜き回路31を備える。図1のコンデンサC g sは端子t 5およびt 6に接続するF E Tのゲートソース間容量を意味する。

[0020] パルストランスT 1は、絶縁された1次巻線L 1および2次巻線L 2を有する絶縁型のパルストランスである。例えば、1次側と2次側とを絶縁した

状態で信号を伝送する方式としてフォトプラを用いるものもあるが、この方式では別途絶縁電源が必要となる。一方で、パルストランスT1は、FETを駆動するための電力および信号の両方を、1次側と2次側とを絶縁した状態で伝送することができる。

[0021] パルストランスT1の1次巻線L1の一端の端子t1に入力される信号V_{in1}と他端の端子t2に入力される信号V_{in2}とは、位相差を有している。例えば、位相制御回路10によって、端子t1に入力される信号V_{in1}と端子t2に入力される信号V_{in2}とに位相差を与えることができる。信号V_{in1}およびV_{in2}はそれぞれパルス信号であり、当該パルス信号は、電源Batの電圧V_{cc}によって生成される。

[0022] 例えば、信号V_{in1}がHighの信号であり信号V_{in2}がHighの信号である状態Aでは、1次巻線L1に電圧V_{T1}が生じない。したがって、状態Aでは、2次巻線L2にも電圧V_{T2}が生じない。

[0023] 例えば、信号V_{in1}がHighの信号であり信号V_{in2}がLowの信号である状態Bでは、1次巻線L1に図1に示される極性の電圧V_{T1}が生じる。これにより、状態Bでは、2次巻線L2に図1に示される極性の電圧V_{T2}が生じる。

[0024] 例えば、信号V_{in1}がLowの信号であり信号V_{in2}がLowの信号である状態Cでは、1次巻線L1に電圧V_{T1}が生じない。したがって、状態Cでは、2次巻線L2にも電圧V_{T2}が生じない。

[0025] 例えば、信号V_{in1}がLowの信号であり信号V_{in2}がHighの信号である状態Dでは、1次巻線L1に図1に示される極性とは逆の極性の電圧V_{T1}が生じる。これにより、状態Dでは、2次巻線L2に図1に示される極性とは逆の極性の電圧V_{T2}が生じる。

[0026] 全波整流回路21は、パルストランスT1の2次巻線L2に接続される。なお、図1では、全波整流回路21は、抵抗R10およびコンデンサC10からなるRC回路を介して、2次巻線L2に接続される。例えば、抵抗R10およびコンデンサC10からなるRC回路は、パルストランスT1の漏れ

インダクタンスに起因するリングングを抑制するための回路である。なお、駆動回路 1 は、抵抗 $R10$ およびコンデンサ $C10$ を備えていなくてもよく、後述する抵抗 $R5$ がこの機能を兼ねていてもよい。この RC 回路は設けられていても、設けられていなくてもよい。以降、「端子 $t3$ に接続される」といった記載は、このような RC 回路を介して端子 $t3$ に接続される場合も含む。

[0027] 例えば、全波整流回路 21 は、フルブリッジ回路を構成する直列に接続された 2 つのスイッチ $Q1$ および $Q2$ と、当該フルブリッジ回路を構成する直列に接続された 2 つのダイオード $D3$ および $D4$ とを含む。2 つのスイッチ $Q1$ および $Q2$ の間のノードは、パルストランス $T1$ の 2 次巻線 $L2$ の一端の端子 $t3$ に接続される。2 つのダイオード $D3$ および $D4$ の間のノードは、パルストランス $T1$ の 2 次巻線 $L2$ の他端の端子 $t4$ に接続される。

[0028] スイッチ $Q1$ は、例えば、Pチャネル MOSFET である。スイッチ $Q1$ のドレインはスイッチ $Q2$ のドレインおよび端子 $t3$ に接続され、スイッチ $Q1$ のソースはダイオード $D3$ のカソードおよび引き抜き回路 31 に接続される。スイッチ $Q1$ のゲートは 2 つのダイオード $D3$ および $D4$ の間のノードに接続される。図 1 には、スイッチ $Q1$ の寄生ダイオードが示されており、当該ダイオードは、等価回路上ではアノードがスイッチ $Q1$ のドレインに接続され、カソードがスイッチ $Q1$ のソースに接続される。

[0029] スイッチ $Q2$ は、例えば、Nチャネル MOSFET である。スイッチ $Q2$ のドレインはスイッチ $Q1$ のドレインおよび端子 $t3$ に接続され、スイッチ $Q2$ のソースは端子 $t6$ に接続される。スイッチ $Q2$ のゲートは 2 つのダイオード $D3$ および $D4$ の間のノードに接続される。図 1 には、スイッチ $Q2$ の寄生ダイオードが示されており、当該ダイオードは、等価回路上ではアノードがスイッチ $Q2$ のソースに接続され、カソードがスイッチ $Q2$ のドレインに接続される。

[0030] ダイオード $D3$ のアノードは、ダイオード $D4$ のカソード、スイッチ $Q1$ および $Q2$ のゲート、ならびに、端子 $t4$ に接続される。ダイオード $D3$ の

カソードは、スイッチQ1のソースおよび引き抜き回路31に接続される。

[0031] ダイオードD4のアノードは、端子t6に接続される。ダイオードD4のカソードは、ダイオードD3のアノード、スイッチQ1およびQ2のゲート、ならびに、端子t4に接続される。

[0032] なお、端子t3と端子t4とが入れ替えられた構成となっても構わない。具体的には、端子t4とスイッチQ1のソースおよびスイッチQ2のドレインとが接続され、端子t3とスイッチQ1のゲート、スイッチQ2のゲート、ダイオードD3のアノードおよびダイオードD4のカソードとが接続されてもよい。

[0033] 全波整流回路21は、2次巻線L2に生じる電圧を全波整流してFETのゲートへ出力する。図1には、全波整流回路21の出力電圧として電圧V_{o2}が示されている。2次巻線L2には、端子t1にHighの信号が入力され、かつ、端子t2にLowの信号が入力される状態B、および、端子t1にLowの信号が入力され、かつ、端子t2にHighの信号が入力される状態Dのときに極性の異なる電圧が生じるが、2次巻線L2には全波整流回路21が接続されているため、2次巻線L2にいずれの極性の電圧が生じている場合にも（言い換えると状態BおよびDのいずれの状態であっても）、全波整流回路21は、2次巻線L2に生じている電圧の絶対値に対応する電圧V_{o2}を出力することができる。このため、駆動回路1は、端子t5およびt6間に接続されたFETに、電圧V_{o2}に応じた電圧V_{gs}を印加することができる。

[0034] 引き抜き回路31は、全波整流回路21とFETとの間に接続され、かつ、FETのゲートおよびソースに接続され、FETがターンオフするときにFETのゲートから電流を引き抜くための回路である。引き抜き回路31の動作の詳細については後述する。

[0035] 引き抜き回路31は、例えば、抵抗R5、R6、R7、R8およびR9、ならびに、スイッチQ5、Q6およびQ7を備える。抵抗R5は、全波整流回路21の出力電圧とFETのゲートソース間電圧との電圧差を生成する第

1回路の一例である。抵抗 R_6 、 R_7 、 R_8 および R_9 、ならびに、スイッチ Q_5 、 Q_6 および Q_7 は、全波整流回路21の出力電圧（電圧 V_{o2} ）、FETのゲートソース間電圧（電圧 V_{gs} ）、または、全波整流回路21の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路21の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧（端子 t_6 の電圧：例えば0V）に近づける第2回路の一例である。

[0036] ここで全波整流回路21の出力電圧をFETのソース電圧に近づけるという意味は、全波整流回路21の両出力端間をスイッチで導通させ、FETのソースと全波整流回路21の両出力端とを低インピーダンスで接続することである。同様に、FETのゲートソース間電圧をFETのソース電圧に近づけるという意味は、FETのゲートソース間をスイッチで導通させ、FETのソースとゲートとを低インピーダンスで接続することである。

[0037] 例えば、実施の形態1では、抵抗 R_6 、 R_7 、 R_8 および R_9 、ならびに、スイッチ Q_5 、 Q_6 および Q_7 （第2回路）は、全波整流回路21の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路21の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。具体的には、FETのゲートソース間電圧を V_{gs} 、全波整流回路21の出力電圧を V_{o2} 、第2回路に対して設定された第1閾値電圧を V_{th1} （例えば0V以上）、FETのソース電圧を V_s とした場合、第2回路は、 $V_{gs} - V_{o2} > V_{th1}$ になったときに（言い換えると、 $V_{gs} - V_{o2}$ が V_{th1} を上回ったときに） V_{o2} または V_{gs} を V_s に近づける。

[0038] スイッチ Q_5 は、例えば、PNPトランジスタである。スイッチ Q_5 のベースは、抵抗 R_5 の一端、抵抗 R_6 の一端、スイッチ Q_1 のソースおよびダイオード D_3 のカソードに接続される。スイッチ Q_5 のコレクタは抵抗 R_8 の一端に接続される。スイッチ Q_5 のエミッタは、抵抗 R_5 の他端、抵抗 R_7 の一端および端子 t_5 に接続される。図1に示される電圧 V_{EB5} は、スイッチ Q_5 のエミッタベース間電圧である。

- [0039] スイッチQ 6は、例えば、NPNトランジスタである。スイッチQ 6のベースは、スイッチQ 7のベース、抵抗R 8の他端および抵抗R 9の一端に接続される。スイッチQ 6のコレクタは抵抗R 6の他端に接続される。スイッチQ 6のエミッタは端子t 6に接続される。
- [0040] スイッチQ 7は、例えば、NPNトランジスタである。スイッチQ 7のベースは、スイッチQ 6のベース、抵抗R 8の他端および抵抗R 9の一端に接続される。スイッチQ 7のコレクタは抵抗R 7の他端に接続される。スイッチQ 7のエミッタは端子t 6に接続される。図1に示される電圧 V_{BE7} は、スイッチQ 7のベースエミッタ間電圧である。
- [0041] 抵抗R 5は、一端が、抵抗R 6の一端、スイッチQ 5のベース、スイッチQ 1のソースおよびダイオードD 3のカソードに接続され、他端が、スイッチQ 5のエミッタ、抵抗R 7の一端および端子t 5に接続される。
- [0042] 抵抗R 6は、一端が、抵抗R 5の一端、スイッチQ 5のベース、スイッチQ 1のソースおよびダイオードD 3のカソードに接続され、他端がスイッチQ 6のコレクタに接続される。
- [0043] 抵抗R 7は、一端が、抵抗R 5の他端、スイッチQ 5のエミッタおよび端子t 5に接続され、他端がスイッチQ 7のコレクタに接続される。図1に示される電流 I_{rg_dn} は、抵抗R 7に流れる電流である。
- [0044] 抵抗R 8は、一端がスイッチQ 5のコレクタに接続され、他端が、スイッチQ 6のベース、スイッチQ 7のベースおよび抵抗R 9の一端に接続される。
- [0045] 抵抗R 9は、一端が、抵抗R 8の他端、スイッチQ 6のベースおよびスイッチQ 7のベースに接続され、他端が端子t 6に接続される。
- [0046] コンデンサ C_{gs} は、端子t 5およびt 6に接続されるFETのゲートソース間容量を意味する。コンデンサ C_{gs} に生じる電圧 V_{gs} は、FETのゲートソース間電圧となる。図1に示される電流 I_g は、コンデンサ C_{gs} に流れる電流である。すなわちFETのゲートに流れる電流であり、電荷を引き抜かれる方向を正としている。

[0047] 次に、駆動回路 1 によって実現できる F E T のスイッチングのデューティ比について、図 2 A から図 2 C を用いて説明する。

[0048] 図 2 A は、デューティ比 5 % を実現できることを説明するための図である。

[0049] 図 2 B は、デューティ比 5 0 % を実現できることを説明するための図である。

[0050] 図 2 C は、デューティ比 9 5 % を実現できることを説明するための図である。

[0051] 図 2 A から図 2 C には、上から、信号 V_{in1} および V_{in2} 、電圧 V_{T1} および電流 I_{T1} 、電圧 V_{T2} および電流 I_{T2} 、電圧 V_{gs} および電流 I_g 、ならびに、電圧 V_{EB5} および V_{EB7} の時間波形が示されている。

[0052] 例えば、端子 t_1 に入力される信号 V_{in1} と端子 t_2 に入力される信号 V_{in2} との位相差を調整することで、図 2 A に示されるように、信号 V_{in1} が $H i g h$ の信号かつ信号 V_{in2} が $L o w$ の信号となる期間、および、信号 V_{in1} が $L o w$ の信号かつ信号 V_{in2} が $H i g h$ の信号となる期間を短くすることができる。これにより、電圧 V_{T2} として正の電圧が生じているとき、および、負の電圧が生じているときのいずれも、全波整流回路 2 1 によって上記期間電圧 V_{gs} を生じさせることができ、例えば、F E T のスイッチングのデューティ比 5 % を実現することができる。

[0053] 例えば、端子 t_1 に入力される信号 V_{in1} と端子 t_2 に入力される信号 V_{in2} との位相差を調整することで、図 2 B に示されるように、信号 V_{in1} が $H i g h$ の信号かつ信号 V_{in2} が $L o w$ の信号となる期間、および、信号 V_{in1} が $L o w$ の信号かつ信号 V_{in2} が $H i g h$ の信号となる期間をある程度長くすることができる。これにより、電圧 V_{T2} として正の電圧が生じているとき、および、負の電圧が生じているときのいずれも、全波整流回路 2 1 によって上記期間電圧 V_{gs} を生じさせることができ、例えば、F E T のスイッチングのデューティ比 5 0 % を実現することができる。

[0054] 例えば、端子 t_1 に入力される信号 V_{in1} と端子 t_2 に入力される信号

Vin2との位相差を調整することで、図2Cに示されるように、信号Vin1がHighの信号かつ信号Vin2がLowの信号となる期間、および、信号Vin1がLowの信号かつ信号Vin2がHighの信号となる期間が長くなる。これにより、電圧VT2として正の電圧が生じているとき、および、負の電圧が生じているときのいずれも、全波整流回路21によって上記期間電圧Vgsを生じさせることができ、例えば、FETのスイッチングのデューティ比95%を実現することができる。

[0055] 例えば、全波整流回路21が設けられておらず、電圧VT2として正の電圧が生じているとき、および、負の電圧が生じているときのみ、電圧Vgsを生じさせることができない場合、図2Cでは、デューティ比が47.5%となる。この場合、信号Vin1がHighの信号かつ信号Vin2がLowの信号となる期間、または、信号Vin1がLowの信号かつ信号Vin2がHighの信号となる期間を最も長くしても、デューティ比50%までしか実現できない。一方で、駆動回路1には全波整流回路21が設けられているため、50%よりも大きいデューティ比を実現することができる、例えば、5%から95%までのデューティ比を実現することができる。

[0056] ここで、駆動回路1では偏磁しない理由について図2Bを用いて説明する。

[0057] 電流IT1は、状態Aおよび状態Cでは停滞している（つまり電流は変わらない）。また、電流IT1は、状態Bでは上昇し、状態Dでは下降する。状態Bの期間と状態Dの期間とが等しいため、電流IT1は、1周期で元の電流値に戻る。よって、駆動回路1では偏磁しない。

[0058] 次に、駆動回路1をメインブリッジ回路に適用したときの駆動回路1の動作について説明する。

[0059] 図3は、実施の形態1に係る駆動回路1のメインブリッジ回路への適用例を示す図である。図3には、メインブリッジ回路として、スイッチMHおよびMLが示されており、スイッチMHおよびMLのそれぞれに対して駆動回路1が接続される。つまり、スイッチMHおよびMLは、駆動回路1の端子

t 5 および t 6 間に接続され、駆動回路 1 によって駆動される F E T の一例である。

[0060] スイッチ M H は、例えば、Nチャネル M O S F E T である。スイッチ M H のドレインは、電圧 V_{bus} の電源に接続される。スイッチ M H のソースは、図 3 の上側の駆動回路 1 の端子 t 6、スイッチ M L のドレインおよびメインブリッジ回路の出力側に設けられた構成要素（例えばトランスまたはインダクタなど）に接続される。スイッチ M H のゲートは、図 3 の上側の駆動回路 1 の端子 t 5 に接続される。図 3 には、スイッチ M H の寄生ダイオードが示されており、当該ダイオードは、等価回路上ではアノードがスイッチ M H のソースに接続され、カソードがスイッチ M H のドレインに接続される。

[0061] スイッチ M L は、例えば、Nチャネル M O S F E T である。スイッチ M L のドレインは、スイッチ M H のソースおよびメインブリッジ回路の出力側に設けられた構成要素（例えばトランスまたはインダクタなど）に接続される。スイッチ M L のソースは、図 3 の下側の駆動回路 1 の端子 t 6 およびメインブリッジ回路のグランド端子に接続される。スイッチ M L のゲートは、図 3 の下側の駆動回路 1 の端子 t 5 に接続される。図 3 には、スイッチ M L の寄生ダイオードが示されており、当該ダイオードは、等価回路上ではアノードがスイッチ M L のソースに接続され、カソードがスイッチ M L のドレインに接続される。また、図 3 には、スイッチ M L のドレインゲート間の寄生容量 C_{gd} が示されている。図 3 に示される電圧 V_{gs} は、スイッチ M L のゲートソース間電圧であり、図 1 に示される電圧 V_{gs} に対応する。図 3 に示される電圧 V_{ds} は、スイッチ M L のドレインソース間電圧である。

[0062] 図 3 に示される電流 I_{dg} は、寄生容量 C_{gd} を介してスイッチ M L のゲートひいては図 3 の下側の駆動回路 1 の端子 t 5 へ流入する電流である。

[0063] 図 4 は、実施の形態 1 に係る駆動回路 1（具体的には、スイッチ M L の駆動回路 1）の動作を説明するための図である。

[0064] 図 4 には、上から、信号 V_{in1} および V_{in2} 、電圧 V_{T2} および電流 I_{T2} 、電圧 V_{ds} 、電圧 V_{gs} 、 V_{o2} および電流 I_g 、ならびに、電圧

V E B 5 および V B E 7 の時間波形が示されている。

[0065] 図4に示される期間(1)では、信号V i n 1がL o wの信号かつ信号V i n 2がL o wの信号であり、電圧V T 1およびV T 2が0 Vとなり、電圧V g sが0 Vとなる。図4に示される期間(2)では、信号V i n 1がH i g hの信号かつ信号V i n 2がL o wの信号であり、電圧V T 1およびV T 2がV c c (例えば15 V)となり、電圧V g sがV c cとなる。図4に示される期間(3)では、信号V i n 1がH i g hの信号かつ信号V i n 2がH i g hの信号であり、電圧V T 1およびV T 2が0 Vとなり、電圧V g sが0 Vとなる。図4に示される期間(4)では、信号V i n 1がL o wの信号かつ信号V i n 2がH i g hの信号であり、電圧V T 1およびV T 2が−V c c (例えば−15 V)となり、電圧V g sがV c cとなる。なお、電圧V o 2がV c cのときには、スイッチQ 5はオフ状態となり、スイッチQ 6およびQ 7もオフ状態となる。

[0066] ここで、駆動回路1により駆動されるメインブリッジ回路(スイッチM HおよびM L)の動作について図4を用いて説明する。なお、スイッチM HおよびM Lには、スイッチM HおよびM Lがともにオフ状態となるデッドタイムが設けられており、デッドタイム以外では、スイッチM Hがオン状態のときにはスイッチM Lはオフ状態となり、スイッチM Hがオフ状態のときにはスイッチM Lがオン状態となるように、スイッチM HおよびM Lは制御される。

[0067] 期間(1)および(3)では、スイッチM Lの電圧V g sが0 Vであるため、スイッチM Lの電圧V d sは電圧V b u sとなる。また、期間(2)および(4)では、スイッチM Lの電圧V g sがV c cであるため、スイッチM Lの電圧V d sは0 Vとなる。

[0068] 期間(2)から期間(3)へ移行する際には、スイッチM Lの電圧V g sが0 VとなってスイッチM Lがターンオフし、スイッチM Lがターンオフした後、スイッチM HのターンオンによりスイッチM Lの電圧V d sが上昇する。このとき、寄生容量C g dを介して、電流I d gがスイッチM Lのゲー

トへ向けて流入する。電流 I_{dg} は、さらに、図 3 の下側の駆動回路 1 内へ流入し、端子 t_5 、スイッチ Q_7 、端子 t_6 と流れる。端子 t_5 と端子 t_6 との間のインピーダンスが高い場合には、スイッチ ML のゲートソース間に高い電圧が発生し、スイッチ ML が誤点弧するおそれがある。

[0069] このため、端子 t_5 と端子 t_6 との間のインピーダンスを十分に低くする必要がある。特に、スイッチ Q_7 を十分にオンできていないと、端子 t_5 と端子 t_6 との間のインピーダンスが高くなり、スイッチ ML が誤点弧する可能性が高まる。

[0070] 引き抜き回路 31 は、スイッチ ML の誤点弧を抑制する機能、言い換えると、スイッチ Q_7 を十分にオンして低インピーダンスの経路で電流 I_{dg} を引き抜く機能を有する。ここで、駆動回路 1 の動作、特に、引き抜き回路 31 の動作について、図 5 および図 6 を用いて説明する。

[0071] 図 5 は、実施の形態 1 に係る駆動回路 1（具体的には、スイッチ ML の駆動回路 1）の、 FET （スイッチ ML ）がターンオフするときの動作を説明するための図である。

[0072] 図 6 は、実施の形態 1 に係る駆動回路 1（具体的には、スイッチ ML の駆動回路 1）の、 FET （スイッチ ML ）がターンオンするときの動作を説明するための図である。

[0073] 図 5 および図 6 には、上から、信号 V_{in1} および V_{in2} 、電圧 V_{T2} および電流 I_{T2} 、電圧 V_{ds} 、電圧 V_{gs} 、 V_{o2} 、電流 I_g および I_{rg_dn} 、ならびに、電圧 V_{EB5} および V_{BE7} の時間波形が示されている。

[0074] 図 5 に示される期間（5）では、信号 V_{in1} が Low の信号かつ信号 V_{in2} が $High$ の信号であり、電圧 V_{T2} が $-V_{cc}$ となる。このとき、スイッチ Q_1 がオフ状態となり、スイッチ Q_2 がオン状態となるため、スイッチ Q_2 、2 次巻線 L_2 およびダイオード D_3 を通る経路が導通する。これにより、電圧 V_{gs} が V_{cc} となる。

[0075] 図 5 に示される期間（6）では、信号 V_{in2} が $High$ の信号から Lo

wの信号に切り替わり、電圧 V_{T2} は $-V_{cc}$ から0Vへと変化していく。スイッチQ2は、オン状態のため、スイッチQ1のゲート電圧が下がりスイッチQ1がターンオンする。すなわち、図5に示される期間(7)では、スイッチQ1およびQ2がオン状態となり、電圧 V_o2 は急速に低下する。このように、スイッチQ1およびQ2は、スイッチMLがターンオフするとき(具体的には、端子t3の最大電圧が電圧 V_o2 よりも小さくなったとき、または、端子t4の最小電圧が0Vよりも大きくなったとき)にオン状態となることで、全波整流回路21の電圧 V_o2 を、スイッチMLのソース端子(端子t6)と短絡させることができ、確実にスイッチMLの誤点弧を防止することができる。

[0076] スイッチMLのゲートソース間には、電圧 V_{gs} が保持されているため、抵抗R5の端子t5側から全波整流回路21側へ電流が流れ、スイッチQ5の電圧 V_{EB5} が電圧 $V_{be,th}$ (例えば0.6V)を超え、スイッチQ5がターンオンする。また、スイッチQ7の電圧 V_{BE7} が電圧 $V_{be,th}$ を超え、スイッチQ7がターンオンする。スイッチQ6もスイッチQ7と同様にターンオンする。スイッチQ6およびQ7のターンオンにより、電圧 V_o2 の低下が助長される。すなわちラッチの効果を得られる。なお、スイッチQ5のオン状態を維持するために、電圧 V_{gs} よりも電圧 V_o2 を速く低下させることが好ましい。また、スイッチQ5がいったんオンすればスイッチQ7の電圧 V_{BE7} を電圧 $V_{be,th}$ 以上に維持できるように、スイッチQ7のベースエミッタ間にコンデンサが設けられていれば、スイッチQ6が設けられなくてもよい。

[0077] なお、スイッチQ6およびQ7が設けられていない場合には、電圧 V_o2 は、スイッチQ1およびQ2の電圧 $V_{gs,th}$ 分の電圧(すなわち $V_{gs,th} \times 2$ の電圧)までしか下げることができないが、スイッチQ6およびQ7が設けられていることで、0Vまで低下させることができる。

[0078] 図5に示される期間(8)では、スイッチMHがターンオンすることで、スイッチMLの電圧 V_{ds} が上昇し、電流 I_{dg} が駆動回路1へ流入する。

このとき、スイッチQ7の電圧 V_{BE7} が電圧 V_{be_th} よりも十分高く、スイッチQ7のオン状態を維持することができている。このため、スイッチQ7によって端子t5と端子t6との間のインピーダンスを低い状態に維持することができ、スイッチMLの誤点弧を抑制することができる。なお、抵抗R9の大きさに応じて、電圧 V_{BE7} の低下速度を決めることができる。

[0079] なお、電圧 V_{T2} が V_{cc} から0Vへと変化してスイッチMLがターンオフする場合も、電圧 V_{T2} が $-V_{cc}$ から0Vへと変化してターンオフするときと同様に、スイッチMLの誤点弧を防止することができる。

[0080] また、スイッチQ6のベースエミッタ間電圧は電圧 V_{BE7} と等しいため、スイッチQ6はオン状態を維持することができ、電流 I_{dg} が抵抗R5およびR6を経てスイッチQ6と流れる。このときスイッチQ5のベースエミッタ間に電圧が掛り、スイッチQ5がオン状態になればスイッチQ6のベースエミッタ間に電圧が掛る方向に動作するため、電流 I_{dg} の大きさまたは抵抗R5の設定次第では、スイッチQ7が設けられなくてもよい。

[0081] 図6に示される期間(9)では、信号 V_{in1} がLowの信号かつ信号 V_{in2} がLowの信号であり、電圧 V_{T2} が0Vとなる。このとき、スイッチQ1がオフ状態となり、スイッチQ2がオフ状態となるため、電圧 V_{o2} および V_{gs} は0Vとなる。

[0082] 図6に示される期間(10)では、信号 V_{in1} がLowの信号からHighの信号に切り替わり、電圧 V_{T2} は0Vから V_{cc} へと上昇していく。スイッチQ1およびQ2がオフ状態であっても、スイッチQ1およびQ2のボディダイオードによって全波整流を行うことができるため、電圧 V_{T2} とともに電圧 V_{o2} も上昇する。ダイオードD4、2次巻線L2およびスイッチQ1を通る経路が導通し、スイッチQ1のゲートソース間には電圧 V_{T2} が印加されるため、スイッチQ1はターンオンする。

[0083] 電圧 V_{o2} が上昇すると、スイッチMLの電圧 V_{gs} を上昇させるように、抵抗R5の全波整流回路21側から端子t5側へ電流が流れる。これによ

り、スイッチQ5の電圧 V_{EB5} は強固なオフ状態となる。スイッチQ5がオフ状態のためスイッチQ6およびQ7はオン状態になれない。

[0084] 図5で説明したように、スイッチQ5、Q6およびQ7は、電流 I_{dg} を引き抜くための回路であるが、図6で説明したように、電圧 V_{gs} が上昇する際には自動的にターンオフする。

[0085] 以上説明したように、パルストランスT1の1次巻線L1の端子t1に入力される信号 V_{in1} と端子t2に入力される信号 V_{in2} とが位相差を有し、かつ、2次巻線L2には全波整流回路21が接続されるため、トランスの偏磁を起こすことなく、50%よりも大きいデューティ比を実現することができる。さらに、全波整流回路21と引き抜き回路31によって端子t5およびt6間のインピーダンスを下げることでメインブリッジ回路の誤点弧を防止することができる。

[0086] 具体的には、上記位相差によって、1次巻線L1は、端子t1にHighの信号が入力され、かつ、端子t2にHighの信号が入力される状態A、端子t1にHighの信号が入力され、かつ、端子t2にLowの信号が入力される状態B、端子t1にLowの信号が入力され、かつ、端子t2にLowの信号が入力される状態C、端子t1にLowの信号が入力され、かつ、端子t2にHighの信号が入力される状態Dを取り得る。2次巻線L2には、状態BおよびDのときに極性の異なる電圧が生じるが、2次巻線L2には全波整流回路21が接続されているため、2次巻線L2にいずれの極性の電圧が生じている場合にも（言い換えると状態BおよびDのいずれの状態であっても）、駆動回路1はスイッチMLに電圧を印加することができる。例えば、状態A、B、CおよびDのうちの状態BおよびDの一方の状態でしかスイッチMLに電圧を印加できない場合には、最大でも50%のデューティ比しか実現することができないが、状態A、B、CおよびDのうちの状態BおよびDの両方の状態でスイッチMLに電圧を印加できる場合には、様々なデューティ比を実現することができる。よって、50%よりも大きいデューティ比を実現することができる。

[0087] なお、スイッチMLがターンオフするときにスイッチMLの寄生容量 C_g によって生じた電流 I_{dg} が、スイッチMLのゲートから駆動回路1に流れ込み、スイッチMLが誤点弧するおそれがある。これに対して、駆動回路1では、スイッチMLがターンオフするときにスイッチMLのゲートから電流 I_{dg} を引き抜くための引き抜き回路31が設けられているため、スイッチMLの誤点弧を防止することができ、高速ターンオフおよびターンオンが可能となる。

[0088] 例えば、引き抜き回路31によって、電圧 V_{o2} または V_{gs} を、スイッチMLのソース電圧（端子t6の電圧：例えば0V）に近づけることができるため、スイッチMLの誤点弧を防止することができる。例えば、 $V_{gs} - V_{o2}$ が V_{th1} を上回った場合、つまり、2次巻線L2に生じる電圧の絶対値が小さくなってスイッチMLがターンオフする場合に、スイッチMLの誤点弧を防止することができる。

[0089] （実施の形態2）

次に、実施の形態2に係る駆動回路について説明する。

[0090] 図7は、実施の形態2に係る駆動回路2の一例を示す回路図である。

[0091] 駆動回路2は、全波整流回路21の代わりに全波整流回路22を備え、引き抜き回路31の代わりに引き抜き回路32を備える点が、実施の形態1に係る駆動回路1と異なる。その他の点は、実施の形態1におけるものと同じであるため、説明は省略する。

[0092] 全波整流回路22は、パルストランスT1の2次巻線L2に接続される。なお、図7では、全波整流回路22が、抵抗R10およびコンデンサC10からなるRC回路を介して、2次巻線L2に接続される例が示されているが、実施の形態1と同様、このRC回路は設けられていなくてもよい。

[0093] 例えば、全波整流回路22は、フルブリッジ回路を構成する直列に接続された2つのダイオードD1およびD2と、当該フルブリッジ回路を構成する直列に接続された2つのダイオードD3およびD4とを含む。2つのダイオードD1およびD2の間のノードは、パルストランスT1の2次巻線L2の

一端の端子 t 3 に接続される。2つのダイオード D 3 および D 4 の間のノードは、パルストランス T 1 の 2 次巻線 L 2 の他端の端子 t 4 に接続される。また、全波整流回路 2 2 は、ダイオード D 4 と並列に接続された抵抗 R 4 を備える。

[0094] ダイオード D 1 のアノードは、ダイオード D 2 のカソード、端子 t 3 および引き抜き回路 3 2 に接続される。ダイオード D 1 のカソードは、ダイオード D 3 のカソードおよび引き抜き回路 3 2 に接続される。

[0095] ダイオード D 2 のアノードは端子 t 6 に接続される。ダイオード D 2 のカソードは、ダイオード D 1 のアノード、端子 t 3 および引き抜き回路 3 2 に接続される。

[0096] ダイオード D 3 のアノードは、ダイオード D 4 のカソード、端子 t 4 および引き抜き回路 3 2 に接続される。ダイオード D 3 のカソードは、ダイオード D 1 のカソードおよび引き抜き回路 3 2 に接続される。

[0097] ダイオード D 4 のアノードは端子 t 6 に接続される。ダイオード D 4 のカソードは、ダイオード D 3 のアノード、端子 t 4 および引き抜き回路 3 2 に接続される。

[0098] 全波整流回路 2 2 は、2 次巻線 L 2 に生じる電圧を全波整流して F E T のゲートへ出力する。図 7 には、全波整流回路 2 2 の出力電圧として電圧 V_{o2} が示されている。2 次巻線 L 2 には、端子 t 1 に H i g h の信号が入力され、かつ、端子 t 2 に L o w の信号が入力される状態 B、および、端子 t 1 に L o w の信号が入力され、かつ、端子 t 2 に H i g h の信号が入力される状態 D のときに極性の異なる電圧が生じるが、2 次巻線 L 2 には全波整流回路 2 2 が接続されているため、2 次巻線 L 2 にいずれの極性の電圧が生じている場合にも（言い換えると状態 B および D のいずれの状態であっても）、全波整流回路 2 2 は、2 次巻線 L 2 に生じている電圧の絶対値に対応する電圧 V_{o2} を出力することができる。このため、駆動回路 2 は、端子 t 5 および t 6 間に接続された F E T に、電圧 V_{o2} に応じた電圧 V_{gs} を印加することができる。

[0099] 引き抜き回路32は、FETがターンオフするときにFETのゲートから電流を引き抜くための回路である。引き抜き回路32の動作の詳細については後述する。

[0100] 引き抜き回路32は、例えば、抵抗R11、R12、R13、R14およびR15、スイッチQ8およびQ9、ならびに、ダイオードD5およびD6を備える。抵抗R12は、全波整流回路22の出力電圧とFETのゲートソース間電圧との電圧差を生成する第1回路の一例である。抵抗R13、R14およびR15、ならびに、スイッチQ8およびQ9は、全波整流回路22の出力電圧、FETのゲートソース間電圧、または、全波整流回路22の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路22の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧（端子t6の電圧：例えば0V）に近づける第2回路の一例である。ダイオードD5およびD6ならびに抵抗R11は、第3回路の一例である。全波整流回路22の出力電圧を V_{o2} 、第3回路に対して設定された閾値電圧を V_{th2} （例えば0V以上）、FETのソース電圧を V_s 、パルストランスT1の2次巻線の一端の端子および他端の端子の電圧のうちの高い電圧から V_s を引いた値（つまりFETのソース電圧を基準とした電圧）を V_{T2} とした場合、第3回路は、 $V_{o2} - V_{T2} > V_{th2}$ になったときに（言い換えると、 $V_{o2} - V_{T2}$ が V_{th2} を上回ったときに）、第2回路に、 V_{o2} を V_s に近づけさせる。

[0101] ここで全波整流回路22の出力電圧をFETのソース電圧に近づけるという意味は、全波整流回路22の両出力端間をスイッチで導通させ、FETのソースと全波整流回路22の両出力端とを低インピーダンスで接続することである。

[0102] 例えば、実施の形態2では、抵抗R13、R14およびR15、ならびに、スイッチQ8およびQ9は、全波整流回路22の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路22の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。具体的に

は、抵抗 R_{13} 、 R_{14} および R_{15} 、ならびに、スイッチ Q_8 および Q_9 は、FETのゲートソース間電圧が全波整流回路22の出力電圧よりも大きい場合、全波整流回路22の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。

[0103] スイッチ Q_8 は、例えば、PNPトランジスタである。スイッチ Q_8 のベースは、抵抗 R_{11} の一端、ダイオード D_5 のカソードおよびダイオード D_6 のカソードに接続される。スイッチ Q_8 のコレクタは抵抗 R_{13} の一端に接続される。スイッチ Q_8 のエミッタは、抵抗 R_{12} の一端、抵抗 R_{14} の一端、スイッチ Q_9 のベース、ダイオード D_1 のカソードおよびダイオード D_3 のカソードに接続される。

[0104] スイッチ Q_9 は、例えば、PNPトランジスタである。スイッチ Q_9 のベースは、スイッチ Q_8 のエミッタ、抵抗 R_{12} の一端、抵抗 R_{14} の一端、ダイオード D_1 のカソードおよびダイオード D_3 のカソードに接続される。スイッチ Q_9 のコレクタは、抵抗 R_{12} の他端および端子 t_5 に接続される。スイッチ Q_9 のエミッタは、抵抗 R_{15} の一端に接続される。

[0105] ダイオード D_5 のアノードは、ダイオード D_1 のアノード、ダイオード D_2 のカソードおよび端子 t_3 に接続される。ダイオード D_5 のカソードは、ダイオード D_6 のカソード、スイッチ Q_8 のベースおよび抵抗 R_{11} の一端に接続される。

[0106] ダイオード D_6 のアノードは、ダイオード D_3 のアノード、ダイオード D_4 のカソード、抵抗 R_{11} の他端および端子 t_4 に接続される。ダイオード D_6 のカソードは、ダイオード D_5 のカソード、スイッチ Q_8 のベースおよび抵抗 R_{11} の一端に接続される。

[0107] 抵抗 R_{11} は、ダイオード D_6 と並列に接続される。

[0108] 抵抗 R_{12} は、一端が、スイッチ Q_8 のエミッタ、スイッチ Q_9 のベース、抵抗 R_{14} の一端、ダイオード D_1 のカソードおよびダイオード D_3 のカソードに接続され、他端が、スイッチ Q_9 のエミッタおよび端子 t_5 に接続される。

- [0109] 抵抗 R_{13} は、一端がスイッチ Q_8 のコレクタに接続され、他端が端子 t_6 に接続される。
- [0110] 抵抗 R_{14} は、一端が、スイッチ Q_9 のベース、スイッチ Q_8 のエミッタ、抵抗 R_{12} の一端、ダイオード D_1 のカソードおよびダイオード D_3 のカソードに接続され、他端が端子 t_6 に接続される。
- [0111] 抵抗 R_{15} は、一端がスイッチ Q_9 のコレクタに接続され、他端が端子 t_6 に接続される。
- [0112] 駆動回路2についても、駆動回路1と同様に、50%よりも大きいデューティ比を実現することができる。
- [0113] 次に、駆動回路2を図3に示されるメインブリッジ回路に適用した際に、スイッチ ML がターンオフするときのスイッチ ML の駆動回路2の動作について説明する。なお、スイッチ ML は、駆動回路2によって駆動されるFETの一例である。
- [0114] スwitch ML がターンオフするときには、例えば、電圧 V_{T2} は $-V_{cc}$ から0Vへと変化していく。2次巻線 L_2 の両端の電圧 V_{T2} は、抵抗 R_4 によってプルダウンされることで、端子 t_6 の電圧（スイッチ ML のソース電圧）に近づく。また、スイッチ Q_8 のベースが抵抗 R_{11} によって抵抗 R_4 側へプルダウンされることで、スイッチ Q_8 のベースは、端子 t_6 の電圧に近づく。電圧 V_{T2} が0Vへと変化していくと、スイッチ Q_8 がターンオンする。
- [0115] スwitch Q_8 がターンオンすることで、電圧 V_{o2} が低下し、端子 t_5 、抵抗 R_{12} 、スイッチ Q_8 、抵抗 R_{13} および端子 t_6 を通る経路で電流が流れるため、スイッチ ML のゲートから電流 I_{dg} を低インピーダンスの経路を介して引き抜くことができる。また、抵抗 R_{12} の端子 t_5 側から全波整流回路22側へ電流が流れることで、スイッチ Q_9 もターンオンするため、スイッチ ML のゲートから電流 I_{dg} を高速で引き抜くことができる。これにより、スイッチ ML の誤点弧を防止することができる。
- [0116] なお、電圧 V_{T2} が V_{cc} から0Vへと変化してスイッチ ML がターンオ

フする場合も、電圧 V_{T2} が $-V_{cc}$ から $0V$ へと変化してターンオフするときと同様に、スイッチ ML の誤点弧を防止することができる。

[0117] なお、電圧 V_{T2} が V_{cc} であり、スイッチ ML がオン状態のときには、ダイオード $D1$ に電流が流れるため、スイッチ $Q8$ のベースは $High$ レベルとなり、スイッチ $Q8$ はオフ状態となる。

[0118] このように、引き抜き回路 32 によって、電圧 V_{o2} または V_{gs} を、スイッチ ML のソース電圧（端子 $t6$ の電圧）に近づけることができるため、スイッチ ML の誤点弧を防止することができる。例えば、電圧 V_{gs} が電圧 V_{o2} よりも大きい場合、つまり、 2 次巻線 $L2$ に生じる電圧の絶対値が小さくなってスイッチ ML がターンオフする場合に、スイッチ ML の誤点弧を防止することができる。なお、スイッチ $Q8$ のターンオンを高速化するためには、抵抗 $R4$ および $R11$ の抵抗値を小さくする必要があり、バイアス電力が大きくなる。

[0119] （実施の形態 3 ）

次に、実施の形態 3 に係る駆動回路について説明する。

[0120] 図 8 は、実施の形態 3 に係る駆動回路 3 の一例を示す回路図である。

[0121] 駆動回路 3 は、全波整流回路 22 の代わりに全波整流回路 23 を備え、引き抜き回路 32 の代わりに引き抜き回路 33 を備える点が、実施の形態 2 に係る駆動回路 2 と異なる。その他の点は、実施の形態 2 におけるものと同じであるため、説明は省略する。

[0122] 全波整流回路 23 は、抵抗 $R4$ の代わりに抵抗 $R1$ を備える点が、実施の形態 2 に係る全波整流回路 22 と異なる。その他の点は、実施の形態 2 におけるものと同じであるため、説明は省略する。抵抗 $R4$ は、ダイオード $D1$ と並列に接続される。

[0123] 引き抜き回路 33 は、スイッチ $Q8$ 、ダイオード $D5$ 、 $D6$ 、抵抗 $R11$ および $R13$ の代わりに、スイッチ $Q10$ 、ダイオード $D7$ 、 $D8$ 、抵抗 $R16$ および $R17$ を備える点が、実施の形態 2 に係る引き抜き回路 32 と異なる。その他の点は、実施の形態 2 におけるものと同じであるため、説明は

省略する。

[0124] 抵抗 R_{12} は、全波整流回路23の出力電圧とFETのゲートソース間電圧との電圧差を生成する第1回路の一例である。抵抗 R_{14} 、 R_{15} および R_{17} 、ならびに、スイッチ Q_9 および Q_{10} は、全波整流回路23の出力電圧、FETのゲートソース間電圧、または、全波整流回路23の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路23の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧（端子 t_6 の電圧：例えば0V）に近づける第2回路の一例である。ダイオード D_7 および D_8 ならびに抵抗 R_{16} は、第4回路の一例である。全波整流回路23の出力電圧を V_{o2} 、第4回路に対して設定された閾値電圧を V_{th3} （例えば0V以上）、FETのソース電圧を V_s 、パルストランス T_1 の2次巻線の一端の端子および他端の端子の電圧のうちの低い電圧から V_s を引いた値（つまりFETのソース電圧を基準とした電圧）を $V_{T2'}$ とした場合、第4回路は、 $V_{T2'} > V_{th3}$ になったときに（言い換えると、 $V_{T2'}$ が V_{th3} を上回ったときに）、第2回路に、 V_{o2} を V_s に近づけさせる。

[0125] ここで全波整流回路23の出力電圧をFETのソース電圧に近づけるという意味は、全波整流回路23の両出力端間をスイッチで導通させ、FETのソースと全波整流回路23の両出力端とを低インピーダンスで接続することである。

[0126] 例えば、実施の形態3では、抵抗 R_{14} 、 R_{15} および R_{17} 、ならびに、スイッチ Q_9 および Q_{10} は、全波整流回路23の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路23の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。具体的には、抵抗 R_{14} 、 R_{15} および R_{17} 、ならびに、スイッチ Q_9 および Q_{10} は、FETのゲートソース間電圧が全波整流回路23の出力電圧よりも大きい場合、全波整流回路23の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。

- [0127] スイッチQ10は、例えば、NPNトランジスタである。スイッチQ10のベースは、抵抗R16の一端、ダイオードD7のアノードおよびダイオードD8のアノードに接続される。スイッチQ10のコレクタは抵抗R17の一端に接続される。スイッチQ10のエミッタは端子t6に接続される。
- [0128] ダイオードD7のアノードは、ダイオードD8のアノード、スイッチQ10のベースおよび抵抗R16の一端に接続される。ダイオードD7のカソードは、ダイオードD1のアノード、ダイオードD2のカソード、抵抗R16の他端および端子t3に接続される。
- [0129] ダイオードD8のアノードは、ダイオードD7のアノード、スイッチQ10のベースおよび抵抗R16の一端に接続される。ダイオードD8のカソードは、ダイオードD3のアノード、ダイオードD4のカソードおよび端子t4に接続される。
- [0130] 抵抗R16は、ダイオードD7と並列に接続される。
- [0131] 抵抗R17は、一端がスイッチQ10のコレクタに接続され、他端が、抵抗R12の一端、抵抗R14の一端、スイッチQ9のベース、ダイオードD1のカソードおよびダイオードD3のカソードに接続される。
- [0132] 駆動回路3についても、駆動回路1、2と同様に、50%よりも大きいデューティ比を実現することができる。
- [0133] 駆動回路3を図3に示されるメインブリッジ回路に適用した際に、スイッチMLがターンオフするときのスイッチMLの駆動回路3の動作についても、駆動回路2と基本的に同じであるため説明を省略する。なお、実施の形態3では、ブリッジ回路はHigh側へプルアップされる。また、電圧VT2がVccであり、スイッチMLがオン状態のときには、ダイオードD4に電流が流れるため、スイッチQ10のベースはLowレベルとなり、スイッチQ10はオフ状態となる。
- [0134] このように、引き抜き回路33によって、電圧Vo2またはVgsを、スイッチMLのソース電圧（端子t6の電圧）に近づけることができるため、スイッチMLの誤点弧を防止することができる。例えば、電圧Vgsが電圧

V_o 2 よりも大きい場合、つまり、2次巻線L₂に生じる電圧の絶対値が小さくなってスイッチMLがターンオフする場合に、スイッチMLの誤点弧を防止することができる。なお、スイッチQ₁₀のターンオンを高速化するためには、抵抗R₁およびR₁₆の抵抗値を小さくする必要があり、バイアス電力が大きくなる。

[0135] (実施の形態4)

次に、実施の形態4に係る駆動回路について説明する。

[0136] 図9は、実施の形態4に係る駆動回路4の一例を示す回路図である。

[0137] 駆動回路4は、全波整流回路21の代わりに全波整流回路24を備え、引き抜き回路31の代わりに引き抜き回路34を備え、抵抗R₁₀およびコンデンサC₁₀を備えない点が、実施の形態1に係る駆動回路1と異なる。その他の点は、実施の形態1におけるものと同じであるため、説明は省略する。なお、駆動回路4は、抵抗R₁₀およびコンデンサC₁₀を備えていてもよい。

[0138] 全波整流回路24は、パルストランスT₁の2次巻線L₂に接続される。例えば、全波整流回路24は、フルブリッジ回路を構成する直列に接続された2つのダイオードD₁およびD₂と、当該フルブリッジ回路を構成する直列に接続された2つのダイオードD₃およびD₄とを含む。2つのダイオードD₁およびD₂の間のノードは、パルストランスT₁の2次巻線L₂の一端の端子t₃に接続される。2つのダイオードD₃およびD₄の間のノードは、パルストランスT₁の2次巻線L₂の他端の端子t₄に接続される。

[0139] ダイオードD₁のアノードは、ダイオードD₂のカソードおよび端子t₃に接続される。ダイオードD₁のカソードは、ダイオードD₃のカソードおよび引き抜き回路34に接続される。

[0140] ダイオードD₂のアノードは端子t₆に接続される。ダイオードD₂のカソードは、ダイオードD₁のアノードおよび端子t₃に接続される。

[0141] ダイオードD₃のアノードは、ダイオードD₄のカソードおよび端子t₄に接続される。ダイオードD₃のカソードは、ダイオードD₁のカソードお

よび引き抜き回路 34 に接続される。

[0142] ダイオード D4 のアノードは、端子 t6 に接続される。ダイオード D4 のカソードは、ダイオード D3 のアノードおよび端子 t4 に接続される。

[0143] 全波整流回路 24 は、2 次巻線 L2 に生じる電圧を全波整流して FET のゲートへ出力する。図 9 には、全波整流回路 24 の出力電圧として電圧 V_o が示されている。2 次巻線 L2 には、端子 t1 に High の信号が入力され、かつ、端子 t2 に Low の信号が入力される状態 B、および、端子 t1 に Low の信号が入力され、かつ、端子 t2 に High の信号が入力される状態 D のときに極性の異なる電圧が生じるが、2 次巻線 L2 には全波整流回路 24 が接続されているため、2 次巻線 L2 にいずれの極性の電圧が生じている場合にも（言い換えると状態 B および D のいずれの状態であっても）、全波整流回路 24 は、2 次巻線 L2 に生じている電圧の絶対値に対応する電圧 V_o を出力することができる。このため、駆動回路 4 は、端子 t5 および t6 間に接続された FET に、電圧 V_o に応じた電圧 V_{gs} を印加することができる。

[0144] 引き抜き回路 34 は、FET がターンオフするときに FET のゲートから電流を引き抜くための回路である。引き抜き回路 34 の動作の詳細については後述する。

[0145] 引き抜き回路 34 は、例えば、抵抗 R18、R19、R20、R21 および R22、スイッチ Q11 および Q12、ダイオード D9 ならびにコンデンサ C1 を備える。抵抗 R18 およびダイオード D9 は、全波整流回路 24 の出力電圧と FET のゲートソース間電圧との電圧差を生成する第 1 回路の一例である。抵抗 R19、R20、R21 および R22、スイッチ Q11 および Q12 ならびにコンデンサ C1 は、全波整流回路 24 の出力電圧、FET のゲートソース間電圧、または、全波整流回路 24 の出力電圧と FET のゲートソース間電圧との電圧差に基づいて、全波整流回路 24 の出力電圧または FET のゲートソース間電圧を、FET のソース電圧（端子 t6 の電圧：例えば 0 V）に近づける第 2 回路の一例である。

- [0146] ここで全波整流回路 24 の出力電圧を F E T のソース電圧に近づけるとい
う意味は、全波整流回路 24 の両出力端間をスイッチで導通させ、F E T の
ソースと全波整流回路 24 の両出力端とを低インピーダンスで接続すること
である。
- [0147] 例えば、実施の形態 4 では、抵抗 R 19、R 20、R 21 および R 22、
スイッチ Q 11 および Q 12 ならびにコンデンサ C 1 は、全波整流回路 24
の出力電圧または F E T のゲートソース間電圧に基づいて、全波整流回路 2
4 の出力電圧または F E T のゲートソース間電圧を、F E T のソース電圧に
近づける。具体的には、抵抗 R 19、R 20、R 21 および R 22、スイッ
チ Q 11 および Q 12 ならびにコンデンサ C 1 は、全波整流回路 24 の出力
電圧が所定値よりも小さく、かつ、F E T のゲートソース間電圧が所定値よ
りも大きい場合、F E T のゲートソース間電圧を、F E T のソース電圧に近
づける。所定値は、全波整流回路 24 の出力電圧および F E T のゲートソー
ス間電圧が H i g h レベルであるか L o w レベルであるかを判定可能な値で
あれば特に限定されない。
- [0148] 抵抗 R 18 は、一端が、抵抗 R 19 の一端、ダイオード D 1 のカソードお
よびダイオード D 3 のカソードに接続され、他端がダイオード D 9 のアノー
ドに接続される。
- [0149] 抵抗 R 19 は、一端が、抵抗 R 18 の一端、ダイオード D 1 のカソードお
よびダイオード D 3 のカソードに接続され、他端が、抵抗 R 20 の一端およ
びスイッチ Q 11 のベースに接続される。
- [0150] 抵抗 R 20 は、一端が、抵抗 R 19 の他端およびスイッチ Q 11 のベース
に接続され、他端が端子 t 6 に接続される。
- [0151] 抵抗 R 21 は、一端が、抵抗 R 22 の一端、ダイオード D 9 のカソードお
よび端子 t 5 に接続され、他端が、スイッチ Q 11 のコレクタ、スイッチ Q
12 のベースおよびコンデンサ C 1 の一端に接続される。
- [0152] 抵抗 R 22 は、一端が、抵抗 R 21 の一端、ダイオード D 9 のカソードお
よび端子 t 5 に接続され、他端がスイッチ Q 12 のコレクタに接続される。

- [0153] コンデンサC 1は、一端が、抵抗R 2 1の他端、スイッチQ 1 1のコレクタおよびスイッチQ 1 2のベースに接続され、他端が端子t 6に接続される。
- [0154] ダイオードD 9のアノードは抵抗R 1 8の他端に接続される。ダイオードD 9のカソードは、抵抗R 2 1の一端、抵抗R 2 2の一端および端子t 5に接続される。
- [0155] スwitchQ 1 1は、例えば、NPNトランジスタである。スイッチQ 1 1のベースは、抵抗R 1 9の他端および抵抗R 2 0の一端に接続される。スイッチQ 1 1のコレクタは、抵抗R 2 1の他端、コンデンサC 1の一端およびスイッチQ 1 2のベースに接続される。スイッチQ 1 1のエミッタは端子t 6に接続される。
- [0156] スwitchQ 1 2は、例えば、NPNトランジスタである。スイッチQ 1 2のベースは、抵抗R 2 1の他端、コンデンサC 1の一端およびスイッチQ 1 1のコレクタに接続される。スイッチQ 1 2のコレクタは抵抗R 2 2の他端に接続される。スイッチQ 1 2のエミッタは端子t 6に接続される。
- [0157] 駆動回路4についても、駆動回路1～3と同様に、50%よりも大きいデューティ比を実現することができる。
- [0158] 次に、駆動回路4を図3に示されるメインブリッジ回路に適用した際に、スイッチMLがターンオフするときのスイッチMLの駆動回路4の動作について説明する。なお、スイッチMLは、駆動回路4によって駆動されるFETの一例である。
- [0159] スwitchMLがターンオフするときには、例えば、電圧V T 2は $-V_{cc}$ から0Vへと変化していく。それに伴い、電圧V o 2は、抵抗R 1 9およびR 2 0によって低下していく。なお、このとき、コンデンサC g sの電圧V g sの影響を受けないように、ダイオードD 9が設けられている。
- [0160] 電圧V o 2の低下によって、スイッチQ 1 1がターンオフすると、スイッチQ 1 2がターンオンし、電流I d gが低インピーダンスの経路を介して高速で引き抜かれ、スイッチMLの誤点弧を防止することができる。なお、コ

ンデンサC 1 によってスイッチQ 1 2 のベースエミッタ間電圧を一定以上に維持することで、スイッチML の誤点弧を防止することができる。また、電圧V T 2 がV c c から0 V へと変化してスイッチML がターンオフする場合も、電圧V T 2 が−V c c から0 V へと変化してターンオフするときと同様に、スイッチML の誤点弧を防止することができる。

[0161] このように、引き抜き回路3 4 によって、電圧V o 2 またはV g s を、スイッチML のソース電圧（端子t 6 の電圧）に近づけることができるため、スイッチML の誤点弧を防止することができる。例えば、電圧V o 2 が所定値よりも小さく、かつ、電圧V g s が所定値よりも大きい場合、つまり、2 次巻線L 2 に生じる電圧の絶対値が小さくなってスイッチML がターンオフする場合に、スイッチML の誤点弧を防止することができる。なお、スイッチQ 1 1 のターンオフを高速化するためには、抵抗R 1 9 およびR 2 0 の抵抗値を小さくする必要があり、バイアス電力が大きくなる。

[0162] （実施の形態5）

次に、実施の形態5 に係る駆動回路について説明する。

[0163] 図1 0 は、実施の形態5 に係る駆動回路5 の一例を示す回路図である。

[0164] 駆動回路5 は、引き抜き回路3 4 の代わりに引き抜き回路3 5 を備える点で、実施の形態4 に係る駆動回路4 と異なる。その他の点は、実施の形態4 におけるものと同じであるため、説明は省略する。

[0165] 引き抜き回路3 5 は、F E T がターンオフするときにF E T のゲートから電流を引き抜くための回路である。引き抜き回路3 5 の動作の詳細については後述する。

[0166] 引き抜き回路3 5 は、例えば、抵抗R 2 3、R 2 4、R 2 5 およびR 2 6、スイッチQ 1 3 ならびにダイオードD 1 0 を備える。抵抗R 2 3 およびダイオードD 1 0 は、全波整流回路2 4 の出力電圧とF E T のゲートソース間電圧との電圧差を生成する第1 回路の一例である。抵抗R 2 4、R 2 5 およびR 2 6 ならびにスイッチQ 1 3 は、全波整流回路2 4 の出力電圧、F E T のゲートソース間電圧、または、全波整流回路2 4 の出力電圧とF E T のゲ

ートソース間電圧との電圧差に基づいて、全波整流回路24の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧（端子t6の電圧：例えば0V）に近づける第2回路の一例である。

[0167] 例えば、実施の形態5では、抵抗R24、R25およびR26ならびにスイッチQ13は、全波整流回路24の出力電圧とFETのゲートソース間電圧との電圧差に基づいて、全波整流回路24の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。具体的には、抵抗R24、R25およびR26ならびにスイッチQ13は、FETのゲートソース間電圧が全波整流回路24の出力電圧よりも大きい場合、全波整流回路24の出力電圧またはFETのゲートソース間電圧を、FETのソース電圧に近づける。

[0168] 抵抗R23は、一端が、抵抗R24の一端、ダイオードD1のカソードおよびダイオードD3のカソードに接続され、他端がダイオードD10のアノードに接続される。

[0169] 抵抗R24は、一端が、抵抗R23の一端、ダイオードD1のカソードおよびダイオードD3のカソードに接続され、他端が、抵抗R25の一端およびスイッチQ13のベースに接続される。

[0170] 抵抗R25は、一端が、抵抗R24の他端およびスイッチQ13のベースに接続され、他端が端子t6に接続される。

[0171] 抵抗R26は、一端がスイッチQ13のコレクタに接続され、他端が端子t6に接続される。

[0172] ダイオードD10のアノードは、抵抗R23の他端に接続される。ダイオードD10のカソードは、スイッチQ13のエミッタおよび端子t5に接続される。

[0173] スイッチQ13は、例えば、PNPトランジスタである。スイッチQ13のベースは、抵抗R24の他端および抵抗R25の一端に接続される。スイッチQ13のコレクタは抵抗R26の一端に接続される。スイッチQ13のエミッタは、ダイオードD10のカソードおよび端子t5に接続される。

[0174] 駆動回路5についても、駆動回路1～4と同様に、50%よりも大きいデューティ比を実現することができる。

[0175] 次に、駆動回路5を図3に示されるメインブリッジ回路に適用した際に、スイッチMLがターンオフするときのスイッチMLの駆動回路5の動作について説明する。なお、スイッチMLは、駆動回路5によって駆動されるFETの一例である。

[0176] スwitchMLがターンオフするときには、例えば、電圧 V_{T2} は $-V_{cc}$ から0Vへと変化していく。それに伴い、電圧 V_{o2} は、抵抗 R_{24} および R_{25} によって低下していく。なお、このとき、コンデンサ C_{gs} の電圧 V_{gs} の影響を受けないように、ダイオード D_{10} が設けられている。

[0177] 電圧 V_{o2} の低下によって、スイッチ Q_{13} がターンオンすると、電流 I_{dg} が低インピーダンスの経路を介して高速で引き抜かれ、スイッチMLの誤点弧を防止することができる。なお、電圧 V_{T2} が V_{cc} から0Vへと変化してスイッチMLがターンオフする場合も、電圧 V_{T2} が $-V_{cc}$ から0Vへと変化してターンオフするときと同様に、スイッチMLの誤点弧を防止することができる。

[0178] このように、引き抜き回路35によって、電圧 V_{o2} または V_{gs} を、スイッチMLのソース電圧（端子 t_6 の電圧）に近づけることができるため、スイッチMLの誤点弧を防止することができる。例えば、電圧 V_{gs} が電圧 V_{o2} よりも大きい場合、つまり、2次巻線 L_2 に生じる電圧の絶対値が小さくなってスイッチMLがターンオフする場合に、スイッチMLの誤点弧を防止することができる。なお、スイッチ Q_{13} のターンオンを高速化するためには、抵抗 R_{24} および R_{25} の抵抗値を小さくする必要があり、バイアス電力が大きくなる。また、抵抗 R_{24} の抵抗値を、電圧 V_{gs} がHighのときにスイッチ Q_{13} がターンオンしないような値に設定する必要がある。

[0179] （実施の形態6）

次に、実施の形態6に係る駆動回路について説明する。

[0180] 図 1 1 は、実施の形態 6 に係る駆動回路 6 の一例を示す回路図である。

[0181] 駆動回路 6 は、引き抜き回路 3 4 の代わりに引き抜き回路 3 6 を備える点が、実施の形態 4 に係る駆動回路 4 と異なる。その他の点は、実施の形態 4 におけるものと同じであるため、説明は省略する。

[0182] 引き抜き回路 3 6 は、さらに、抵抗 R 2 7、コンデンサ C 2 およびダイオード D 1 1 を備える点が、実施の形態 1 に係る引き抜き回路 3 1 と異なる。その他の点は、実施の形態 1 におけるものと同じであるため説明は省略する。

[0183] 抵抗 R 5 およびダイオード D 1 1 は、全波整流回路 2 4 の出力電圧と F E T のゲートソース間電圧との電圧差を生成する第 1 回路の一例である。抵抗 R 6、R 7、R 8、R 9 および R 2 7、コンデンサ C 2 ならびにスイッチ Q 5、Q 6 および Q 7 は、全波整流回路 2 4 の出力電圧、F E T のゲートソース間電圧、または、全波整流回路 2 4 の出力電圧と F E T のゲートソース間電圧との電圧差に基づいて、全波整流回路 2 4 の出力電圧または F E T のゲートソース間電圧を、F E T のソース電圧（端子 t 6 の電圧：例えば 0 V）に近づける第 2 回路の一例である。

[0184] 例えば、実施の形態 6 では、抵抗 R 6、R 7、R 8、R 9 および R 2 7、コンデンサ C 2 ならびにスイッチ Q 5、Q 6 および Q 7 は、全波整流回路 2 4 の出力電圧と F E T のゲートソース間電圧との電圧差に基づいて、全波整流回路 2 4 の出力電圧または F E T のゲートソース間電圧を、F E T のソース電圧に近づける。具体的には、抵抗 R 6、R 7、R 8、R 9 および R 2 7、コンデンサ C 2 ならびにスイッチ Q 5、Q 6 および Q 7 は、F E T のゲートソース間電圧が全波整流回路 2 4 の出力電圧よりも大きい場合、全波整流回路 2 4 の出力電圧または F E T のゲートソース間電圧を、F E T のソース電圧に近づける。

[0185] 抵抗 R 2 7 は、一端が、抵抗 R 5 の一端、抵抗 R 6 の一端、スイッチ Q 5 のベース、ダイオード D 1 のカソードおよびダイオード D 3 のカソードに接続され、他端が端子 t 6 に接続される。

- [0186] コンデンサC 2は、一端が、抵抗R 8の他端、抵抗R 9の一端、スイッチQ 6のベースおよびスイッチQ 7のベースに接続され、他端が端子t 6に接続される。
- [0187] ダイオードD 11のアノードは、抵抗R 5の他端に接続される。ダイオードD 11のカソードは、スイッチQ 5のエミッタ、抵抗R 7の一端および端子t 5に接続される。
- [0188] 駆動回路6についても、実施の形態1～5と同じように、50%よりも大きいデューティ比を実現することができる。
- [0189] 次に、駆動回路6を図3に示されるメインブリッジ回路に適用した際に、スイッチMLがターンオフするときのスイッチMLの駆動回路6の動作について説明する。なお、スイッチMLは、駆動回路6によって駆動されるFETの一例である。
- [0190] スwitchMLがターンオフするときには、例えば、電圧 V_{T2} は $-V_{cc}$ から0Vへと変化していく。それに伴い、電圧 V_o2 は、抵抗R 27によって低下していく。なお、このとき、コンデンサC_{gs}の電圧 V_{gs} の影響を受けないように、ダイオードD 11が設けられている。
- [0191] 電圧 V_o2 の低下によって、スイッチQ 5がターンオンすると、スイッチQ 6およびQ 7がターンオンし、電流 I_{dg} が低インピーダンスの経路を介して高速で引き抜かれ、また、電圧 V_o2 が高速で低下する。これにより、スイッチMLの誤点弧を防止することができる。なお、電圧 V_{T2} が V_{cc} から0Vへと変化してスイッチMLがターンオフする場合も、電圧 V_{T2} が $-V_{cc}$ から0Vへと変化してターンオフするときと同様に、スイッチMLの誤点弧を防止することができる。
- [0192] このように、引き抜き回路36により、実施の形態1～5と同じようにスイッチMLの誤点弧を防止することができる。なお、スイッチQ 5のターンオンを高速化するためには、抵抗R 27の抵抗値を小さくする必要があり、バイアス電力が大きくなる。
- [0193] (その他の実施の形態)

以上のように、本開示に係る技術の例示として実施の形態を説明した。しかしながら、本開示に係る技術は、これに限定されず、適宜、変更、置き換え、付加、省略などを行った実施の形態にも適用可能である。例えば、以下のような変形例も本開示の一実施の形態に含まれる。

[0194] 例えば、実施の形態 1～6 の第 1 回路は、実施の形態 1～3 のように抵抗により構成されていてもよいし、実施の形態 4～6 のように抵抗とダイオードとの直列回路により構成されていてもよいし、ダイオードにより構成されていてもよい。つまり、第 1 回路は、抵抗、ダイオード、または、抵抗とダイオードとの直列回路からなる回路である。

[0195] 例えば、実施の形態 1 のスイッチ Q 7 のベースエミッタ間にコンデンサが設けられていてもよい。

[0196] 例えば、実施の形態 4 のスイッチ Q 1 2 のベースエミッタ間にコンデンサ C 1 が設けられていなくてもよい。

[0197] 例えば、実施の形態 6 のスイッチ Q 7 のベースエミッタ間にコンデンサ C 2 が設けられていなくてもよい。

[0198] 例えば、実施の形態 1 における抵抗 R 6、R 7、R 8 および R 9、ならびに、スイッチ Q 5、Q 6 および Q 7 が、実施の形態 4 における抵抗 R 1 9、R 2 0、R 2 1 および R 2 2 ならびにスイッチ Q 1 1 および Q 1 2 に置き換えられてもよく、さらに、コンデンサ C 1 が設けられていてもよい。

[0199] 例えば、実施の形態 2、3 におけるスイッチ Q 9 ならびに抵抗 R 1 4 および R 1 5 が、実施の形態 4 における抵抗 R 1 9、R 2 0、R 2 1 および R 2 2 ならびにスイッチ Q 1 1 および Q 1 2 に置き換えられてもよく、さらに、コンデンサ C 1 が設けられていてもよい。

[0200] 例えば、本開示は、駆動回路として実現できるだけでなく、駆動回路の動作方法として実現できる。

[0201] 図 1 2 は、その他の実施の形態に係る動作方法の一例を示すフローチャートである。

[0202] ゲートまたはベースである第 1 端子、ソースまたはエミッタである第 2 端

子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路の動作方法は、図12に示されるように、位相差を有している信号を絶縁型のパルストランスの1次巻線の一端の端子および他端の端子に入力し（ステップS11）、パルストランスの2次巻線から出力された信号を全波整流し（ステップS12）、全波整流された信号を第1端子へ出力し（ステップS13）、トランジスタがターンオフするときに第1端子から電流を引き抜く（ステップS14）処理を含む。

[0203] 例えば、本開示は、動作方法に含まれるステップを、コンピュータ（プロセッサ）に実行させるためのプログラムとして実現できる。さらに、本開示は、そのプログラムを記録したCD-ROM等である非一時的なコンピュータ読み取り可能な記録媒体として実現できる。

[0204] 例えば、本開示が、プログラム（ソフトウェア）で実現される場合には、コンピュータのCPU、メモリおよび入出力回路などのハードウェア資源を利用してプログラムが実行されることによって、各ステップが実行される。つまり、CPUがデータをメモリまたは入出力回路などから取得して演算したり、演算結果をメモリまたは入出力回路などに出力したりすることによって、各ステップが実行される。

[0205] なお、上記実施の形態において、駆動回路に含まれる各構成要素は、専用のハードウェアで構成されるか、各構成要素に適したソフトウェアプログラムを実行することによって実現されてもよい。各構成要素は、CPUまたはプロセッサなどのプログラム実行部が、ハードディスクまたは半導体メモリなどの記録媒体に記録されたソフトウェアプログラムを読み出して実行することによって実現されてもよい。

[0206] 上記実施の形態に係る駆動回路の機能の一部または全ては典型的には集積回路であるLSIとして実現される。これらは個別に1チップ化されてもよいし、一部または全てを含むように1チップ化されてもよい。また、集積回路化はLSIに限るものではなく、専用回路または汎用プロセッサで実現してもよい。LSI製造後にプログラムすることが可能なFPGA（Field

d Programmable Gate Array)、またはLSI内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

[0207] さらに、半導体技術の進歩または派生する別技術によりLSIに置き換わる集積回路化の技術が登場すれば、当然、その技術を用いて、駆動回路に含まれる各構成要素の集積回路化が行われてもよい。

[0208] その他、実施の形態に対して当業者が思いつく各種変形を施して得られる形態、本開示の趣旨を逸脱しない範囲で各実施の形態における構成要素および機能を任意に組み合わせることで実現される形態も本開示に含まれる。

[0209] (付記)

以上の実施の形態の記載により、下記の技術が開示される。

[0210] (技術1) ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路であって、絶縁型のパルストランスと、前記パルストランスの2次巻線に接続された全波整流回路と、前記全波整流回路と前記トランジスタとの間に接続され、かつ、前記第1端子および前記第2端子に接続され、前記トランジスタがターンオフするときに前記第1端子から電流を引き抜くための引き抜き回路と、を備え、前記パルストランスの1次巻線の一端の端子に入力される信号と他端の端子に入力される信号とは、位相差を有している、駆動回路。

[0211] これによれば、パルストランスの1次巻線の一端の端子に入力される信号と他端の端子に入力される信号とが位相差を有し、かつ、2次巻線には全波整流回路が接続されるため、トランスの偏磁を起こすことなく、50%よりも大きいデューティ比を実現することができる。さらに、全波整流回路と引き抜き回路によってメインブリッジ回路の誤点弧を防止することができる。

[0212] 具体的には、上記位相差によって、1次巻線は、一端の端子にHighの信号が入力され、かつ、他端の端子にHighの信号が入力される状態A、一端の端子にHighの信号が入力され、かつ、他端の端子にLowの信号

が入力される状態B、一端の端子にLowの信号が入力され、かつ、他端の端子にLowの信号が入力される状態C、一端の端子にLowの信号が入力され、かつ、他端の端子にHighの信号が入力される状態Dを取り得る。2次巻線には、状態BおよびDのときに極性の異なる電圧が生じるが、2次巻線には全波整流回路が接続されているため、2次巻線にいずれの極性の電圧が生じている場合にも（言い換えると状態BおよびDのいずれの状態であっても）、駆動回路はトランジスタに電圧を印加することができる。例えば、状態A、B、CおよびDのうちの状態BおよびDの一方の状態でしかトランジスタに電圧を印加できない場合には、最大でも50%のデューティ比しか実現することができないが、状態A、B、CおよびDのうちの状態BおよびDの両方の状態でトランジスタに電圧を印加できる場合には、様々なデューティ比を実現することができる。よって、50%よりも大きいデューティ比を実現することができる。

[0213] なお、駆動回路によって駆動されるトランジスタが設けられた回路の構成によっては、トランジスタがターンオフするときにトランジスタの寄生容量によって生じた電流が、トランジスタのゲートから駆動回路に流れ込み、トランジスタが誤点弧するおそれがある。これに対して、本開示では、トランジスタがターンオフするときにトランジスタのゲートから電流を引き抜くための引き抜き回路が設けられているため、トランジスタの誤点弧を防止することができ、高速ターンオフおよびターンオンが可能となる。

[0214] （技術2）前記引き抜き回路は、前記全波整流回路の出力電圧と前記第1端子および前記第2端子間の端子間電圧との電圧差を生成する第1回路と、前記全波整流回路の出力電圧、前記端子間電圧、または、前記電圧差に基づいて、前記全波整流回路の出力電圧または前記端子間電圧を、前記第2端子の電圧に近づける第2回路と、を備える、技術1に記載の駆動回路。

[0215] これによれば、引き抜き回路によって、全波整流回路の出力電圧または上記端子間電圧を、トランジスタの第2端子の電圧に近づけることができるため、トランジスタの誤点弧を防止することができる。

- [0216] (技術3) 前記端子間電圧を V_{gs} 、前記全波整流回路の出力電圧を V_{o2} 、前記第2回路に対して設定された第1閾値電圧を V_{th1} 、前記第2端子の電圧を V_s とした場合、前記第2回路は、 $V_{gs} - V_{o2} > V_{th1}$ になったときに V_{o2} または V_{gs} を V_s に近づける、技術2に記載の駆動回路。
- [0217] これによれば、 $V_{gs} - V_{o2}$ が V_{th1} を上回った場合、つまり、2次巻線に生じる電圧の絶対値が小さくなってトランジスタがターンオフする場合に、トランジスタの誤点弧を防止することができる。
- [0218] (技術4) 前記第2回路は、前記全波整流回路の出力電圧が所定値よりも小さく、かつ、前記端子間電圧が前記所定値よりも大きい場合、前記端子間電圧を、前記第2端子の電圧に近づける、技術2に記載の駆動回路。
- [0219] これによれば、全波整流回路の出力電圧が所定値よりも小さく、かつ、上記端子間電圧が所定値よりも大きい場合、つまり、2次巻線に生じる電圧の絶対値が小さくなってトランジスタがターンオフする場合に、トランジスタの誤点弧を防止することができる。
- [0220] (技術5) 前記引き抜き回路は、さらに、第3回路を備え、前記全波整流回路の出力電圧を V_{o2} 、前記第3回路に対して設定された閾値電圧を V_{th2} 、前記第2端子の電圧を V_s 、前記パルストランスの2次巻線の一端の端子および他端の端子の電圧のうちの高い電圧から V_s を引いた値を V_{T2} とした場合、前記第3回路は、 $V_{o2} - V_{T2} > V_{th2}$ になったときに、前記第2回路に、 V_{o2} を V_s に近づけさせる、技術2～4のいずれかに記載の駆動回路。
- [0221] これによれば、パルストランスの2次巻線の両端の端子の電圧を監視し、全波整流回路の出力電圧と比較することで、パルストランスの2次巻線の両端の端子の電圧に応じて引き抜き回路の動作を開始させることができる。
- [0222] (技術6) 前記引き抜き回路は、さらに、第4回路を備え、前記全波整流回路の出力電圧を V_{o2} 、前記第4回路に対して設定された閾値電圧を V_{th3} 、前記第2端子の電圧を V_s 、前記パルストランスの2次巻線の一端の

端子および他端の端子の電圧のうちの低い電圧から V_s を引いた値を V_{T2}' とした場合、前記第4回路は、 $V_{T2}' > V_{th3}$ になったときに、前記第2回路に、 V_{o2} を V_s に近づけさせる、技術2に記載の駆動回路。

[0223] これによれば、パルストランスの2次巻線の両端の端子の電圧を監視し、全波整流回路の出力電圧と比較することで、パルストランスの2次巻線の両端の端子の電圧に応じて引き抜き回路の動作を開始させることができる。

[0224] (技術7) 前記第1回路は、抵抗、ダイオード、または、抵抗とダイオードとの直列回路からなる回路である、技術2～6のいずれかに記載の駆動回路。

[0225] このようにして第1回路を実現することができる。

[0226] (技術8) 前記全波整流回路は、フルブリッジ回路を構成する直列に接続された2つのスイッチを含み、前記2つのスイッチの間のノードは、前記パルストランスの2次巻線の一端の端子に接続される、技術1～7のいずれかに記載の駆動回路。

[0227] このように、全波整流回路に2つのスイッチが含まれていてもよい。

[0228] (技術9) 前記2つのスイッチは、前記トランジスタがターンオフするときにオン状態となる、技術8に記載の駆動回路。

[0229] これによれば、トランジスタがターンオフするときに2つのスイッチがオン状態となることで、全波整流回路の出力電圧を、トランジスタの第2端子の電圧により近づけることができ、確実にトランジスタの誤点弧を防止することができる。

[0230] (技術10) ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路の動作方法であって、位相差を有している信号を絶縁型のパルストランスの1次巻線の一端の端子および他端の端子に入力し、前記パルストランスの2次巻線から出力された信号を全波整流し、全波整流された信号を前記第1端子へ出力し、前記トランジスタがターンオフするときに前記第1端子から電流を引き抜く、動作方法。

[0231] これによれば、トランスの偏磁を起こすことなく、50%よりも大きいデューティ比を実現することができ、さらにメインブリッジ回路の誤点弧を防ぐことができる動作方法を提供できる。

産業上の利用可能性

[0232] 本開示は、MOSFET、GaNのFETまたはIGBTなどのトランジスタを駆動するための駆動回路に適用できる。

符号の説明

[0233] 1、2、3、4、5、6 駆動回路
10 位相制御回路
21、22、23、24 全波整流回路
31、32、33、34、35、36 引き抜き回路
Bat 電源
C1、C2、C10、Cgs コンデンサ
Cgd 寄生容量
D1、D2、D3、D4、D5、D6、D7、D8、D9、D10、D11 ダイオード
L1 1次巻線
L2 2次巻線
MH、ML、Q1、Q2、Q5、Q6、Q7、Q8、Q9、Q10、Q11、Q12、Q13 スイッチ
R1、R4、R5、R6、R7、R8、R9、R10、R11、R12、R13、R14、R15、R16、R17、R18、R19、R20、R21、R22、R23、R24、R25、R26、R27 抵抗
T1 パルストランス
t1、t2、t3、t4、t5、t6 端子

請求の範囲

- [請求項1] ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路であって、
- 絶縁型のパルストランスと、
- 前記パルストランスの2次巻線に接続された全波整流回路と、
- 前記全波整流回路と前記トランジスタとの間に接続され、かつ、前記第1端子および前記第2端子に接続され、前記トランジスタがターンオフするときに前記第1端子から電流を引き抜くための引き抜き回路と、を備え、
- 前記パルストランスの1次巻線の一端の端子に入力される信号と他端の端子に入力される信号とは、位相差を有している、
- 駆動回路。
- [請求項2] 前記引き抜き回路は、
- 前記全波整流回路の出力電圧と前記第1端子および前記第2端子間の端子間電圧との電圧差を生成する第1回路と、
- 前記全波整流回路の出力電圧、前記端子間電圧、または、前記電圧差に基づいて、前記全波整流回路の出力電圧または前記端子間電圧を、前記第2端子の電圧に近づける第2回路と、を備える、
- 請求項1に記載の駆動回路。
- [請求項3] 前記端子間電圧を V_{gs} 、前記全波整流回路の出力電圧を V_{o2} 、前記第2回路に対して設定された第1閾値電圧を V_{th1} 、前記第2端子の電圧を V_s とした場合、前記第2回路は、 $V_{gs} - V_{o2} > V_{th1}$ になったときに V_{o2} または V_{gs} を V_s に近づける、
- 請求項2に記載の駆動回路。
- [請求項4] 前記第2回路は、前記全波整流回路の出力電圧が所定値よりも小さく、かつ、前記端子間電圧が前記所定値よりも大きい場合、前記端子間電圧を、前記第2端子の電圧に近づける、

請求項 2 に記載の駆動回路。

[請求項5]

前記引き抜き回路は、さらに、第 3 回路を備え、

前記全波整流回路の出力電圧を V_o2 、前記第 3 回路に対して設定された閾値電圧を V_{th2} 、前記第 2 端子の電圧を V_s 、前記パルストランスの 2 次巻線の一端の端子および他端の端子の電圧のうちの高い電圧から V_s を引いた値を V_{T2} とした場合、前記第 3 回路は、 $V_o2 - V_{T2} > V_{th2}$ になったときに、前記第 2 回路に、 V_o2 を V_s に近づけさせる、

請求項 2 に記載の駆動回路。

[請求項6]

前記引き抜き回路は、さらに、第 4 回路を備え、

前記全波整流回路の出力電圧を V_o2 、前記第 4 回路に対して設定された閾値電圧を V_{th3} 、前記第 2 端子の電圧を V_s 、前記パルストランスの 2 次巻線の一端の端子および他端の端子の電圧のうちの低い電圧から V_s を引いた値を V_{T2}' とした場合、前記第 4 回路は、 $V_{T2}' > V_{th3}$ になったときに、前記第 2 回路に、 V_o2 を V_s に近づけさせる、

請求項 2 に記載の駆動回路。

[請求項7]

前記第 1 回路は、抵抗、ダイオード、または、抵抗とダイオードとの直列回路からなる回路である、

請求項 2 に記載の駆動回路。

[請求項8]

前記全波整流回路は、フルブリッジ回路を構成する直列に接続された 2 つのスイッチを含み、

前記 2 つのスイッチの間のノードは、前記パルストランスの 2 次巻線の一端の端子に接続される、

請求項 1 ～ 7 のいずれか 1 項に記載の駆動回路。

[請求項9]

前記 2 つのスイッチは、前記トランジスタがターンオフするときにオン状態となる、

請求項 8 に記載の駆動回路。

[請求項10]

ゲートまたはベースである第1端子、ソースまたはエミッタである第2端子、および、ドレインまたはコレクタである第3端子を有するトランジスタを駆動するための駆動回路の動作方法であって、

位相差を有している信号を絶縁型のパルストランスの1次巻線の一端の端子および他端の端子に入力し、

前記パルストランスの2次巻線から出力された信号を全波整流し、

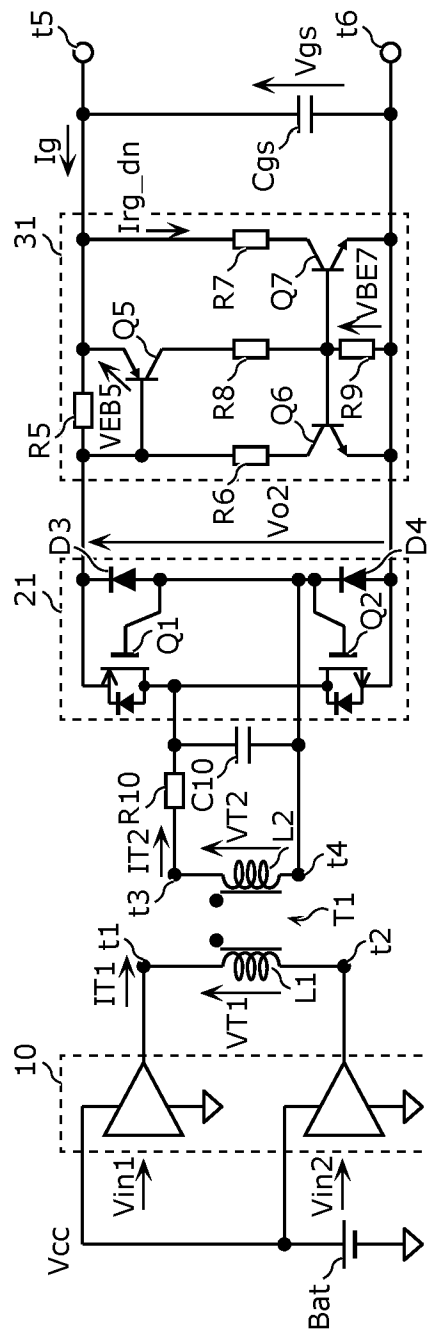
全波整流された信号を前記第1端子へ出力し、

前記トランジスタがターンオフするときに前記第1端子から電流を引き抜く、

動作方法。

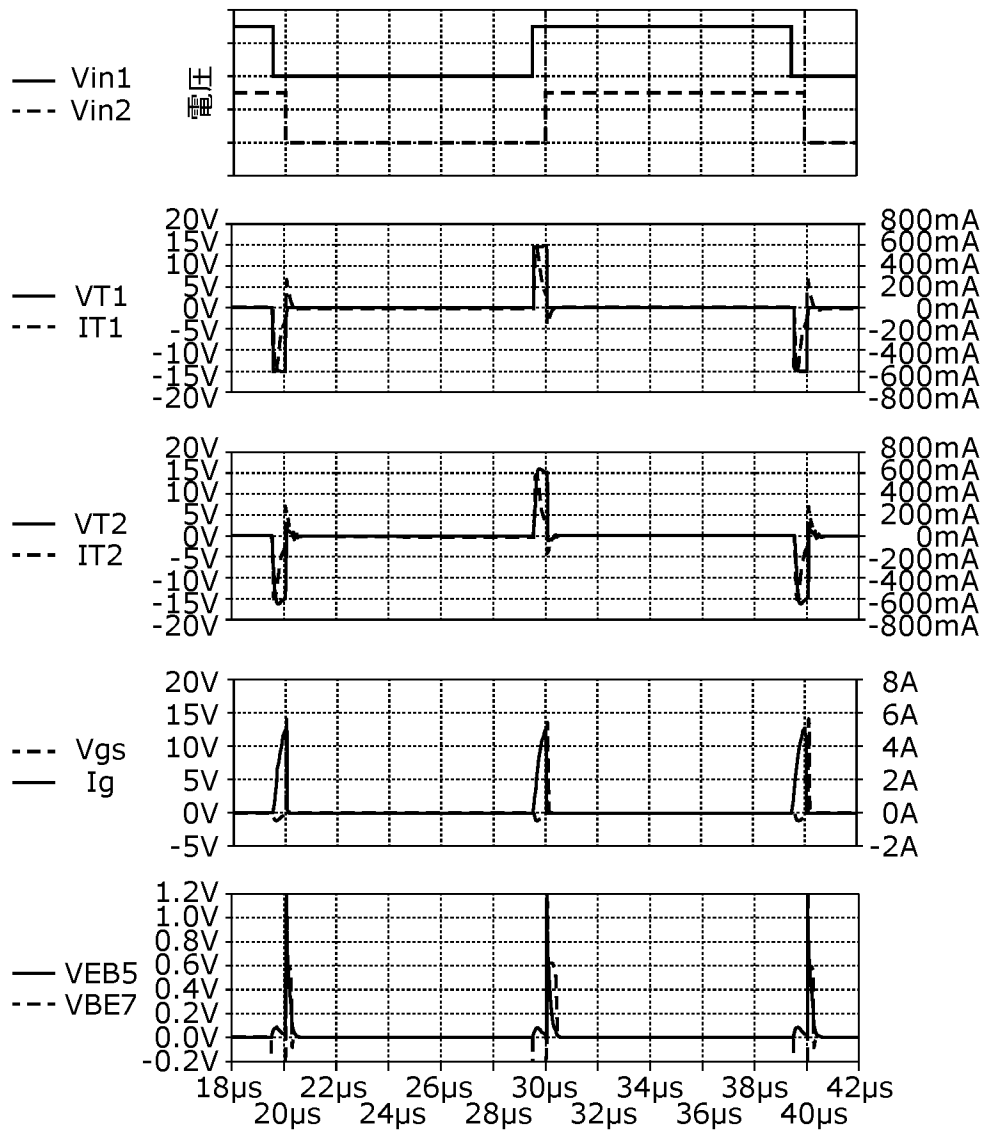
[図1]

1



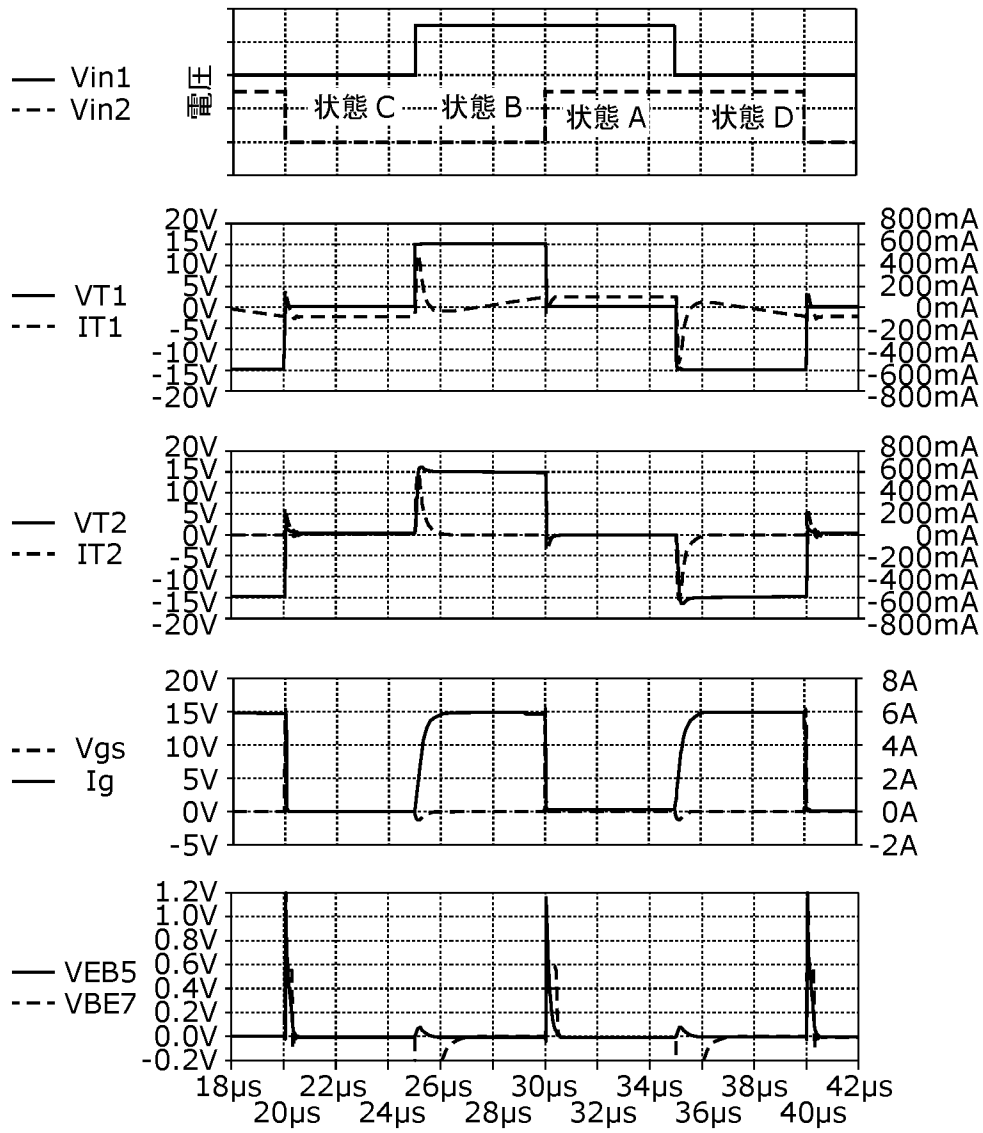
[図2A]

D=0.05



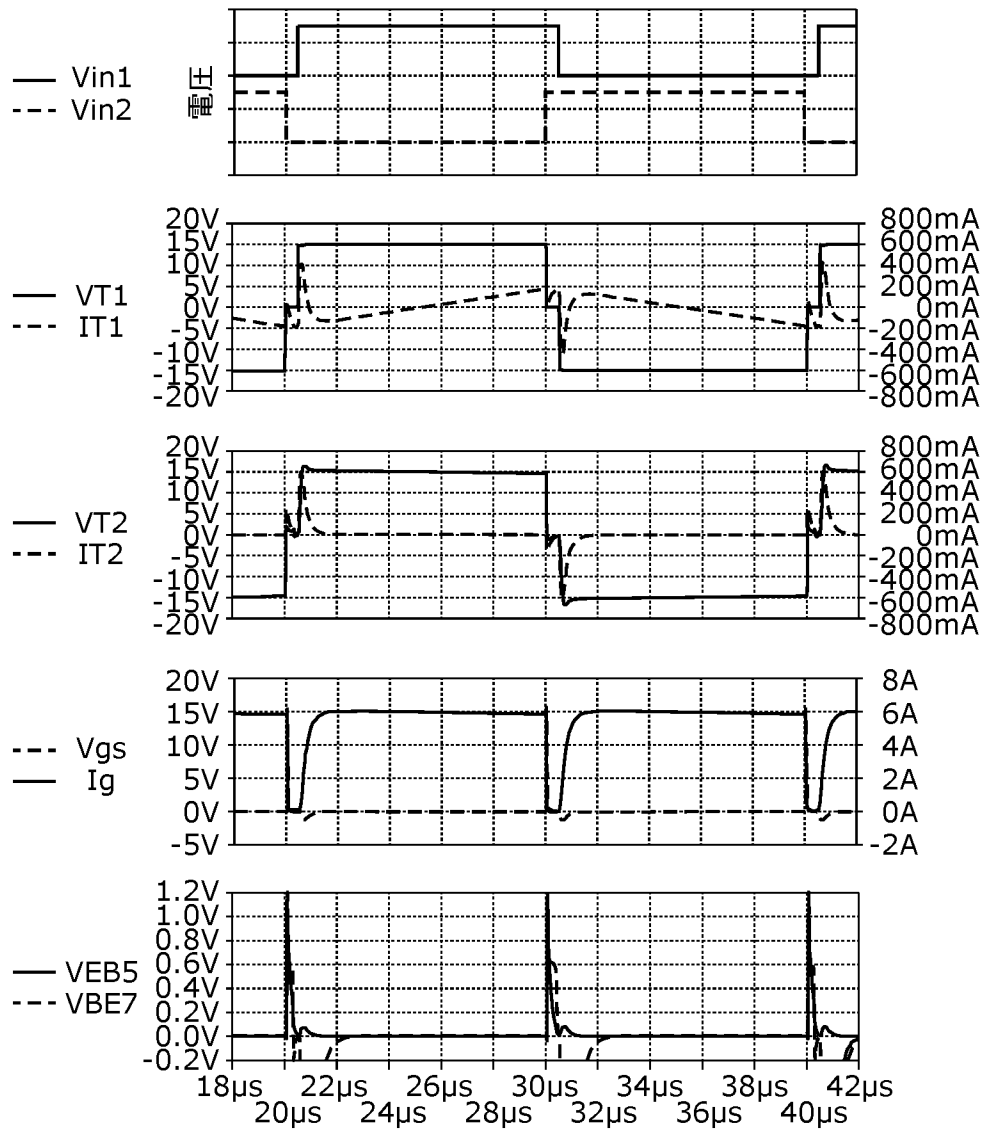
[図2B]

D=0.5

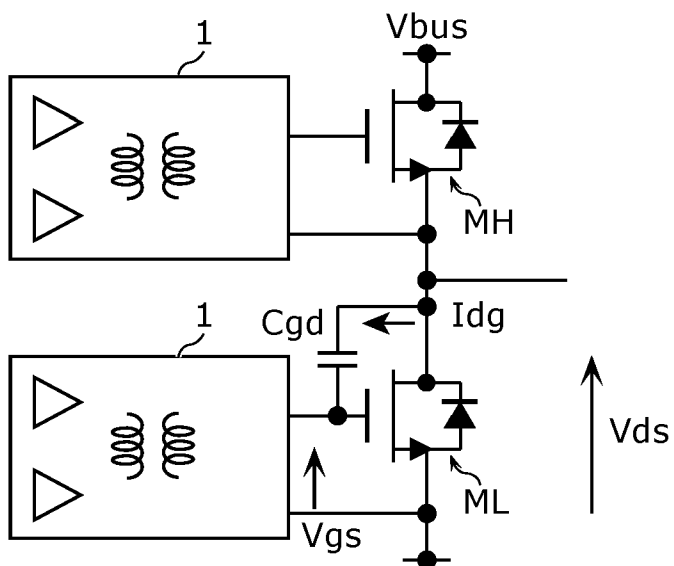


[図2C]

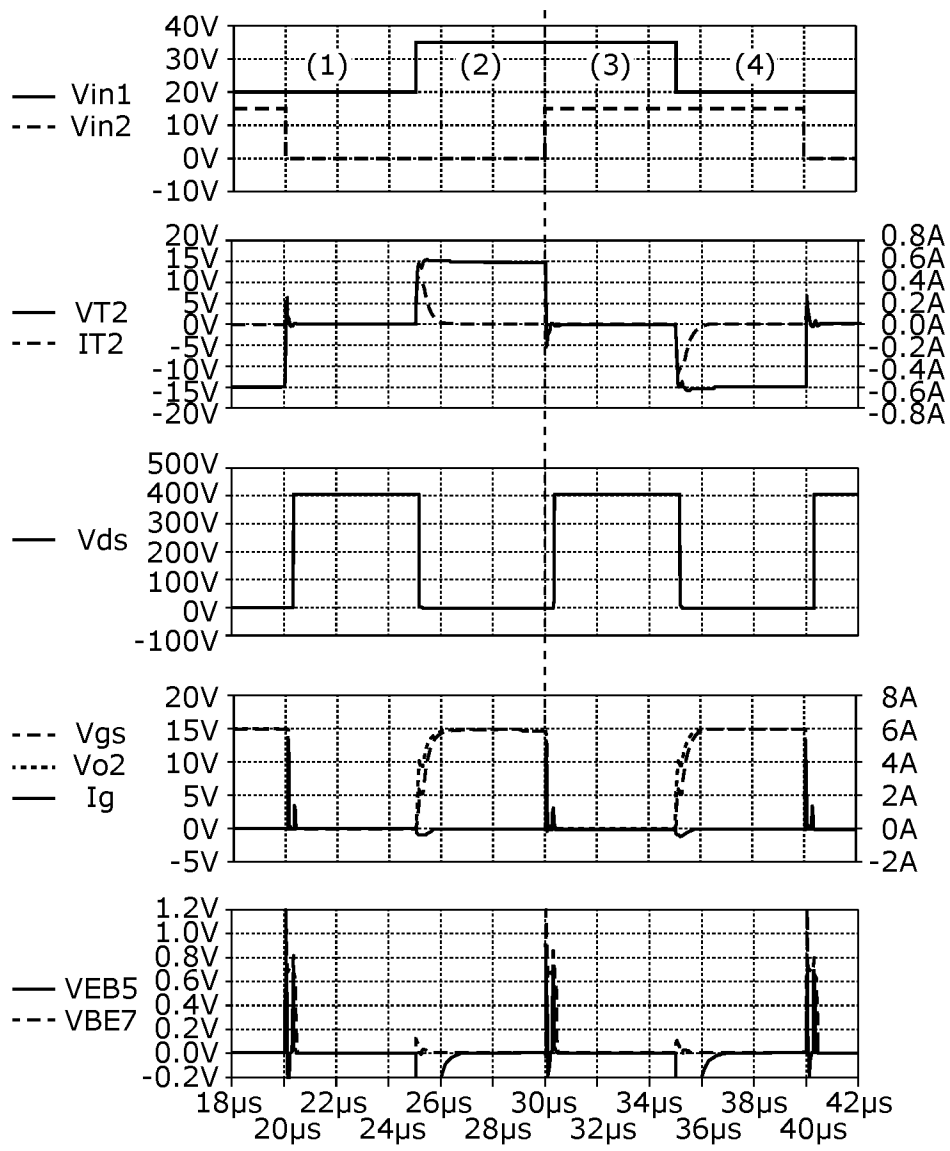
D=0.95



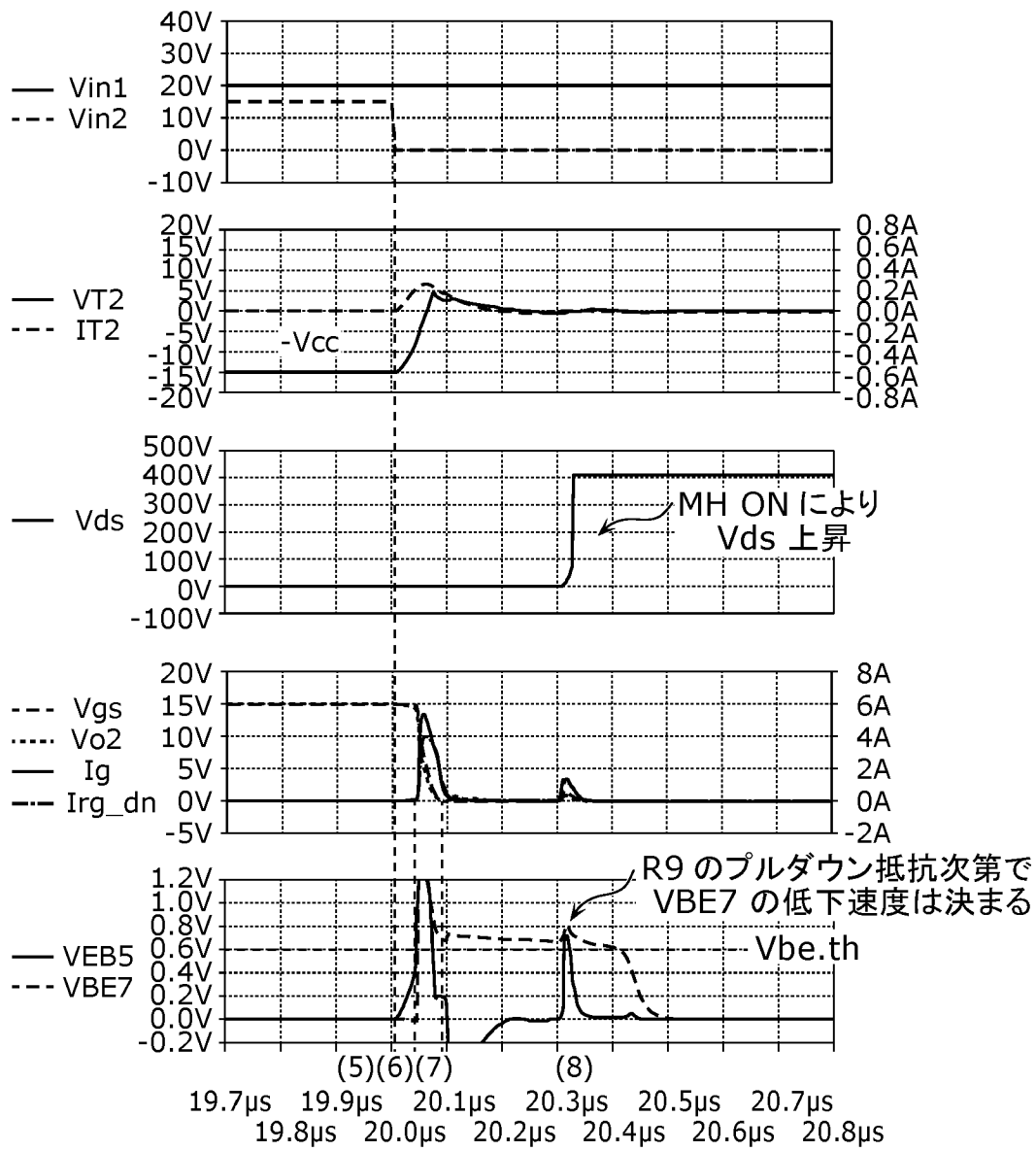
[図3]



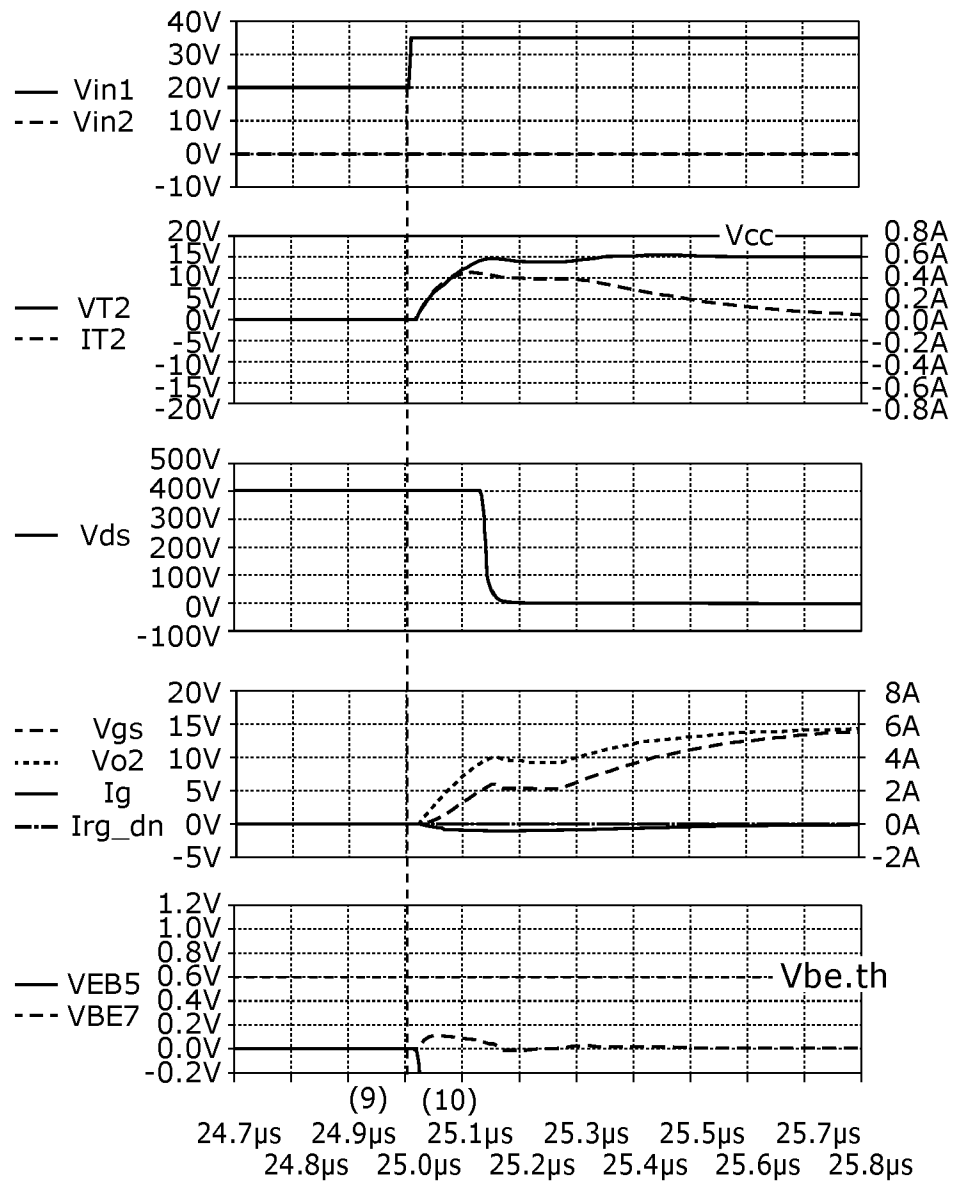
[図4]



[図5]

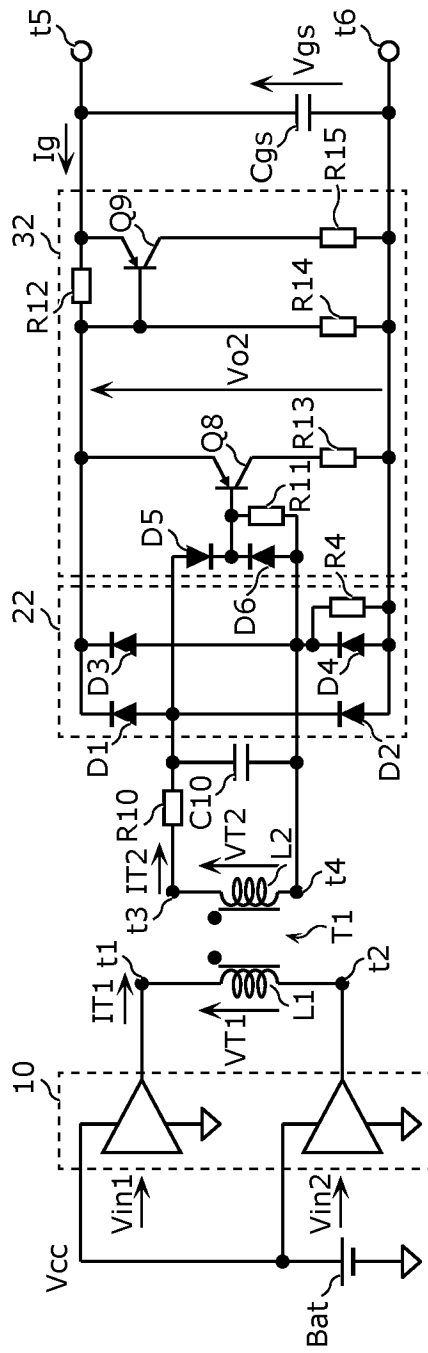


[図6]



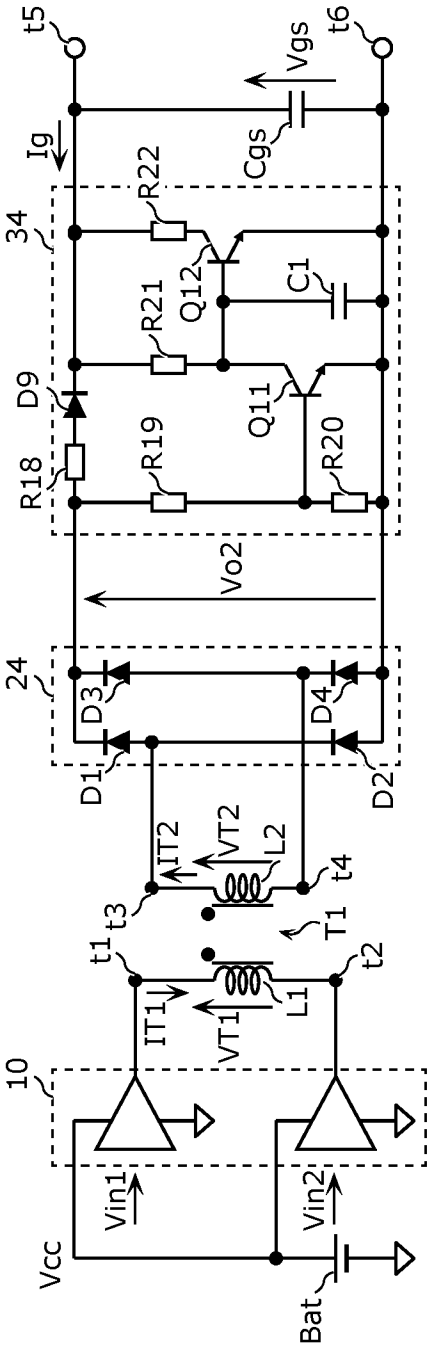
[図7]

2

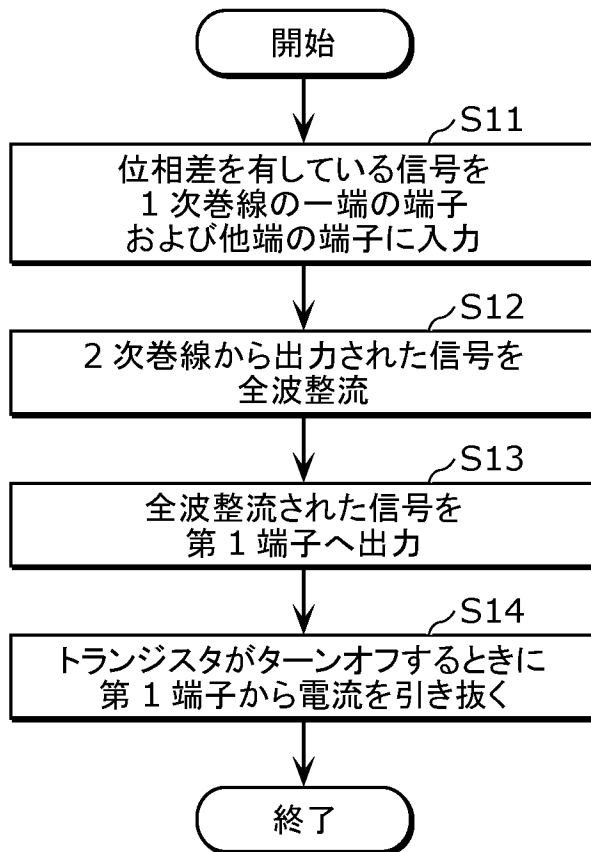


[図9]

4



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/014814

A. CLASSIFICATION OF SUBJECT MATTER**H02M 1/08**(2006.01)i; **H03K 17/16**(2006.01)i; **H03K 17/61**(2006.01)i; **H03K 17/691**(2006.01)i

FI: H02M1/08 A; H03K17/691; H03K17/16 F; H03K17/61

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M1/08; H03K17/16; H03K17/61; H03K17/691

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 8283896 B1 (POLARITY INC.) 09 October 2012 (2012-10-09) paragraphs [0024]-[0030], fig. 3A, 3B	1-4, 7-8, 10
A		5-6, 9
Y	JP 2016-144258 A (KYOSAN ELECTRIC MANUFACTURING CO., LTD.) 08 August 2016 (2016-08-08) paragraphs [0080]-[0106], fig. 1-3	1-4, 7-8, 10
Y	US 4634903 A (HONEYWELL INFORMATION SYSTEMS ITALIA) 06 January 1987 (1987-01-06) column 5, lines 6-13, fig. 3	4, 8
Y	JP 2018-502542 A (IDEAL POWER INC.) 25 January 2018 (2018-01-25) paragraph [0046], fig. 2	8
A	US 2015/0333749 A1 (FRONIUS INTERNATIONAL GMBH) 19 November 2015 (2015-11-19) paragraphs [0026]-[0032], fig. 2	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

03 June 2024

Date of mailing of the international search report

11 June 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/014814

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	8283896	B1	09 October 2012	(Family: none)	
JP	2016-144258	A	08 August 2016	US 2017/0331471 A1	
				paragraphs [0094]-[0121], fig. 1A-3	
				WO 2016/121131 A1	
				EP 3220522 A1	
				KR 10-2017-0097216 A	
				CN 107210667 A	
US	4634903	A	06 January 1987	EP 153423 A1	
JP	2018-502542	A	25 January 2018	US 2016/0173083 A1	
				paragraph [0054], fig. 2	
				GB 2536586 A	
				WO 2016/073957 A1	
				KR 10-2017-0078658 A	
				CN 107371382 A	
US	2015/0333749	A1	19 November 2015	EP 2945288 A1	
				CN 105119589 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H02M 1/08(2006.01)i; H03K 17/16(2006.01)i; H03K 17/61(2006.01)i; H03K 17/691(2006.01)i
FI: H02M1/08 A; H03K17/691; H03K17/16 F; H03K17/61

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
H02M1/08; H03K17/16; H03K17/61; H03K17/691

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 8283896 B1 (POLARITY INC.) 09.10.2012 (2012 - 10 - 09) 段落[0024]-[0030], 図3A-3B	1-4, 7-8, 10
A		5-6, 9
Y	JP 2016-144258 A (株式会社京三製作所) 08.08.2016 (2016 - 08 - 08) 段落[0080]-[0106], 図1-3	1-4, 7-8, 10
Y	US 4634903 A (HONEYWELL INFORMATION SYSTEMS ITALIA) 06.01.1987 (1987 - 01 - 06) 5欄6行-13行, 図3	4, 8
Y	JP 2018-502542 A (アイディール パワー インコーポレイテッド) 25.01.2018 (2018 - 01 - 25) 段落[0046], 図2	8
A	US 2015/0333749 A1 (FRONIUS INTERNATIONAL GMBH) 19.11.2015 (2015 - 11 - 19) 段落[0026]-[0032], 図2	1-10

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技術水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

03.06.2024

国際調査報告の発送日

11.06.2024

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

安池 一貴 3H 9150

電話番号 03-3581-1101 内線 3316

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/014814

引用文献			公表日	パテントファミリー文献	公表日
US	8283896	B1	09.10.2012	(ファミリーなし)	
JP	2016-144258	A	08.08.2016	US 2017/0331471 A1	
				段落[0094]-[0121], 図1A-3	
				WO 2016/121131 A1	
				EP 3220522 A1	
				KR 10-2017-0097216 A	
				CN 107210667 A	
US	4634903	A	06.01.1987	EP 153423 A1	
JP	2018-502542	A	25.01.2018	US 2016/0173083 A1	
				段落[0054], 図2	
				GB 2536586 A	
				WO 2016/073957 A1	
				KR 10-2017-0078658 A	
				CN 107371382 A	
US	2015/0333749	A1	19.11.2015	EP 2945288 A1	
				CN 105119589 A	