



(12) 发明专利

(10) 授权公告号 CN 1610969 B

(45) 授权公告日 2010.04.28

(21) 申请号 02826525.4

(22) 申请日 2002.11.06

(30) 优先权数据

09/986,167 2001.11.07 US

(85) PCT申请进入国家阶段日

2004.06.30

(86) PCT申请的申请数据

PCT/US2002/035425 2002.11.06

(87) PCT申请的公布数据

W02003/041127 EN 2003.05.15

(73) 专利权人 微米技术有限公司

地址 美国爱达荷州

(72) 发明人 R·H·莱恩 T·麦克丹尼

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 温大鹏

(51) Int. Cl.

H01L 21/768 (2006.01)

H01L 21/8242 (2006.01)

(56) 对比文件

CN 1230784 A, 1999.10.06, 附图 7.

US 6294426 B1, 2001.09.25, 附图 2, 3, 7, 8.

FR 2800199 A, 2001.04.27, 全文.

US 5689126, 1997.11.18, 全文.

US 5893734 A, 1999.04.13, 附图 1, 2, 13.

US 6008084 A, 1999.12.28, 全文.

US 5858831 A, 1999.01.12, 权利要求 1, 说明书第 7 栏第 45 行至第 8 栏第 45 行, 附图 14 - 20.

审查员 戴永超

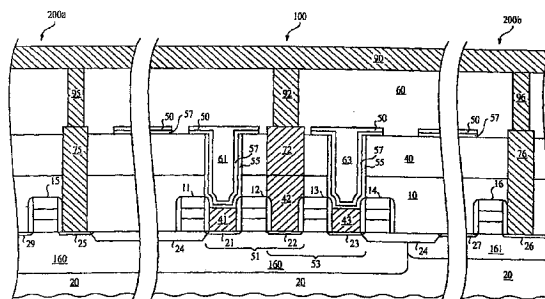
权利要求书 6 页 说明书 5 页 附图 15 页

(54) 发明名称

外围晶体管的金属化触点形成方法

(57) 摘要

一种方法和设备, 它们针对在半导体器件的外围逻辑电路区域内形成金属插栓 (75, 76, 95, 96) 以便接触在该外围逻辑电路区域内晶体管的 N_+ 和 P_+ 掺杂区域 (25, 26) 两者。该金属插栓在用于晶片制造的全部高温处理完成之后形成。而且该金属插栓在没有金属扩散到该基片活性区域内 的情况下形成。在从该半导体器件的顶视图观察 时该金属插栓形成椭圆形小片。



1. 一种存储装置形成方法,所述方法包括:

在基片上形成具有源极和漏极区域的存取晶体管;

在所述存取晶体管上形成第一绝缘层;

形成穿过所述第一绝缘层到所述存取晶体管的所述源极或漏极区域的多晶硅插栓;

在所述多晶硅插栓上形成第二绝缘层;

形成穿过所述第二绝缘层并电接触所述多晶硅插栓的用于存储单元的电容器,所述电容器位于所述存储装置的存储器阵列区域内,并且包括底板、介电层和上板;

热处理所述电容器;

在热处理所述电容器之后形成直到所述基片活性区域的金属插栓,其中直到所述活性区域形成的所述金属插栓的至少一个部分用于半导体基片的N沟道和P沟道外围逻辑晶体管两者,所述半导体基片位于含有所述存储单元的所述存储器阵列区域外侧;

在所述电容器上形成第三绝缘层;以及

形成穿过所述第三绝缘层以接触所述金属插栓的金属触点。

2. 一种在存储装置内制造金属化插栓的方法,所述方法包括以下步骤:

提供具有存储单元阵列区域和外围电路区域的基片,其中每个所述存储单元阵列区域和所述外围电路区域包括至少一个第一导电类型的晶体管,并且所述外围电路区域还包括至少一个第二导电类型的晶体管,此处所述至少一个存储单元阵列区域晶体管是用于存储单元的存取晶体管;

在第一导电类型的所述至少一个晶体管以及第二导电类型的所述至少一个晶体管上形成第一绝缘层;

在所述第一绝缘层上形成第二绝缘层;

进一步加工所述存储单元阵列区域,以便穿过所述第一和第二绝缘层形成至少一个与所述存取晶体管有关的电容器;

施加热量以便使所述电容器退火;

在所述基片的所述外围电路区域处的所述基片之上材料层内确定插栓孔,其中至少一个所述插栓孔暴露具有所述第一导电类型的所述晶体管的活性区域并且至少一个所述插栓孔暴露具有所述第二导电类型的所述晶体管的活性区域;

在所述热量被施加到所述存储单元阵列区域之后形成在所述基片之上并进入所述插栓孔的金属层以便接触所述活性区域;

在所述金属层上形成第三绝缘层;

形成穿过所述第三绝缘层以便接触所述金属插栓的金属触点。

3. 如权利要求2所述的方法,其特征在于,所述第一导电类型为 N_+ 。

4. 如权利要求3所述的方法,其特征在于,所述第二导电类型为 P_+ 。

5. 一种存储装置形成方法,所述方法包括:

形成一对隔开的字线;

在所述字线的相对侧上形成源极和漏极区域,以便在存储单元阵列区域内确定多个存储单元存取晶体管;

形成一对共享源极/漏极区域的存取晶体管;

在所述存取晶体管之上形成至少一个第一绝缘层;

形成位线多晶硅插栓和一对电容器多晶硅插栓,它们贯穿所述第一绝缘层到达所述存取晶体管的所述源极和漏极区域;

在所述电容器多晶硅插栓和所述位线多晶硅插栓之上形成至少一个第二绝缘层;

形成槽电容器,它们分别与在上面的所述第二绝缘层内的所述存取晶体管之一相关并与相应的电容器多晶硅插栓电连接;

热处理所述槽电容器;

在所述存储单元阵列区域外侧形成 N 沟道和 P 沟道外围逻辑晶体管;

在所述热处理后,形成贯穿所述第一和第二绝缘层的金属插栓以便接触每个所述 N 沟道和 P 沟道外围逻辑晶体管;

在所述槽电容器之上形成至少一个第三绝缘层;以及

形成贯穿所述第三绝缘层的金属触点以便接触所述金属插栓。

6. 一种存储装置形成方法,所述方法包括:

在所述存储装置的存储单元阵列区域内形成存储单元存取晶体管;

在所述存储装置的外围逻辑区域内形成 N 沟道和 P 沟道外围逻辑晶体管;

在所述存取晶体管和所述 N 沟道和 P 沟道外围逻辑晶体管上形成第一绝缘层;

形成穿过所述第一绝缘层到所述存取晶体管和所述 N 沟道和 P 沟道外围逻辑晶体管的多晶硅插栓;

在所述多晶硅插栓上形成第二绝缘层;

穿过所述第二绝缘层在所述存储单元阵列区域内至少形成与所述存取晶体管相关的电容器,所述电容器包括底板、介电层和上板;

热处理所述电容器;

在所述热处理之后,形成与所述 N 沟道和 P 沟道外围逻辑晶体管活性区域接触的第一金属导体;

在所述电容器上形成第三绝缘层;以及

形成穿过第三绝缘层以便接触所述金属导体的金属触点。

7. 如权利要求 6 所述的方法,还包括:

在所述电容器和相应存取晶体管的第一活性区域之间形成电容器导电插栓,并形成到达所述存取晶体管第二活性区域的位线导电插栓;以及

在形成所述第一金属导体的同时,形成到达所述位线导电插栓的第二金属导体。

8. 如权利要求 6 所述的方法,其特征在于,所述热处理发生在形成所述电容器的所有部分之后。

9. 如权利要求 6 所述的方法,其特征在于,所述第一金属导体具有椭圆形的顶视横截面形状。

10. 如权利要求 7 所述的方法,还包括形成上部金属插栓以便接触所述第一金属导体的步骤。

11. 如权利要求 10 所述的方法,还包括形成上部金属插栓以便接触所述位线导电插栓的步骤。

12. 如权利要求 10 所述的方法,其特征在于,所述上部金属插栓具有比所述第一金属导体小的直径。

13. 如权利要求 11 所述的方法,其特征在于,所述上部金属插栓具有比相应的所述位线导电插栓以及所述第一金属导体小的直径。

14. 如权利要求 12 所述的方法,其特征在于,所述第一金属导体具有椭圆形的顶视横截面形状。

15. 如权利要求 14 所述的方法,其特征在于,所述上部金属插栓具有圆形的顶视横截面形状。

16. 如权利要求 7 所述的方法,其特征在于,所述第一导体和所述位线导电插栓是 N 型插栓。

17. 一种存储装置形成方法,所述方法包括:

形成一对隔开的字线;

在所述字线的相对侧上形成源极和漏极区域,以便在存储单元阵列区域内确定多个存储单元存取晶体管;

形成一对共享源极/漏极区域的存取晶体管;

在所述存取晶体管之上形成至少一个第一绝缘层;

形成位线多晶硅插栓和一对电容器多晶硅插栓,它们贯穿所述第一绝缘层到达所述存取晶体管的所述源极和漏极区域;

在所述电容器多晶硅插栓和位线多晶硅插栓之上形成至少一个第二绝缘层;

形成槽电容器,它们分别与在上面的所述第二绝缘层内的每个所述存取晶体管相关并与相应的电容器多晶硅插栓电连接;

热处理所述槽电容器;

在所述存储单元阵列区域外侧形成 N 沟道和 P 沟道外围逻辑晶体管;

在所述热处理之后形成贯穿所述第二绝缘层的外围金属插栓以便接触每个所述 N 沟道和 P 沟道外围逻辑晶体管;

在所述槽电容器之上形成至少一个第三绝缘层;

在所述热处理之后形成贯穿所述第二绝缘层到达所述位线多晶硅插栓的位线触点;以及

形成贯穿所述第三绝缘层到达所述外围金属插栓的金属触点。

18. 如权利要求 17 所述的方法,其特征在于,所述位线触点由金属形成。

19. 一种外围晶体管的金属化触点的形成方法,所述方法包括:

在用来形成第一导电类型晶体管的基片上提供存储器阵列区域;

在用来形成第一和第二导电类型晶体管的所述基片上提供外围阵列区域;

在所述存储器阵列区域和所述外围阵列区域内形成第一导电类型晶体晶体管,其中所述第一导电类型晶体管与第一导电类型活性区域相关;

在所述外围阵列区域内形成第二导电类型晶体晶体管,其中所述第二导电类型晶体管与第二导电类型活性区域相关;

在所述第一和所述第二导电类型晶体管之上以及在所述第一和第二导电类型活性区域之上提供绝缘材料的平面化第一层;

蚀刻贯穿所述第一绝缘层的孔以便暴露在所述存储器阵列区域内的所述第一导电类型活性区域;

采用具有所述第一导电类型的导电材料充满所述孔以便形成至少三个第一导电类型插栓,其中至少一个所述第一导电类型插栓是位线插栓,并且至少二个所述第一导电类型插栓是电容器插栓;

在所述第一绝缘层以及所述第一导电类型插栓之上提供绝缘材料的平面化第二层;

蚀刻贯穿所述第二绝缘层以及蚀刻所述电容器插栓部分以便形成电容器槽孔;

在所述电容器槽孔内形成电容器结构,包括以下步骤:在所述电容器壳槽孔内淀积导电层以便形成底层;平面化所述电容器槽的上表面以便除去在所述上表面上的任何导电层材料;在所述基片之上淀积介电层;在所述介电层之上淀积上电容器板;

通过施加热量到至少所述底层、所述介电层或所述电容器板之一来退火所述电容器结构;

在退火所述电容器结构之后,蚀刻贯穿所述第二绝缘层以便确定在所述外围阵列区域内的外围插栓孔;以及

在所述基片之上淀积金属层以便在所述外围阵列区域内形成金属插栓从而接触所述第一导电类型和所述第二导电类型的相应活性区域;所述方法还包括以下步骤:

平面化所述金属层以便暴露所述电容器板;

蚀刻所述电容器板和所述介电层,使之离开所述金属插栓以及所述位线插栓;

在所述基片之上淀积绝缘材料的第三层;

蚀刻贯穿所述第三绝缘层的接触孔以便暴露在所述外围阵列区域内的所述金属插栓;

蚀刻贯穿所述第二绝缘层和第三绝缘层的接触孔以便暴露在所述存储器阵列区域内的所述位线插栓;以及

在所述基片之上淀积导电层以便充满所述接触孔并且形成所述金属插栓和所述位线插栓的导电触点。

20. 一种存储装置,它包括:

存储器阵列区域和外围电路区域,所述存储器阵列区域包括至少一个第一导电类型的存取晶体管以及至少一个用来储存与所述存取晶体管相关的数据值的电容器,所述外围电路区域包括至少一个第一导电类型的晶体管和至少一个第二导电类型的晶体管,以及具有接触所述第一导电类型的所述晶体管的活性区域的第一端和电连接到金属层上的第二端的至少一个第一金属插栓,以及具有接触所述第二导电类型的所述晶体管的活性区域的第一端和电连接到所述金属层上的第二端的至少一个第二金属插栓,其中所述电容器的顶板位于与所述第一和第二金属插栓的所述第二端相同的水平面上。

21. 如权利要求 21 所述的存储装置,其特征在于,所述第一和第二金属插栓具有椭圆形顶视横截面形状。

22. 如权利要求 22 所述的存储装置,其特征在于,所述第一导电类型为 N_+ 。

23. 如权利要求 23 所述的存储装置,其特征在于,所述第二导电类型为 P_+ 。

24. 如权利要求 21 所述的存储装置,其特征在于,所述活性区域没有扩散其中的所述第一和第二金属插栓部分。

25. 一种存储装置,它包括:

一对隔开的字线;

在所述字线相对侧上的源极和漏极区域,以便在存储单元阵列区域内确定多个存储单元存取晶体管;

一对共享源极/漏极区域的存取晶体管;

在所述存取晶体管之上形成的至少一个第一绝缘层;

位线多晶硅插栓和一对电容器多晶硅插栓,它们贯穿所述第一绝缘层形成并到达所述存取晶体管的所述源极和漏极区域;

在所述电容器多晶硅插栓和所述位线多晶硅插栓之上形成的至少一个第二绝缘层;

槽电容器,它们分别与在上面的所述第二绝缘层内的所述存取晶体管之一相关并与相应的电容器多晶硅插栓电连接;

在所述存储单元阵列区域外侧的N沟道和P沟道外围逻辑晶体管,其中所述N沟道和P沟道外围逻辑晶体管包括用来接触所述N沟道外围逻辑晶体管的第一金属插栓和用来接触所述P沟道外围逻辑晶体管的第二金属插栓,而且所述第一金属插栓和所述第二金属插栓贯穿所述第一和第二绝缘层形成;

第一位线触点,它贯穿所述第二绝缘层形成并到达所述位线多晶硅插栓;

在所述槽电容器之上的至少一个第三绝缘层;以及

贯穿所述第三绝缘层形成以便在与所述槽电容器的顶板相同的水平面上接触所述第一金属插栓、所述第二金属插栓以及所述第一位线触点的金属触点。

26. 如权利要求25所述的装置,其特征在于,所述第一和第二金属插栓具有椭圆形顶视横截面形状。

27. 如权利要求26所述的装置,其特征在于,所述金属触点具有圆形顶视横截面形状。

28. 如权利要求25所述的装置,其特征在于,所述金属触点具有比所述第一和第二金属插栓小的直径。

29. 如权利要求28所述的装置,其特征在于,所述第一金属插栓以及所述位线插栓处于N沟道晶体管区域。

30. 如权利要求25所述的装置,其特征在于,贯穿所述绝缘层形成的所述位线触点和所述相应金属触点是整体结构。

31. 一种存储装置,它包括:

存储器阵列区域,它包括第一导电类型的晶体管,其中所述存储器阵列第一导电类型晶体管各自与存储器阵列第一导电类型活性区域相关;

外围阵列区域,它包括所述第一导电类型的晶体管并还包括第二导电类型的晶体管,其中所述外围阵列第一导电类型晶体管与外围阵列第一导电类型活性区域相关,而所述第二导电类型晶体管与第二导电类型活性区域相关;

第一绝缘层,它在所述存储器阵列区域和所述外围阵列区域之上形成;

一对电容器插栓以及位线插栓,它们贯穿所述第一绝缘层形成以便接触所述存储器阵列第一导电类型活性区域;

第二绝缘层,它在所述第一绝缘层、所述电容器插栓以及所述位线插栓之上形成;

电容器触点,它们至少在所述第二绝缘层内形成并与所述电容器插栓接触;

形成在所述第二绝缘层和所述电容器上的第三绝缘层;

金属插栓,它贯穿所述第二和第三绝缘层形成以便接触所述位线插栓;

在所述外围阵列区域内的金属插栓,它们贯穿所述第一、第二和第三绝缘层形成以便接触所述外围阵列第一导电类型和所述第二导电类型的相应活性区域;

金属触点,其具有比所述第一和第二金属插栓小的直径。

32. 一种存储装置,它包括:

存储器阵列区域,它包括第一导电类型的晶体管,其中所述存储器阵列第一导电类型晶体管各自与存储器阵列第一导电类型活性区域相关;

外围阵列区域,它包括所述第一导电类型的晶体管并还包括第二导电类型的晶体管,其中所述外围阵列第一导电类型晶体管与外围阵列第一导电类型活性区域相关,而所述第二导电类型晶体管与第二导电类型活性区域相关;

第一绝缘层,它在所述存储器阵列区域和所述外围阵列区域之上形成;

一对电容器插栓以及位线插栓,它们贯穿所述第一绝缘层形成以便接触所述存储器阵列第一导电类型活性区域;

第二绝缘层,它在所述第一绝缘层、所述电容器插栓以及所述位线插栓之上形成;

电容器槽,它包括至少在所述第二绝缘层内形成的底板、介电层以及上电容器板;

在所述外围阵列区域内的金属插栓,它们贯穿所述第一和第二绝缘层形成以便接触所述外围阵列第一导电类型和所述第二导电类型的相应活性区域。

第三绝缘层,它在所述电容器槽、所述金属插栓以及所述第二绝缘层之上形成;

金属位线触点,它贯穿所述第二和第三绝缘层形成以便接触所述位线插栓;以及

金属触点,它们贯穿所述第三绝缘层形成以便接触所述外围阵列区域内的所述金属插栓。

33. 如权利要求 32 所述的装置,其特征在于,所述金属插栓具有椭圆形顶视横截面形状。

34. 如权利要求 33 所述的装置,其特征在于,所述金属触点具有圆形顶视横截面形状。

35. 如权利要求 32 所述的装置,其特征在于,所述第一导电类型为 N_+ 。

外围晶体管的金属化触点形成方法

技术领域

[0001] 本发明涉及集成电路领域,更具体地说是涉及使用一种用来接触存储装置外围晶体管掺杂区域的金属插栓结构。

背景技术

[0002] 例如动态随机存取存储器 (DRAM) 的复杂集成电路具有在硅基片表面之上的多层导体,它们用来互连被制造电路不同部分。

[0003] 对于 DRAM 存储器来说,在基片内制造的晶体管掺杂区域或活性区域一般用多晶硅插栓进行接触,所述插栓可与电容器、位线或其它导体层连接。金属插栓会比多晶硅插栓提供更好的导电性,然而,由于包括金属插栓对于随后高温制造工序的热敏感性的多种加工制约以及扩散到基片活性区域内的金属可以造成活性区域污染,金属插栓一般不用来接触基片的掺杂区域。例如,在 DRAM 存储装置中,热循环通常用来对于构成基片接触插栓之后形成的电容器结构进行退火,这会熔化金属插栓并使该金属扩散到基片中,因此污染活性区域并破坏插栓和基片之间的导电性。虽然如此,由于金属插栓具有较好的导电性能,尤其是对于一般运行速度较高的外围逻辑晶体管来说,有利的是至少某些基片表面的导电插栓由金属而不是多晶硅制成。

发明内容

[0004] 本发明提供一种方法和设备,它提供一种例如为 DRAM 存储装置的集成电路,所述存储装置使用一种用来接触该电路外围逻辑区域内晶体管掺杂区域的金属插栓结构。该金属插栓结构在用于晶片制造的全部高温处理步骤完成之后形成。尤其是本发明提供一种通过在电容器形成和单元多晶硅活化的热循环工序之后形成金属插栓而在存储装置内形成 N 沟道和 P 沟道外围电路晶体管的金属化触点的方法。对于存储装置电容器来说,该金属插栓可在形成上单元板触点之前形成,但随后用于该电容器的高温加工处理。

附图说明

[0005] 下面结合附图进行详细描述,从而对本发明的这些和其它特征以及优点有更好的理解。

[0006] 图 1 是按照本发明示例性实施例的半导体器件在早先制造阶段的横截面图。

[0007] 图 2 表示在图 1 所示步骤之后的加工步骤时的图 1 半导体器件。

[0008] 图 3 表示在图 2 所示步骤之后的加工步骤时的图 1 半导体器件。

[0009] 图 4 表示在图 3 所示步骤之后的加工步骤时的图 1 半导体器件。

[0010] 图 5 表示在图 4 所示步骤之后的加工步骤时的图 1 半导体器件。

[0011] 图 6 表示在图 5 所示步骤之后的加工步骤时的图 1 半导体器件。

[0012] 图 7 表示在图 6 所示步骤之后的加工步骤时的图 1 半导体器件。

[0013] 图 8 表示在图 7 所示步骤之后的加工步骤时的图 1 半导体器件。

[0014] 图 9 表示在图 8 所示步骤之后的加工步骤时的图 1 半导体器件。

[0015] 图 10 表示按照本发明替代实施例的在图 5 所示步骤之后加工步骤时的图 1 半导体器件。

[0016] 图 11 表示按照该本发明替代实施例的在图 10 所示步骤之后加工步骤时的图 1 半导体器件。

[0017] 图 12 表示按照该本发明替代实施例的在图 11 所示步骤之后加工步骤时的图 1 半导体器件。

[0018] 图 13 表示按照该本发明替代实施例的在图 12 所示步骤之后加工步骤时的图 1 半导体器件。

[0019] 图 14 表示按照该本发明替代实施例的在图 13 所示步骤之后加工步骤时的图 1 半导体器件。

[0020] 图 15 表示在图 14 所示步骤之后加工步骤时的图 1 半导体器件。

[0021] 图 16 是按照本发明的存储器阵列的外围逻辑电路的顶视图。

具体实施方式

[0022] 在下面的详细描述中,涉及能在其中实施本发明的几个特殊实施例。这些实施例充分详细地进行描述以便本领域普通技术人员能实施本发明,应该理解,也可采用其它实施例,而且在不超出本发明的精神或范围情况下还可进行各种各样的结构、逻辑和电气变化。

[0023] 在下文描述中使用的术语“基片”可以包括具有暴露基片表面的任何半导体基结构。所述结构应理解为包括硅绝缘体 (SOI)、硅蓝宝石 (SOS)、掺杂或不掺杂半导体、由基层半导体衬底支承的硅外延层以及其它半导体结构。当下文描述中涉及基片或晶片时,可利用先前的加工步骤以便在基层半导体或衬底内或者在其之上形成区域或结合部。

[0024] 本发明涉及形成基片的金属化插栓,尤其是用于成为存储装置外围逻辑电路一部分的晶体管。本发明将通过下文描述的示例性实施例来进行解释。也可使用其它实施例并且可进行结构或逻辑变化而不超出本发明的精神或范围。

[0025] 按照本发明,提供一种方法,它用来形成外围逻辑电路区域内 N 或 P 掺杂活性区域的金属化插栓,所述逻辑电路区域通常在存储单元阵列外侧并围绕着后者。现在参见附图,在那里同样的部分被标以相同的参考编号,图 1 至 16 描述按照本发明的制造步骤和生成结构示例性实施例。

[0026] 参见图 1,该图表示出在早先制造阶段期间形成的存储器阵列(用参考编号 100 总体标出)和外围逻辑电路区域 200a、200b。外围逻辑电路区域一般在 N 沟道晶体管区域 200a 和 P 沟道晶体管区域 200b 之间分开。如图 1 所示,在存储单元阵列 100 和外围逻辑区域 200a 内的 N 沟道晶体管以及在外围逻辑区域 200b 内的 P 沟道晶体管已经形成。在存储器阵列 100 内的栅堆包括电绝缘字线 112、113。栅堆 15、16 与各自的 N 沟道和 P 沟道外围逻辑晶体管相联系。活性区域例如掺杂活性区域 21、22、23、26、27、25、29 被提供在栅堆 12、13、14、15 周围,从而形成场效应晶体管 (FET)。存储器阵列包括栅堆 11、12、13、14,而外围区域 200a 和 200b 具有各自的栅堆 15、16。栅堆 12、13 是用于各自存储单元的存取晶体管的一部分。每个栅堆包括一层与基片接触的例如二氧化硅的氧化物 120、在该氧化物之上的

导电栅层 121、绝缘的覆盖层 122 以及绝缘侧壁 123。N 沟道晶体管在该基片的 p 型阱 160 内形成,而 P 沟道晶体管在基片 n 型阱 161 内形成。

[0027] 在图 1 中进一步表示,在栅堆和活性区域之上已经形成平面化的第一绝缘层 10,它由例如硼磷硅玻璃 (BPSG) 或二氧化硅构成。该第一绝缘层通过化学机械抛光 (CMP) 或其它适用方法较好地平面化。图 1 还表示一对栅堆 11、14 或者用于位于不同于所示平面的横截平面内并用于自对准制造方法的其他存储单元以及用来绝缘存储器阵列 100 内的存储单元的第一场效氧化区域 24。

[0028] 图 1 所示结构是传统的并用作本发明的开始基础。本发明方法由施加光致抗蚀剂掩模 18 到第一绝缘层 10 上开始。在该掩模内的孔 163 确定蚀刻位置并被定位在掺杂活性区域 21、22 之上。

[0029] 接着通过蚀刻暴露活性区域 21、22、23 除去第一绝缘层 10 的第一部分,所述活性区域对于 N 沟道晶体管 51、53 而言为 N_+ 掺杂。因此提供插栓孔 31、32、33,如图 2 所示。在蚀刻之后掺杂区域 21、22、23 而不是在蚀刻之前掺杂这些区域也是可以的。

[0030] 例如为反应离子蚀刻 (RIE) 的定向蚀刻方法可用来蚀刻孔 31、32、33 (图 2)。蚀刻剂状态是这样的,以致于仅有绝缘层 10 被蚀刻,而活性区域 21、22、23 没有任何或只有极小蚀刻。此时外围电路区域 200a 和 200b 未被蚀刻。

[0031] 如图 3 所示结构表示,在蚀刻孔 31、32、33 之后,除去光致抗蚀剂 18 并用 N_+ 掺杂多晶硅插栓 30 填充孔 31、32、33。然后通过例如 CMP 对所得结构进行平面化。可在插栓淀积之后或在其间掺杂多晶硅插栓 30,而且该插栓可用 CVD 或本领域已知的其它淀积技术进行淀积。然后将例如为 BPSG 的第二绝缘层 40 淀积在平面化插栓之上。

[0032] 图 3 所示的多晶硅插栓 30 可进一步被确认为多晶硅插栓 41、43 以及多晶硅插栓 42,插栓 41、43 将与随后形成的存储单元电容器连接,而多晶硅插栓 42 将与随后形成的位线连接。

[0033] 现在参见图 4,接着使用贯穿光致抗蚀剂掩模 (未表示) 的定向蚀刻例如 RIE 来蚀刻穿过第二 BPSG 层 40 以及多晶硅插栓 41、43 的一部分以便形成电容器槽孔 51、53。

[0034] 现在参见图 5,在形成电容器槽孔 51、53 之后,在该半导体器件 100 的之上形成电容器结构 45。电容器结构 45 一般包括导电底层或底板 55、在该底板之上的介电层 57 以及导电的上板 50。在该底板和多晶硅插栓 41、43 之间可提供阻挡层以便阻止形成该底板的材料迁移到多晶硅插栓 41、43 之中。每个电容器结构底板 55 的形成方法为:在孔 51、53 内淀积导电层,然后平面化该结构的上表面以便除去在该结构上表面上的任何导电层材料,只留下孔 51、53 内部的底导电层。底电容板 55 可以是掺杂的多晶硅层并可还包括 HSG 层。如图 5 所示,介电层 57 和上电容板 50 是逐一淀积的覆盖层。上电容板 50 是用于存储器阵列所有电容器的共用层。然而底电容板 55 用平面化法淀积并形成图案以便在多晶硅插栓 41、43 之上产生单独的电容器 61、63。

[0035] 电容器必需进行退火才能有效,这需要大量的热能。例如,在下单元板为多晶硅时热处理或热循环通常被用来活化或者有效传导地掺杂该下单元板。在上单元板由多晶硅制成的情况下热处理还可用于活化或有效掺杂以及固定介电层内的针孔。因此,热处理可施加于单独的下单元板,或者下单元板和介电层,或者是施加在整个电容器结构上,这取决于形成该电容器结构所用的材料。无论如何,本发明在进行热处理之后形成基片活性区域的

金属化导体。

[0036] 按照本发明,在热处理电容器 61、63 之后,形成外围逻辑区域 200a、200b 的 N 沟道和 P 沟道晶体管以及位线插栓 42 的金属插栓。

[0037] 如图 6 所示,定向蚀刻方法或其它适当方法被用来蚀刻贯穿光致抗蚀剂掩模 80 和 BPSG 层 40 以便确定位线孔 52。定向蚀刻方法或其它适当方法还发生在外围电路区域 200 内以便蚀刻贯穿光致抗蚀剂掩模 80 和 BPSG 层 10、40 从而确定外围插栓孔 55、56,借此暴露用于外围区域 200a、200b 内 N 沟道和 P 沟道晶体管的活性区域 25、26。在该蚀刻方法之后除去光致抗蚀剂掩模层 80。

[0038] 如图 7 所示,在存储器阵列 100 和外围电路区域 200 之上淀积金属层 70。因此,该金属层被形成在活性区域 25、26 的暴露外表面 25、26 之上,它对于 P 沟道晶体管而言是 P_+ 掺杂或者对于 N 沟道晶体管而言是 N_+ 掺杂,从而形成金属外围插栓 75、76。该金属层还被形成在位线多晶硅插栓 42 之上以便形成金属位线插栓 72。最好是,金属层 70 包括钛、氮化钛、钨、钴、钼或钽,但可使用任何适当的金属。

[0039] 参见图 8,所得结构通过例如 CMP 进行平面化。例如,金属层 70 和上电容板 50 可被平面化以便除去金属层 70 并在 CMP 之后向下弄平上电容板 50 到至少约 500 埃的厚度。此外,介电层 57 和上部单元板 50 被深蚀刻离开导电插栓 72、75、76。

[0040] 如图 9 所示,在上电容板 50 之上淀积第三绝缘层 60,例如 BPSG 层。然后施加光致抗蚀剂并形成图案以便在金属插栓 72、75、76 之上形成蚀刻孔,并且接着进行定向蚀刻或其它适当蚀刻方法以便蚀刻贯穿第三 BPSG 层 60 从而暴露金属插栓 72、75、76 的接触区域。该蚀刻状态是这样,以致于仅有绝缘层 60 被蚀刻而且不存在金属插栓 72、75、76 的任何或最小程度蚀刻。在外围区域 200a、200b 内的金属插栓 75、76 暴露接触区域最好具有比金属插栓 75、76 直径小的表面区域。

[0041] 如图 9 进一步表示,一旦光致抗蚀剂层(未表示)被除去,由适当导电金属例如钨或其它金属形成的导电层(未示出)就淀积在第三 BPSG 层 60 的之上从而形成触点 92、95、96。触点 92、95、96 可具有任何适当的尺寸和形状以致于提供活性区域 22、25、26 的低电阻垂直和横向通路。在外围区域内的触点 95、96 最好具有比外围金属插栓 75、76 小的面积。即使金属插栓 75、76 具有椭圆形顶视横截面形状,外围触点 95、96 的顶视横截面形状最好为圆形,如图 16 所示。

[0042] 替代实施例参照图 10 至 15 进行描述。采用与已描述第一实施例相同的标号,但不同之处在于以 300 系列数字或用不同数字给出。图 10 表示在图 5 所示加工步骤之后进行的加工步骤。如图 10 所示,定向蚀刻方法或其它适当方法发生在外围电路区域 200 之中以便蚀刻贯穿光致抗蚀剂掩模 380 和 BPSG 层 10、40 因而形成外围插栓孔 355、356 以及用于外围区域 200a、200b 内的 N 沟道和 P 沟道晶体管的暴露活性区域 25、26。在该蚀刻方法之后除去光致抗蚀剂掩模 380。与图 6 所示加工步骤不同,此时位线未被蚀刻。

[0043] 参见图 11,在存储器阵列 100 和外围电路区域 200 之上淀积金属层 370。因此,该金属层被形成在活性区域 25、26 的暴露外表面 25、26 之上,这对于 P 沟道晶体管而言是 P_+ 掺杂或者对于 N 沟道晶体管而言是 N_+ 掺杂,从而形成金属外围插栓 375、376。最好是,金属层 370 包括钛、氮化钛、钨、钴、钼或钽,但可使用任何适当的金属。

[0044] 如图 12 所示,通过例如 CMP 对该金属层进行平面化。例如金属层 370 可被平面化

以便除去金属层 370 并在 CMP 之后向下弄平上电容板 50 到至少约 500 埃的厚度。此外,介电层 57 和上部单元板 50 被深蚀刻离开导电插栓 375 和 376。

[0045] 如图 13 所示,在该基片之上已经淀积第三绝缘层 360,例如 BPSG 层 360 以便充满电容器 61、63 周围的孔洞。然后将光致抗蚀剂层(未示出)施加在该第三绝缘层之上并形成图案,以便在位线多晶硅插栓 42 和金属外围插栓 375、376 之上形成蚀刻孔。

[0046] 如图 14 所示,接着进行定向蚀刻或其它适当蚀刻方法以便蚀刻贯穿第三 BPSG 层 360 从而形成金属插栓接触孔 385、386,并且蚀刻贯穿第二和第三 BPSG 层 40、360 从而形成位线孔 352,因此暴露金属插栓 375、376 和位线多晶硅插栓 42 的接触区域。该蚀刻状态是这样的,以致于只有绝缘层 360 被蚀刻而且不存在金属插栓 375、376 和多晶硅插栓 42 的任何或最小程度蚀刻。金属插栓接触孔 385、386 最好具有比金属插栓 375、376 小的直径。

[0047] 如图 15 所示,然后在第三 BPSG 层 360 之上淀积由适当导电材料例如钨或其它金属形成的导电层(未示出)以便充满金属插栓接触孔 385、386 和位线孔 352,从而形成触点 392、395、396。该触点可具有任何适当的尺寸和形状以致于提供活性区域 22、25、26 的低电阻垂直和横向通路。在外围区域内的触点 395、396 最好具有比外围金属插栓 375、376 小的顶视横截面积。即使金属插栓 375、376 具有椭圆形顶视横截面形状,外围触点 395、396 的顶视横截面形状最好为圆形,如图 16 所示。

[0048] 按照本发明,金属外围插栓在形成电容器之后形成。形成金属外围插栓的方法最好在完成晶片制造中使用的全部高温处理步骤之后和在影响金属插栓形成的任何其它温度改变之后再开始。最好是,该方法在用于单元多晶硅和电容器形成的热循环之后开始。金属插栓可在将上单元板触点形成到存储装置电容器之前但在电容器高温加工处理之后形成。此外,本发明局限于所描述的层。在不超出本发明精神的情况下导电和绝缘层的任何适当数量和/或排列均可使用。

[0049] 图 16 表示按照本发明的存储器阵列外围逻辑电路区域的简略顶视横截面图。在外围电路区域 200 内的金属插栓被表示为椭圆形插栓 225、226,它们各自将导电性提供至 P₊ 或 N₊ 掺杂活性区域 25、26。三个导电配线通道 214、216、218 被表示为大概纵长地延伸。通常,或绝缘层覆盖并分隔配线通道 214、216、218。在 BPSG 层下方,大概横向延伸地形成其它导电配线通道。如图所示,金属触点 96 提供配线通道 218 和活性区域 26 之间形成的电连接。而金属触点 95 提供配线通道 214 和活性区域 25 之间形成的电连接。

[0050] 本发明的优点之一是使用直到基片活性区域的金属插栓。这在配线通道和活性区域之间形成连接方面提供减小的电阻。因此,借助于提供按照本发明的直到基片活性区域的金属插栓,能在没有跨接的情况下形成电连接,从而允许更牢固地布置电连接。此外,借助于提供椭圆形金属插栓,能按照需要将电连接形成在配线通道上。

[0051] 上面的描述和附图仅作获得本发明特性和优点的示例性实施例描绘之用。在不超出本发明精神和范围的情况下对于特殊的加工状态和结构能产生多种变型和替代。因此,本发明不受上文描述和附图限制,而是只受所附权利要求限制。

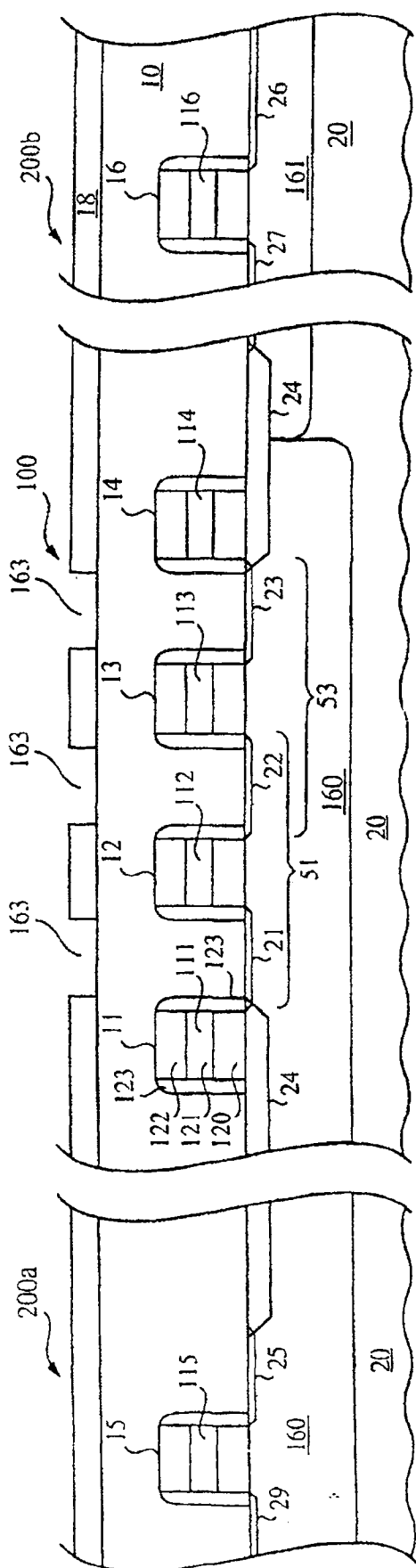


图 1

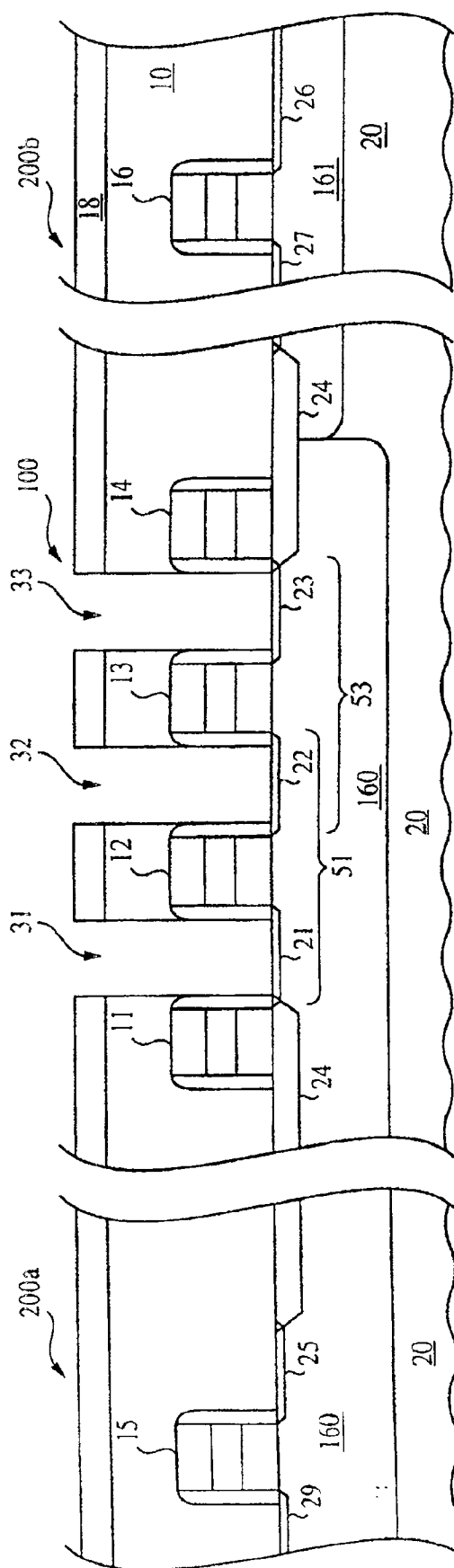


图 2

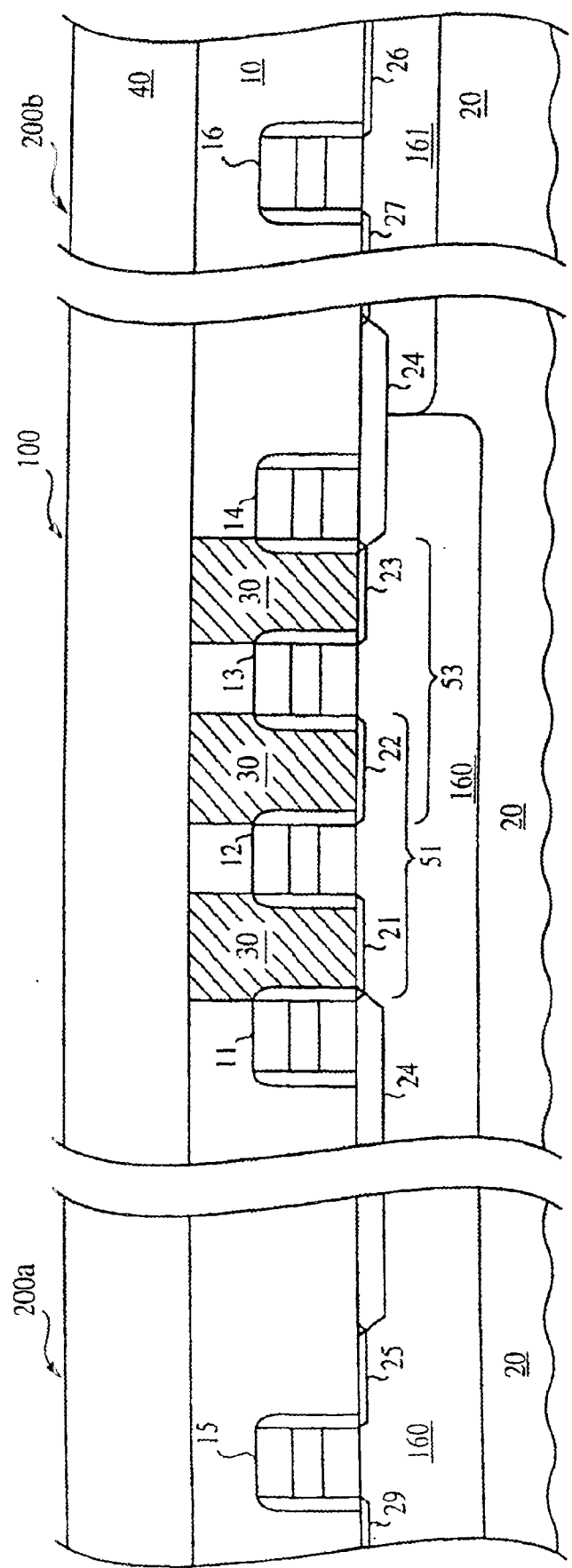


图 3

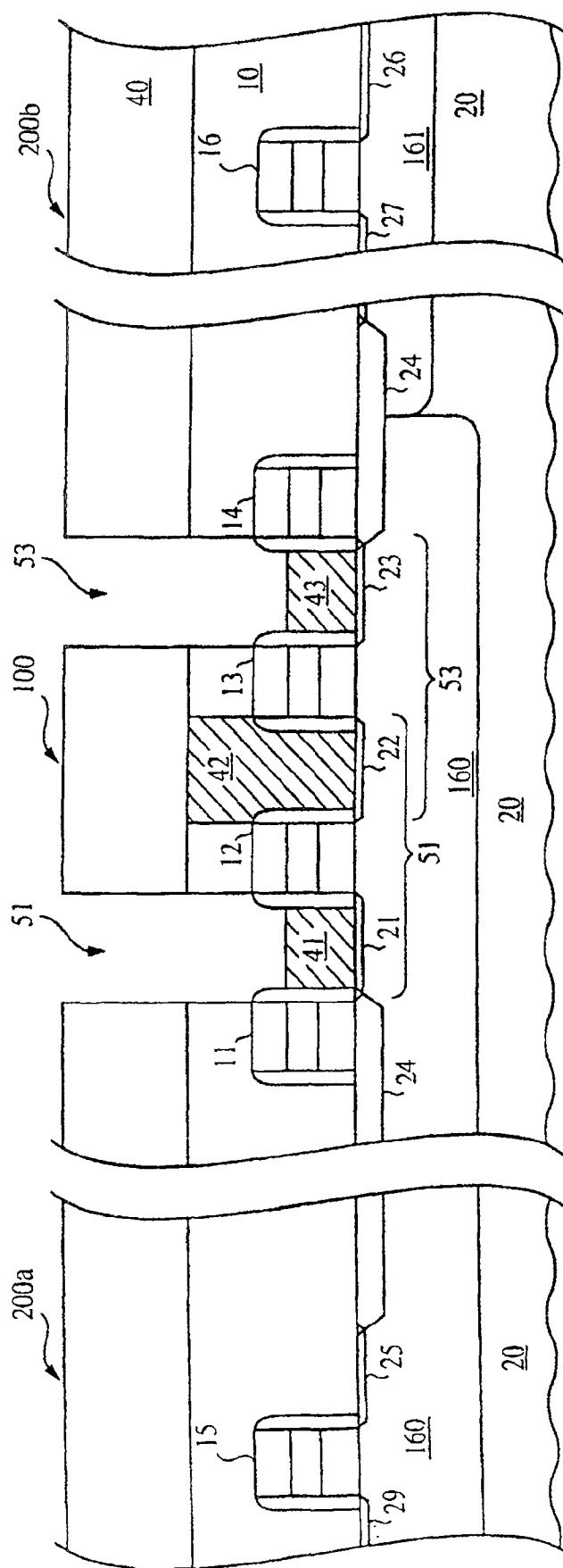


图 4

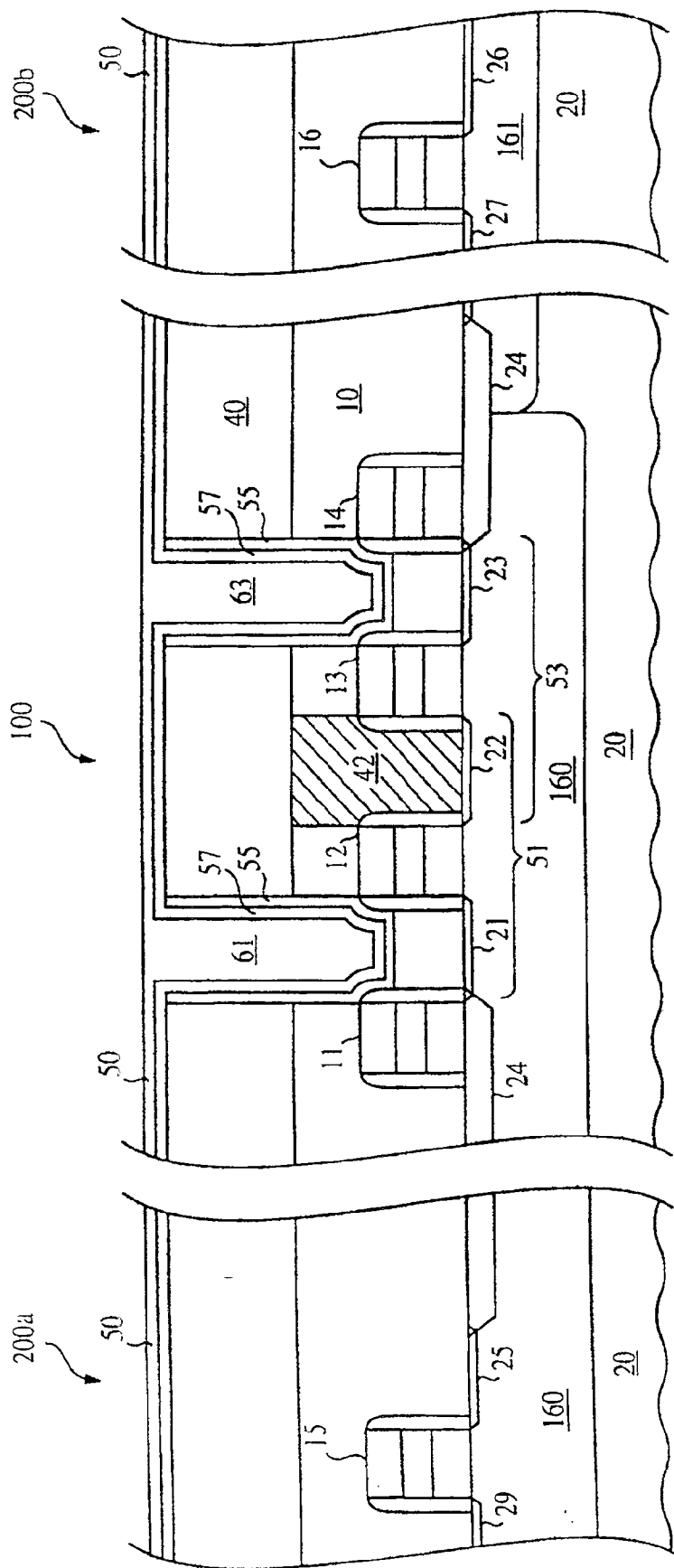


图 5

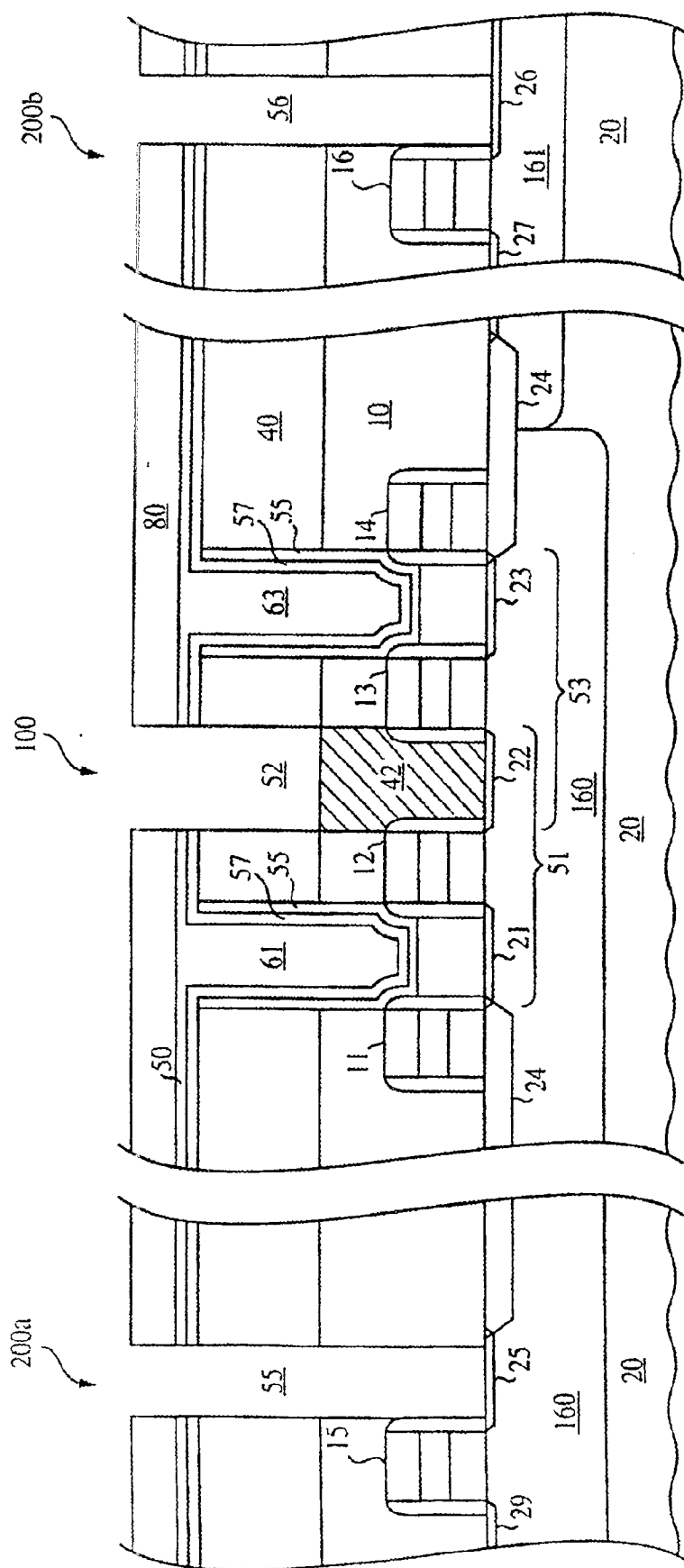


图 6

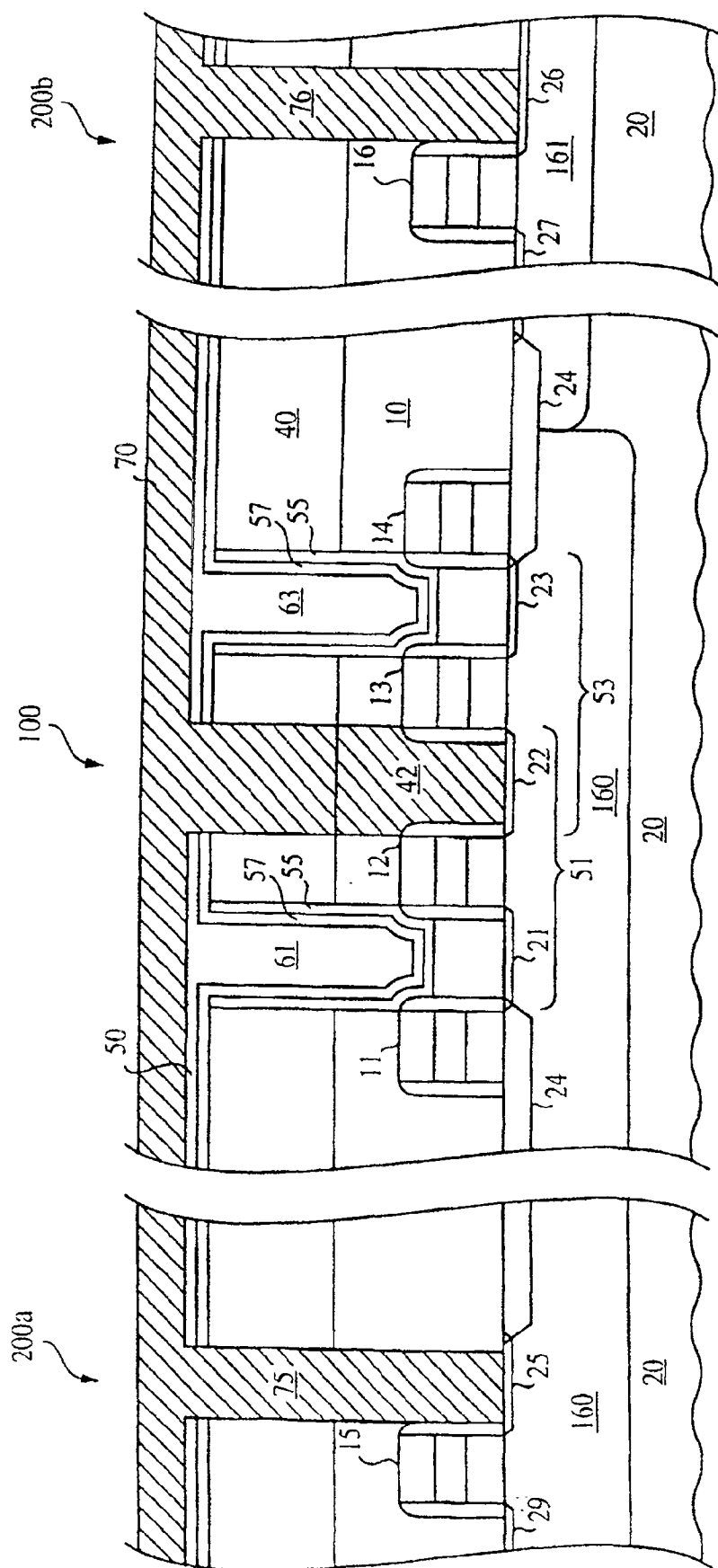


图 7

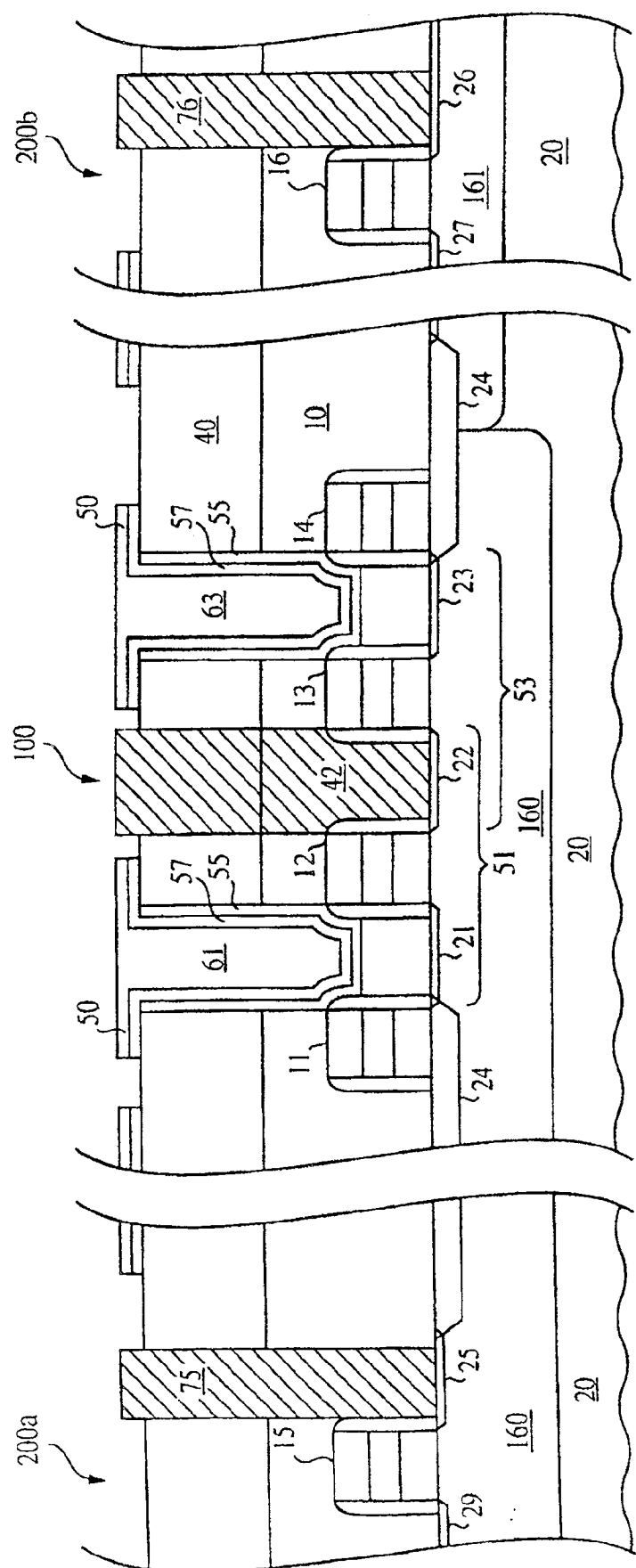


图 8

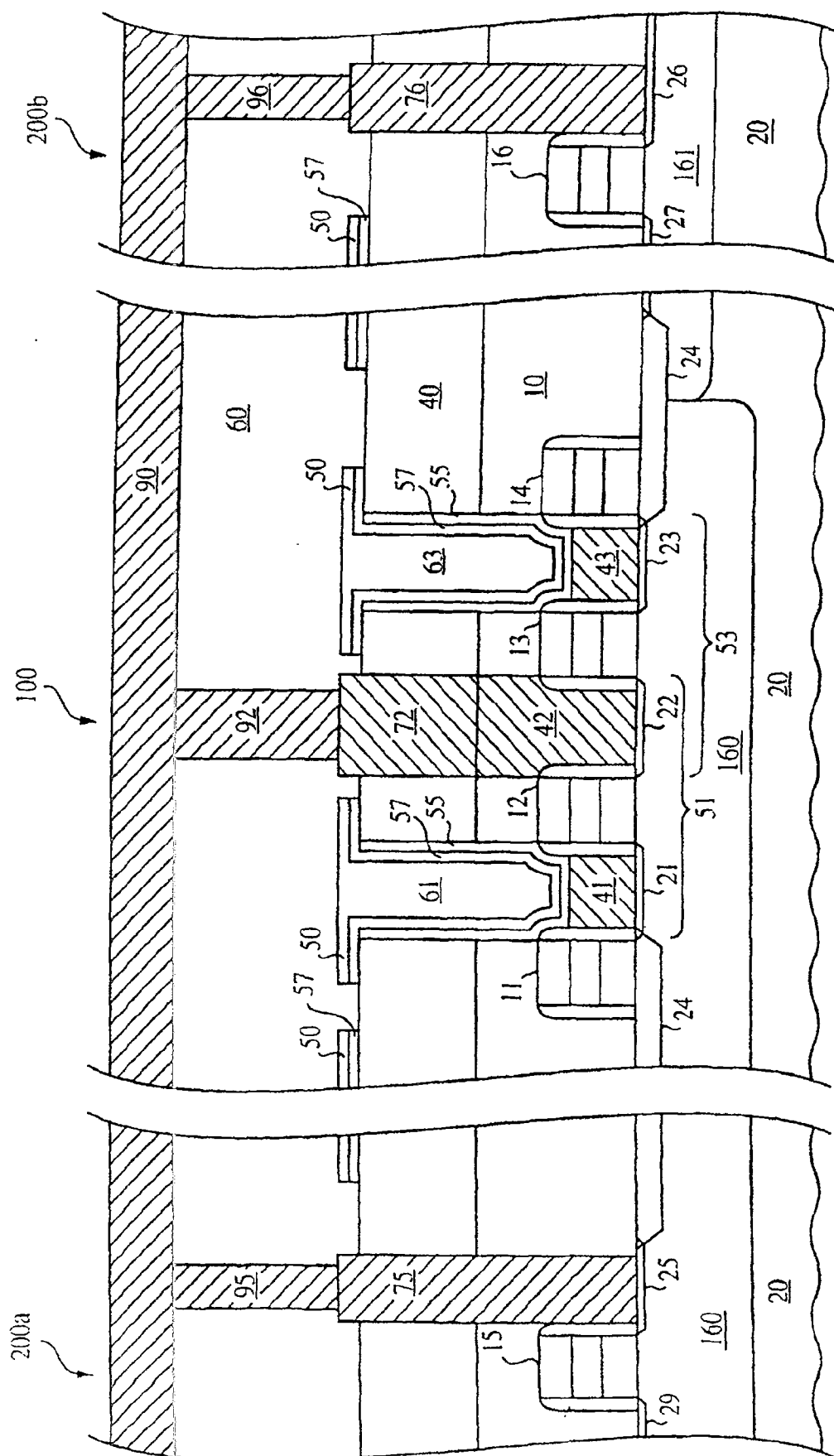


图 9

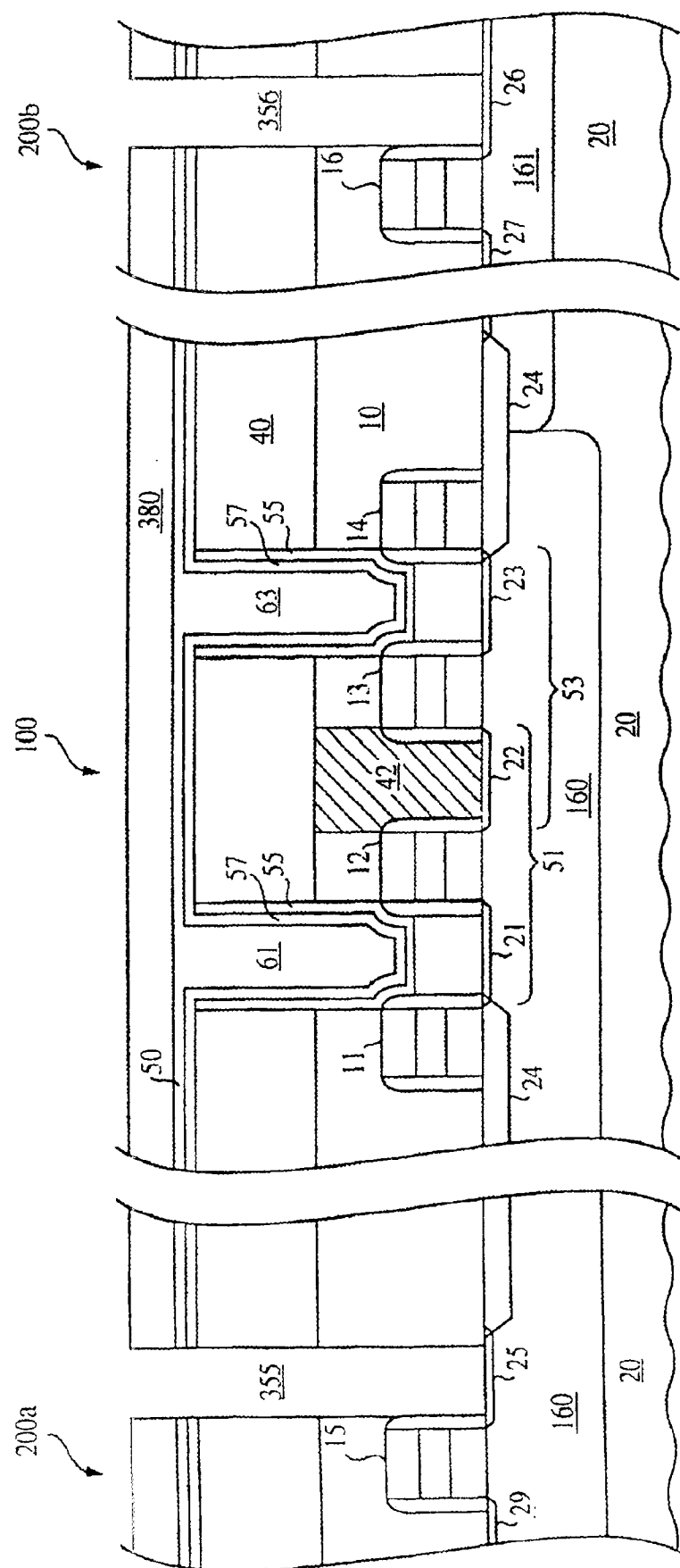


图 10

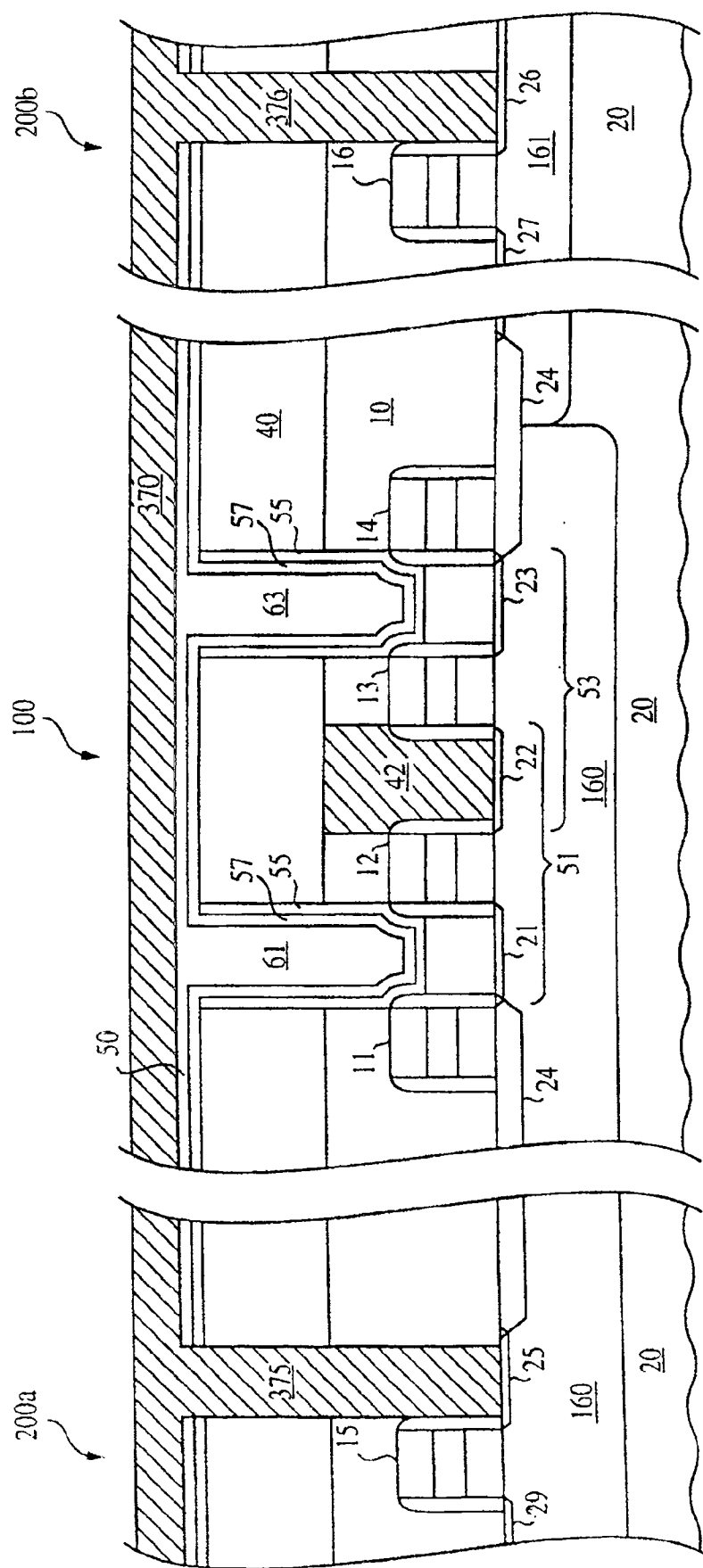


图 11

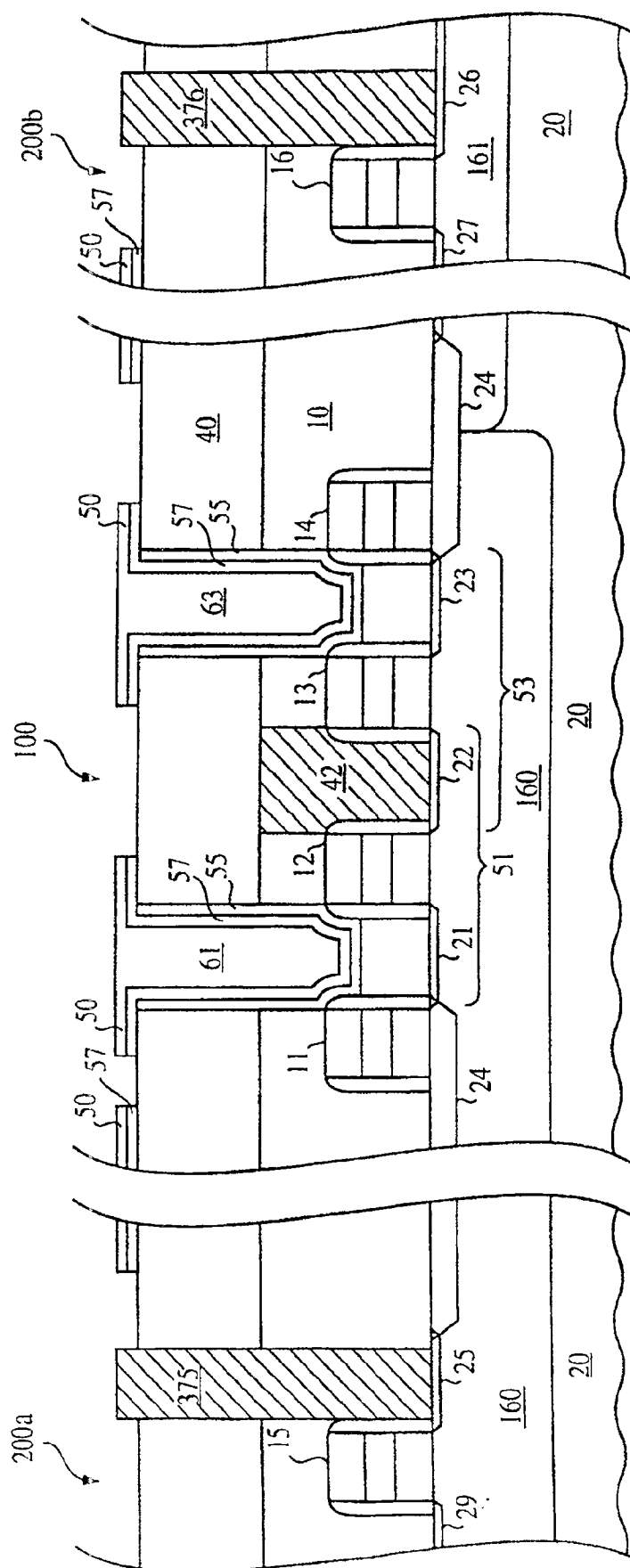


图 12

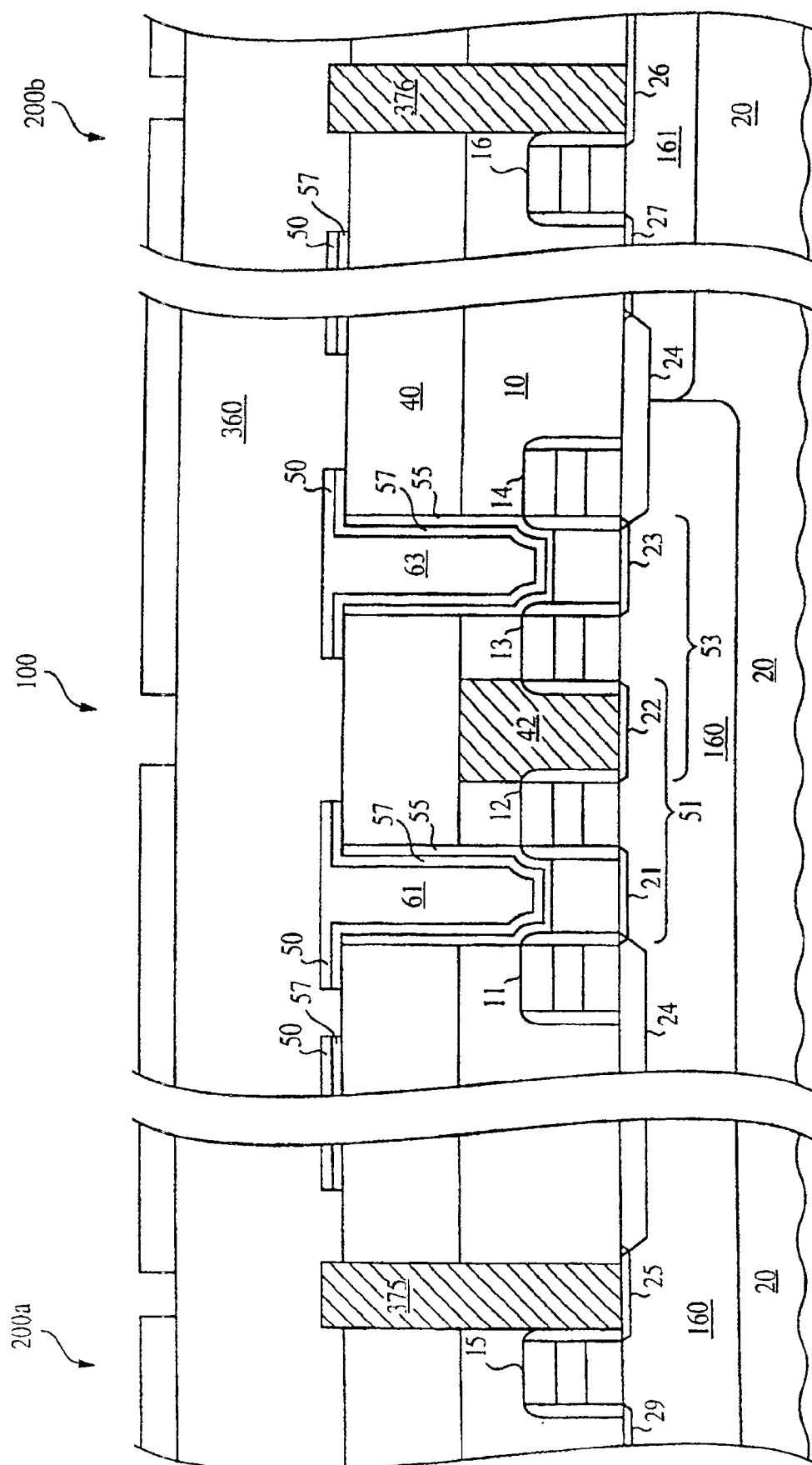


图 13

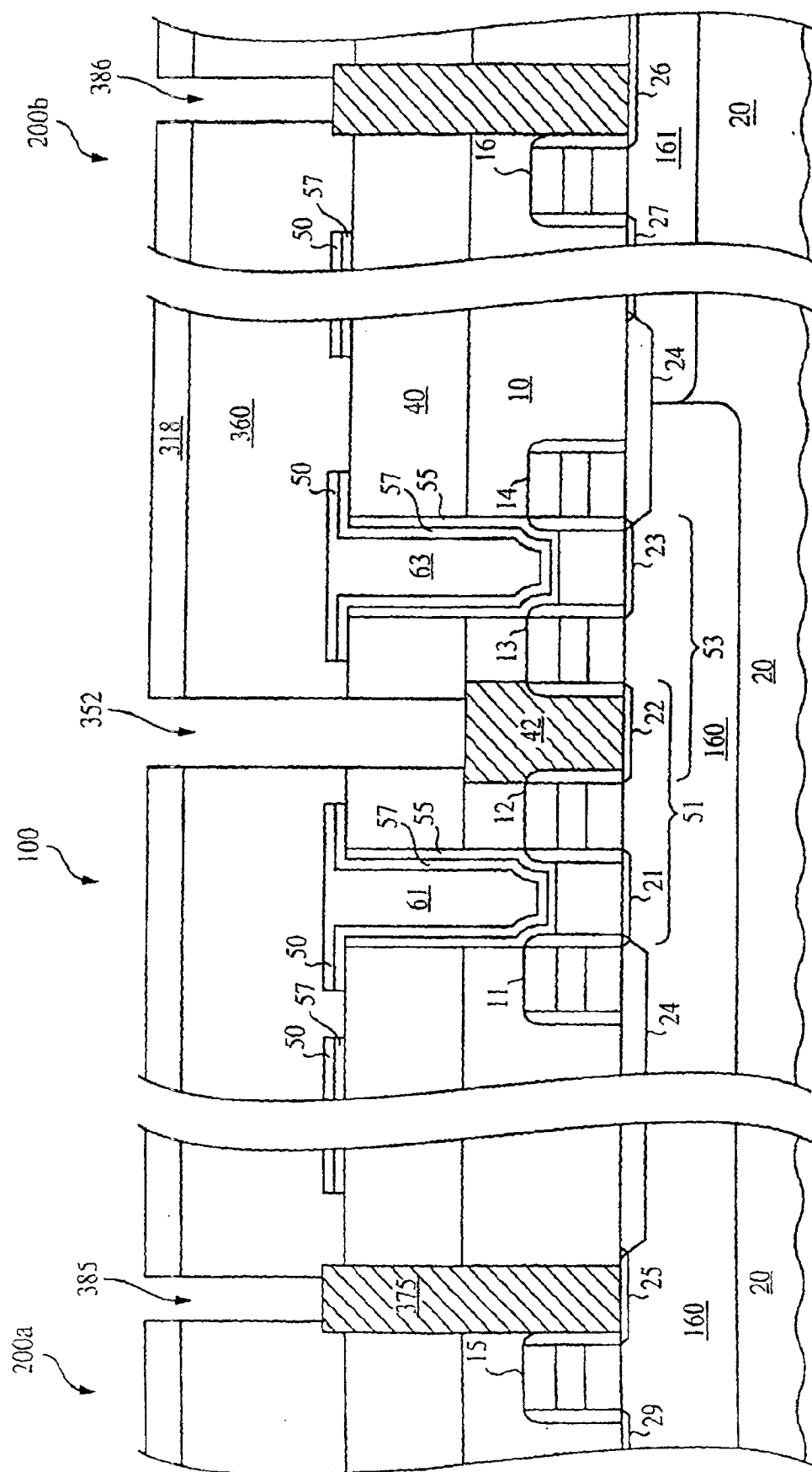


图 14

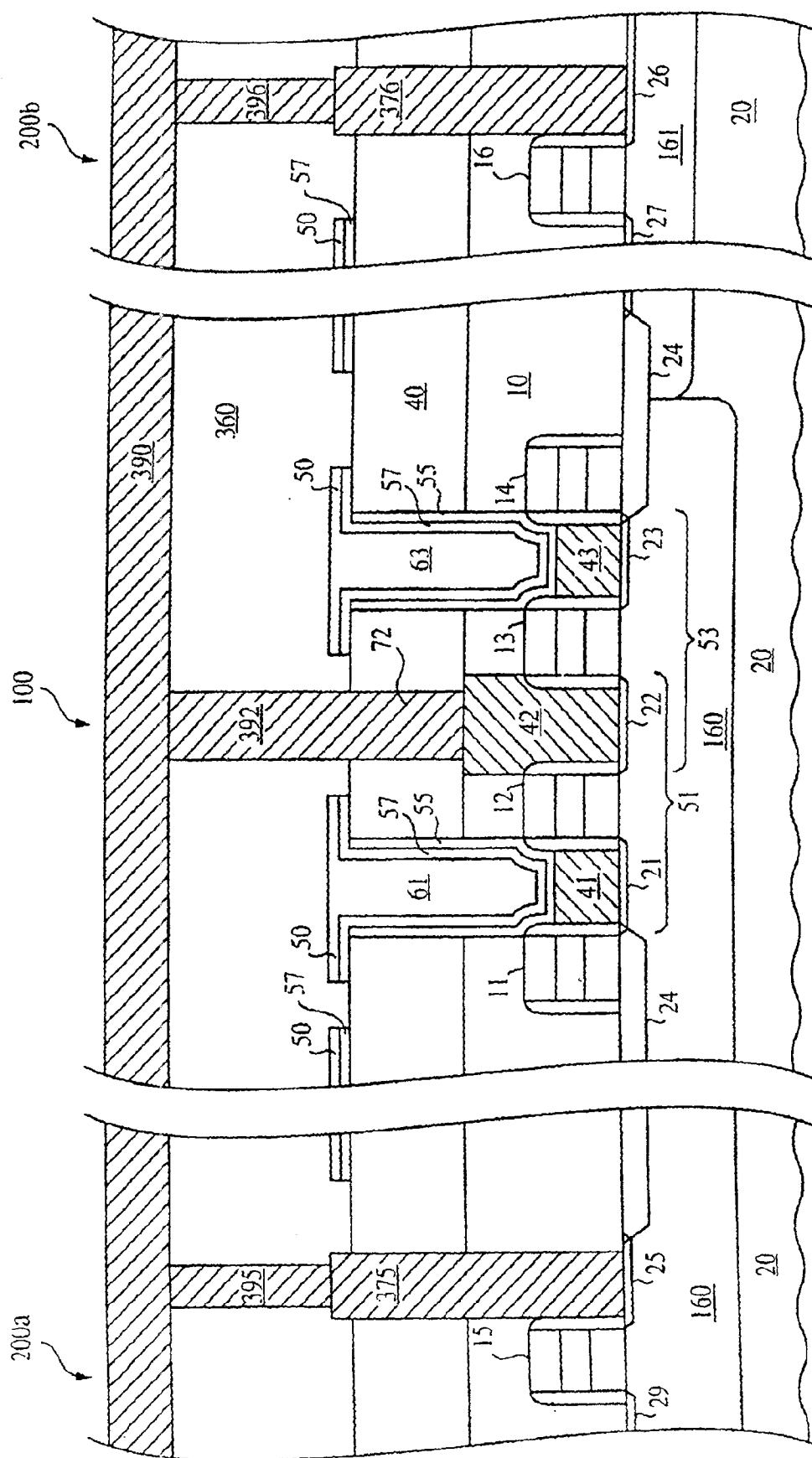


图 15

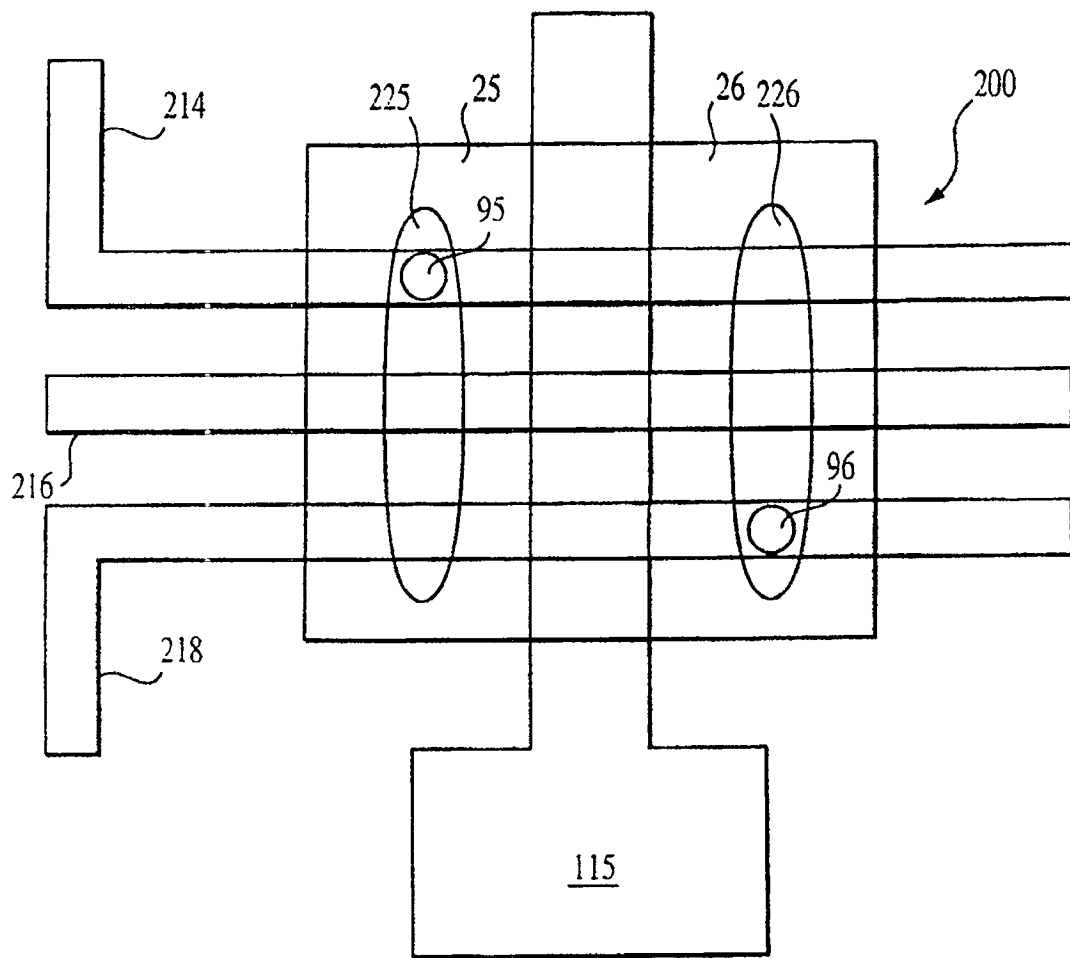


图 16