



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

**(51) Int. Cl.**

*H01L 23/02* (2006.01)

*H01L 31/02* (2006.01)

**(45) 공고일자**

2007년03월29일

**(11) 등록번호**

10-0701531

**(24) 등록일자**

2007년03월23일

**(21) 출원번호**

10-2005-0055789

**(65) 공개번호**

10-2006-0048559

**(22) 출원일자**

2005년06월27일

**(43) 공개일자**

2006년05월18일

심사청구일자

2005년06월27일

**(30) 우선권주장**

JP-P-2004-00194663

2004년06월30일

일본(JP)

**(73) 특허권자**

가부시키가이샤후지쿠라

일본국 도쿄토 고토쿠 기바 1쵸메 5반 1고

**(72) 발명자**

도미타 미치카즈

일본국 도쿄토 고토쿠 기바 1쵸메 5반 1고가부시키가이샤후지쿠라나이

스에마스 다츠오

일본국 도쿄토 고토쿠 기바 1쵸메 5반 1고가부시키가이샤후지쿠라나이

히라후네 사야카

일본국 도쿄토 고토쿠 기바 1쵸메 5반 1고가부시키가이샤후지쿠라나이

**(74) 대리인**

리엔목특허법인

**(56) 선행기술조사문현**

유럽특허공보 1577942호

유럽특허공보 1376705호

\* 심사관에 의하여 인용된 문현

심사관 : 이정재

전체 청구항 수 : 총 5 항

**(54) 반도체 패키지 및 그 제조방법**

**(57) 요약**

제1 면 및 제2 면을 갖는 반도체 기재, 상기 반도체 기재의 제1 면에 제공된 기능성 요소, 제1 배선, 상기 제1 배선을 매개로 상기 기능성 요소에 전기적으로 연결된 패드, 상기 제1 면으로부터 상기 제2 면으로 상기 반도체 기재를 관통하도록 정의된 홀 내에 제공되며 상기 패드에 전기적으로 연결된 관통전극으로서, 상기 관통전극은 제1 절연막 및 상기 제1 절연막 상에 형성된 제1 도전성 물질을 포함하는 관통전극을 포함하는 제1 기판 및 상기 기능성 요소를 둘러싸도록 제공된 봉지재, 상기 봉지재를 매개로 상기 제1 기판의 제1 면에 결합된 제2 기판을 포함하는 반도체 패키지가 개시된다.

내표도

도 1

## 특허청구의 범위

### 청구항 1.

제1 면 및 제2 면을 갖는 반도체 기재;

상기 반도체 기재의 제1 면에 제공된 기능성 요소;

제1 배선;

상기 제1 배선을 매개로 상기 기능성 요소에 전기적으로 연결된 패드;

상기 제1 면으로부터 상기 제2 면으로 상기 반도체 기재를 관통하도록 정의된 홀 내에 제공되며, 상기 패드에 전기적으로 연결된 관통전극으로서, 상기 관통전극은 제1 절연막 및 상기 제1 절연막상에 형성된 제1 도전성 물질을 포함하는 관통전극;을 포함하는 제1 기판; 및

상기 기능성 요소를 둘러싸도록 제공된 봉지재;

상기 봉지재를 매개로 상기 제1 기판의 제1 면에 결합된 제2 기판;을 포함하는 반도체 패키지로서,

상기 제1 절연막은 상기 반도체 기재의 제2 면상에 제공된 제2 절연막, 상기 반도체 기재의 외부 측면에 제공된 제3 절연막 및 상기 봉지재의 외부 측면에 제공된 제4 절연막을 포함하는 반도체 패키지.

### 청구항 2.

제1항에 있어서,

상기 제1 절연막, 제2 절연막, 제3 절연막 및 제4 절연막은 단일막으로 형성되는 것을 특징으로 하는 반도체 패키지.

### 청구항 3.

제1항에 있어서,

상기 제3 절연막 및 제4 절연막은 상기 제1 도전성 물질과 동일한 물질로 이루어진 제2 도전성 물질로 더 코팅된 것을 특징으로 하는 반도체 패키지.

### 청구항 4.

반도체 기재의 제1 면 위로 기능성 요소, 제1 배선 및 패드를 포함하는 제1 기판과 제2 기판을, 상기 기능성 요소가 그 사이에 위치하도록 봉지재로 함께 결합하는 단계;

상기 반도체 기재의 제2 면상에 설정된 패턴을 갖는 마스크를 형성하는 단계;

상기 패드에 도달하는 홀을 정의하기 위해 상기 패드에 대응하는 위치에서, 그리고 상기 기능성 요소, 상기 제1 배선 및 상기 패드를 둘러싸는 상기 봉지재에 도달하는 그루브를 정의하기 위한 위치에서 상기 마스크를 매개로 상기 반도체 기재를 식각하는 단계;

상기 제2 기판을 노출시키기 위해 상기 그루브의 바닥에서 상기 봉지재를 식각하는 단계;

상기 홀 및 상기 그루브의 내측에 절연막을 형성하는 단계;

식각에 의해 상기 홀의 바닥에 제공된 상기 절연막을 제거하는 단계;

관통전극을 형성하기 위해 상기 홀내에 제1 도전성 물질을 충전하는 단계; 및

상기 그루브의 내벽을 따라 상기 제1 기판 및 상기 제2 기판을 절단하는 단계를 포함하는 반도체 패키지 제조방법.

## 청구항 5.

반도체 기재의 제1 면 위로 기능성 요소, 제1 배선 및 패드를 포함하는 제1 기판과 제2 기판을, 상기 기능성 요소가 그 사이에 위치하도록 봉지재로 함께 결합하는 단계;

상기 반도체 기재의 제2 면상에 설정된 패턴을 갖는 마스크를 형성하는 단계;

상기 패드에 도달하는 홀을 정의하기 위해 상기 패드에 대응하는 위치에서, 그리고 상기 기능성 요소, 상기 제1 배선 및 상기 패드를 둘러싸는 상기 봉지재에 도달하는 그루브를 정의하기 위한 위치에서 상기 마스크를 매개로 상기 반도체 기재을 식각하는 단계;

상기 제2 기판을 노출시키기 위해 상기 그루브의 바닥에서 상기 봉지재를 식각하는 단계;

상기 홀 및 상기 그루브의 내측에 절연막을 형성하는 단계;

식각에 의해 상기 홀의 바닥에 제공된 상기 절연막을 제거하는 단계;

관통전극을 형성하기 위해 상기 홀내에 제1 도전성 물질을 충전하고, 상기 그루브 내에 상기 제1 도전성 물질을 충전하는 단계; 및

상기 제1 기판, 상기 제2 기판 및 상기 그루브 내에 형성된 상기 제1 도전성 물질을 절단하는 단계를 포함하는 반도체 패키지 제조방법.

## 명세서

### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 기능성 요소와 전면 및 후면을 연결하는 관통전극을 갖는 반도체 패키지용 패키징 구조 및 그 제조방법에 관한 것이다.

우선권이 2004년 6월 30일 출원된 일본 특허출원번호 제2004-194663호에 주어지며, 그 개시된 내용은 여기에 참조문헌으로서 통합된다.

반도체 수광용 센서와 같은 기능적 요소를 패키징하기 위한 관련 기술에서, 기능성 요소는 통상적으로 세라믹 또는 수지로 이루어진 밀봉 용기내에 포함된 후 밀봉된다. 이러한 관련 기술의 예가 도5 (예를 들어, 심사청구되지 않은 공개번호 2001-351997호의 일본 특허출원을 참조)에 보여진다.

도5에서 보여지는 반도체 패키지(40)는 반도체기판(41), 관통전극(45b), 봉지재(47) 및 광학적으로 투명한 보호부재(46)를 포함한다. 마이크로렌즈들(44b)을 포함하는 수광요소(44a)는 광 게더링 효율을 증진시키기 위해 반도체 기판(41)상에 제공되며, 배선(44c)과 관통전극(45b)을 통하여 반도체 패키지(40)의 외부에 전기적으로 연결된다.

유리판과 같은 상기 광학적으로 투명한 보호부재(46)가, 상기 보호부재(46)가 상기 수광센서(44a) 및 마이크로렌즈들(44b)과 접촉되지 않도록 상기 수광센서(44a)와 마이크로렌즈들(44b)과 일정한 거리를 유지하면서 상기 봉지재(47)를 통하여 상기 반도체기판(41) 위로 접착제를 사용하여 결합되어 있다. 상기 봉지재(47)는, 상기 봉지재(47)가 상기 수광센서(44a)를 커버링하지 않으면서 상기 수광센서(44a)를 연속적으로 둘러싸며, 상기 보호부재(46)가 상기 수광센서(44a) 및 마이크로렌즈들(44b)과 접촉되지 않도록 적용된 후 치유(cure)된다. 이 봉지재(47)는 상기 광학적으로 투명한 보호부재(46)가 전술한 상기 수광센서(44a) 및 마이크로렌즈들(44b)를 기계적으로 보호하기 위하여 상기 반도체기판(41)에 안착되도록 해준다. 동시에, 이것은 주변의 환경으로부터 수광센서(44a) 및 마이크로렌즈들(44b)를 보호하기 위한 차단재 역할을 한다.

이러한 반도체 패키지를 제조하는 과정을 아래에서 설명한다.

우선, 상기 수광센서(44a), 상기 수광센서(44a)를 위한 구동회로(미도시), 출력처리를 하는 회로(미도시), 배선회로(44c) 등이 통상적인 반도체 제조기술들을 사용하여 반도체기판(41)상에 제작된다.

다음에, 비관통성의 트랜치들이 이방성 식각 등을 사용하여 상기 배선회로에 대응하여 반도체기판(41)의 일부에 정의되어지며, 절연층(미도시) 및 상기 배선회로 부분(44c)에 연결되는 도전층으로 이루어진 관통전극(45b)들이 상기 트랜치의 내측에 형성된다.

이어서, 상기 봉지재(47)가 상기 수광센서(44a)를 커버링하지 않으면서 상기 수광센서(44a)를 연속적으로 둘러싸도록, 상기 봉지재(47)가 스크린 인쇄 또는 디스펜싱(dispensing) 방법 등과 같은 적당한 방법을 사용하여 상기 반도체 기판의 표면상에 배치된다.

다음으로, 상기 반도체기판과 거의 동일한 2차원적 크기를 갖는 상기 광학적으로 투명한 보호부재(46)가 상기 봉지재(47)에 결합되며, 상기 봉지재(47)는 열 또는 자외선광 등을 적용하여 큐어링된다.

이어서, 이전에 형성되어진 관통전극(45b)이 노출될 때까지 상기 반도체기판(41)의 후면이 식각되어진다.

마지막으로, 상기 반도체기판(41)을 미리 설정된 크기로 절단함으로써 수많은 반도체 패키지(40)가 얻어진다.

이렇게 얻어진 반도체 패키지의 측면상에서는, 상기 반도체기판(41)과 상기 광학적으로 투명한 보호부재(46)를 결합시키는 봉지재(47)가 노출된다. 상기 봉지재(47)로서는 통상적으로 합성 수지가 사용되며, 어떠한 합성수지들은 항상 충분한 밀봉성, 내습성, 내화학성 또는 다른 성질들을 보여주는 것은 아니다. 결과적으로, 안정적으로 동작하며 연장된 수명을 갖는 반도체 소자를 얻는 것이 어렵게 된다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 소자(element)의 안정된 동작 및 연장된 수명을 보장하기 위해 우수한 밀봉성, 내습성, 내화학성을 나타내는 반도체 패키지를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 추가적인 단계들에서 큰 증가없이 우수한 밀봉성, 내습성, 내화학성을 갖는 반도체 패키지를 제조하는 방법을 제공하는 데 있다.

### 발명의 구성

상기 기술적 과제들을 달성하기 위한 본 발명에 따른 반도체 패키지는, 제1 면 및 제2 면을 갖는 반도체 기재(基材); 상기 반도체 기재의 제1 면에 제공된 기능성 요소; 제1 배선; 상기 제1 배선을 매개로 상기 기능성 요소에 전기적으로 연결된 패드; 상기 제1 면으로부터 상기 제2 면으로 상기 반도체 기재를 관통하도록 정의된 홀 내에 제공되며, 상기 패드에 전기적으로 연결된 관통전극으로서, 상기 관통전극은 제1 절연막 및 상기 제1 절연막상에 형성된 제1 도전성 물질을 포함하는 관통

전극을 포함하는 제1 기판; 및 상기 기능성 요소를 둘러싸도록 제공된 봉지재; 상기 봉지재를 매개로 상기 제1 기판의 제1 면에 결합된 제2 기판을 포함하는 반도체 패키지로서, 상기 제1 절연막은 상기 반도체 기재의 제2 면상에 제공된 제2 절연막, 상기 반도체 기재의 외부 측면에 제공된 제3 절연막 및 상기 봉지재의 외부 측면에 제공된 제4 절연막을 포함한다.

이러한 구조를 갖는 반도체 패키지는 패키지의 측면상에 상기 봉지재가 노출되지 않도록 우수한 차단성을 갖는 절연물질로 커버되기 때문에 반도체 패키지는 증진된 밀봉성, 내습성, 내화학성 등을 나타낸다.

나아가, 본 발명의 반도체 패키지에 따르면, 상기 제1 절연막, 제2 절연막, 제3 절연막 및 제4 절연막은 단일막으로 형성될 수 있다.

나아가, 상기 패키지의 절연막의 외부 측면은 도전성 물질로 더 코팅될 수 있다.

나아가, 상기 절연막을 단일막으로 형성하는 것은 그 절연성이 증진될 수 있기 때문에 유리하다. 나아가, 도전성 물질로 측면을 코팅함으로써 밀봉성, 내습성, 내화학성 등이 더 증진될 수 있다.

반도체 패키지를 제조하는 한 방법은, 반도체 기재의 제1 면 위로 기능성 요소, 제1 배선 및 패드를 포함하는 제1 기판과 제2 기판을, 상기 기능성 요소가 그 사이에 위치하도록 봉지재로 함께 결합하는 단계; 상기 반도체 기재의 제2 면상에 설정된 패턴을 갖는 마스크를 형성하는 단계; 상기 패드에 도달하는 홀을 정의하기 위해 상기 패드에 대응하는 위치에서, 그리고 상기 기능성 요소, 상기 제1 배선 및 상기 패드를 둘러싸는 상기 봉지재에 도달하는 그루브를 정의하기 위한 위치에서 상기 마스크를 매개로 상기 반도체 기재을 식각하는 단계; 상기 제2 기판을 노출시키기 위해 상기 그루브의 바닥에서 상기 봉지재를 식각하는 단계; 상기 홀 및 상기 그루브의 내측에 절연막을 형성하는 단계; 식각에 의해 상기 홀의 바닥에 제공된 상기 절연막을 제거하는 단계; 관통전극을 형성하기 위해 상기 홀내에 제1 도전성 물질을 충전하는 단계; 및 상기 관통홀의 내벽을 따라 상기 제1 기판 및 상기 제2 기판을 절단하는 단계를 포함한다.

이러한 제조방법에서는 절연물질이 관통전극 형성 단계들에서 형성될 수 있기 때문에 공정 단계들의 수가 최소화될 수 있다. 나아가, 이러한 제조방법은 우수한 밀봉성, 내습성 및 내화학성을 갖는 반도체 패키지를 제공할 수 있다.

반도체 패키지를 제조하는 다른 방법은, 반도체 기재의 제1 면 위로 기능성 요소, 제1 배선 및 패드를 포함하는 제1 기판과 제2 기판을, 상기 기능성 요소가 그 사이에 위치하도록 봉지재로 함께 결합하는 단계; 상기 반도체 기재의 제2 면상에 설정된 패턴을 갖는 마스크를 형성하는 단계; 상기 패드에 도달하는 홀을 정의하기 위해 상기 패드에 대응하는 위치에서, 그리고 상기 기능성 요소, 상기 제1 배선 및 상기 패드를 둘러싸는 상기 봉지재에 도달하는 그루브를 정의하기 위한 위치에서 상기 마스크를 매개로 상기 반도체 기재을 식각하는 단계; 상기 제2 기판을 노출시키기 위해 상기 그루브의 바닥에서 상기 봉지재를 식각하는 단계; 상기 홀 및 상기 그루브의 내측에 절연막을 형성하는 단계; 식각에 의해 상기 홀의 바닥에 제공된 상기 절연막을 제거하는 단계; 관통전극을 형성하기 위해 상기 홀내에 제1 도전성 물질을 충전하고, 상기 그루브 내에 상기 제1 도전성 물질을 충전하는 단계; 및 상기 제1 기판, 상기 제2 기판 및 상기 그루브 내에 형성된 상기 제1 도전성 물질을 절단하는 단계를 포함한다.

이러한 제조방법들에서는 절연물질층과 도전성 물질층이 관통전극 형성 단계들에서 형성될 수 있기 때문에 공정 단계들의 수가 최소화될 수 있다. 나아가, 이러한 제조방법은 우수한 밀봉성, 내습성 및 내화학성을 갖는 반도체 패키지를 제공할 수 있다.

본 발명의 반도체 패키지에 따르면, 반도체 패키지의 측면들이 절연막 및/또는 도전성 물질로 커버될 때에 사용되는 봉지재에 관계없이 우수한 밀봉성, 내습성 및 내화학성을 갖는 반도체 패키지가 얻어진다. 따라서 패키지된 요소들은 안정적으로 동작하며, 그 수명도 연장된다.

나아가, 본 발명의 반도체 패키지 제조방법은, 절연물질층과 도전성 물질이 관통전극 형성 단계들에서 형성될 수 있기 때문에 공정 단계들의 수가 최소화될 수 있다는 점에서 매우 유용하다. 나아가, 이러한 제조방법은 우수한 밀봉성을 갖는 반도체 패키지를 제공할 수 있다.

이하 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다. 이하에서 설명되는 본 발명의 실시예들은 본 발명의 사상을 어느 방식으로 제한하려는 의도가 아니라 본 발명의 이해를 돋기 위한 것이다.

< 제1 실시예 >

도1은 본 발명의 예시적인 실시예에 따른 반도체 패키지의 제1 실시예의 단면도이다. 본 발명의 제1 실시예에 따른 반도체 패키지(1)는 기능성 요소(12)가 형성된 제1 기판(10)과 캡 기판인 제2 기판(20)을 포함하며, 제1 기판(10)과 제2 기판(20)은 봉지재(30)에 의해 결합되어 있다.

제1 기판(10)은 반도체 기판(11)을 포함한다. 상기 기능성 요소(12) 및 그것에 연결된 제1 배선들(13) 및 패드들(14)이 반도체 기판(11)의 일 면상에 제공되며, 관통전극(15)이 반도체 기판(11)의 다른 면과 패드들(14)을 전기적으로 연결해준다. 관통전극(15)은 상기 반도체 기판(11)을 관통하는 미세홀(홀, 16) 내측에 절연막A(17a) 및 제1 도전물질(18)을 충전함으로써 형성된다.

본 실시예에서, 절연막A(17a)는 상기 반도체 기판(11)의 다른 면상에 형성되는 절연막B(17b), 반도체 기판(11)의 측면상에 형성되는 절연막C(17c), 반도체 패키지(1)의 상기 봉지재(30)의 측면상에 형성되는 절연막D(17d)와 단일막으로 형성된다.

절연막(17)은 단일막으로 형성되지 않을 수도 있다. 예를 들어, 절연막A(17a), 절연막C(17c) 및 절연막D(17d)는 플라즈마 CVD에 의해 형성된 질화막으로 형성될 수 있으며, 절연막B(17b)는 열산화법에 의해 형성된 산화막으로 형성될 수 있다.

대안적으로, 절연막(17)이 플라즈마 CVD에 의해 형성된 질화막 또는 산화막으로 형성되면, 상기 미세홀 바닥의 절연막이 상기 막을 반응성 이온 식각(RIE)에 의해 과식각됨으로써 제거되는 식각 단계에서 상기 절연막B(17b)에 대응하는 산화막의 일부가 제거되고, 절연막A(17a), 절연막C(17c) 및 절연막D(17d)이 잔류될 수 있다. 이어서, 절연막B(17b)이 폴리아미드 수지 또는 폴리이미드 수지와 같은 합성 수지를 사용하여 형성될 수 있다.

환언하면, 본 발명의 반도체 패키지에서 도1에서 보여지는 절연막A(17a), 절연막B(17b), 절연막C(17c) 및 절연막D(17d)는 단일의 막 또는 분리된 막으로 제공될 수 있다.

본 발명의 반도체 패키지(1)의 외부영역에서, 관통전극(15)의 측면 및 바닥면은 (제2 기판(20)의 앞면 및 관통전극(15)의 상부를 제외하고) 절연막(17)에 의해 커버링되기 때문에 반도체 패키지는 우수한 밀봉성, 내습성 및/또는 내화학성을 갖는다. 부가하여, 봉지재(30)가 절연막D(17d)에 의해 커버되기 때문에 대기중의 습기가 결합지역으로 침투하지 못한다. 따라서, 상기 기능성 요소는 안정적으로 동작할 수 있으며, 기능성 요소가 완전하게 보호되기 때문에 그 수명이 충분히 연장된다.

## < 제2 실시예 >

도2는 본 발명의 예시적 실시예에 따른 반도체 패키지(2)의 제2 실시예의 단면도이다. 본 발명의 제2 실시예에 따른 반도체 패키지(2)는 제1 실시예의 반도체 패키지(1)과 유사한 내부 구조를 갖는다. 환언하면, 반도체 패키지(2)는 기능성 요소(12)가 형성된 제1 기판(10)과 캡 기판인 제2 기판(20)을 포함하며, 제1 기판(10)과 제2 기판(20)은 봉지재(30)에 의해 결합되어 있다. 제1 기판(10)은 반도체 기판(11)을 포함한다. 상기 기능성 요소(12) 및 그것에 연결된 제1 배선들(13) 및 패드들(14)이 반도체 기판(11)의 일 면상에 제공되며, 관통전극(15)이 반도체 기판(11)의 다른 면과 패드들(14)을 전기적으로 연결해준다. 관통전극(15)은 상기 반도체 기판(11)을 관통하는 미세홀(16) 내측에 절연막A(17a)을 매개로 제1 도전물질(18)을 충전함으로써 형성된다. 절연막A(17a)는 상기 반도체 기판(11)의 다른 면상에 형성되는 절연막B(17b), 반도체 기판(11)의 측면상에 형성되는 절연막C(17c), 반도체 패키지(2)의 상기 봉지재(30)의 측면상에 형성되는 절연막D(17d)와 단일막으로 형성된다.

제2 실시예에 따른 반도체 패키지(2)에서, 반도체기판(11)의 측면상에 형성되는 절연막C(17c)과 봉지재(30)의 측면상에 형성되는 절연막D(17d)의 표면은 제2 도전물질(19)에 의해 커버된다. 본 실시예에서, 반도체 패키지의 측면이 2개의 막, 즉 절연막 및 도전막으로 코팅되기 때문에 밀봉성이 더욱 증진된다. 따라서 상기 기능성 요소는 안정적으로 동작할 수 있으며, 기능성 요소가 완전하게 보호되기 때문에 그 수명이 충분히 연장된다.

다음으로, 이러한 반도체 패키지를 제조하는 방법의 예를 도면을 참조하여 설명한다.

도3a 내지 도4d는 본 발명에 따른 반도체 패키지를 제조하는 방법에서 각 단계들을 보여주는 단면도들이다.

우선, 광학소자와 같은 원하는 기능성 요소(12), 제1 배선(13) 및 연결용 패드(14)를 통상적인 반도체 제조 공정들을 사용하여 실리콘 기판과 같은 반도체 기판(11)상에 형성함으로써 제1 기판(10)이 제공된다.

예를 들어, 알루미늄(Al), 구리(Cu), 알루미늄-실리콘(Al-Si)합금, 알루미늄-실리콘-구리(Al-Si-Cu)합금과 같은 우수한 도전성을 갖는 물질들이 제1 배선(13) 및 패드들(14)을 위해 사용될 수 있다. 그러나 이러한 물질들은 쉽게 산화된다.

이어서, 도3a에서 보여지듯이, 기능성 요소(12)를 갖는 제1 기판(10)과 캡 부재가 될 제2 기판(20)이 봉지재(30)를 사용하여 결합된다. 결합에 있어서 상기 제2 기판(20)이 기능성 요소(12)와 접촉되지 않도록 제2 기판(20)에 의해 커버된다. 제2 기판(20)으로서 실리콘 기판과 같은 반도체 기판이 사용될 수 있다. 봉지재(30)의 예들은 예를 들어, 광감성 또는 비광감성 액상형 수지(UV 치유성 수지, 가시광 치유성 수지, 적외광 치유성 수지, 열 치유성 수지 또는 그와 유사한 것) 또는 건식 필름들을 포함한다. 수지의 예는 에폭시 수지, 실리콘 수지, 아크릴 수지, 폴리이미드 수지 또는 그와 유사한 것을 포함하며, 반도체 패키지가 사용되는 환경에 따라 적절한 수지가 선택되어 사용될 수 있다.

봉지재(30)의 층을 형성하기 위해 예를 들어, 액상형 수지가 인쇄법을 사용하여 설정된 위치에 코팅될 수 있다. 대안적으로, 건식 필름이 적용될 수 있으며, 이어서 포토리소그라피 기술을 사용하여 설정된 위치에 상기 필름을 남기도록 패턴화된다.

다음에 도3b에서 보여지듯이, 마스크(5)가 반도체 기판(11)의 다른 면상에 형성된다. 마스크(5)로서, 예를 들어 UV 치유성 수지 또는 폴리이미드계 광감성 수지 또는 그와 유사한 것이 사용될 수 있으며, 개구부(5a 및 5b)가 포토리소그라피를 사용하여 설정된 위치에 정의된다. 개구부(5a)는 배선 구조를 형성하기 위한 미세홀들(16)을 정의하도록 형성되며, 상기 패드들(14)에 대응하는 위치에서 예를 들어 작은 원형 홀들로 형성된다. 반면에 개구부(5b)는 기능성 요소(12)를 보호하기 위한 구조를 형성하기 위해 형성되며, 이것들이 기능성 요소(12)가 중앙에 위치되도록 기능성 요소(12), 제1 배선(13) 및 패드들(14)을 둘러싸도록 형성된다.

다음으로 도3c에서 보여지듯이, 개구부(5a, 5b)에서 반도체기판(11)의 일부들이 마스크(5)를 매개로 예를 들어, 반응성 이온 식각(예를 들어, 깊은 반응성 이온 식각:DRIE)법 또는 그와 유사한 것으로 식각되어 미세홀들(16) 및 그루브들(7)을 정의한다. 상기 DRIE법은 고도의 정확성으로 홀들을 형성하게 해준다. DRIE법에서는, 실리콘 기판이 식각가스로서 살펴 헥사프루라이드( $SF_6$ )를 사용하는 고밀도 플라즈마 식각과 측벽상에 보호막의 증착을 교번적으로 수행(보쉬(Bosch) 공정)함으로써 깊게 식각된다. 비록 도면에서는 보여지지 않지만 그루브들(7)이 기능성 요소(12)들을 둘러싸도록 정의된다. 그 이후 마스크(5)가 필요에 따라 제거된다.

미세홀들(16)의 형상은 특별히 제한된 것은 아니며, 패드(14)와 충분한 접촉 면적이 확보된다면 어떠한 형상도 될 수 있으며, 타원형, 직사각형, 삼각형 또는 정사각형 형상으로 형성될 수 있다.

나아가, 미세홀들(16)을 형성하는 방법은 DRIE법으로 제한되는 것은 아니며, 수산화칼륨(KOH) 수용액을 사용하는 습식 방법 등과 같은 다른 방법이 사용될 수 있다.

다음으로 도3d에서 보여지듯이, 그루브(7)의 바닥(7a)에서 봉지재(30)이 건식 식각과 같은 적절한 기술을 사용하여 제거된다.

봉지재(30)에 대하여 스크라이브 라인을 제공함으로써 이 단계는 생략될 수도 있을 것이다.

다음으로 도4a에서 보여지듯이, 절연막(17)이 도3d의 기판의 전체 표면상에 형성된다. 실리콘옥사이드( $SiO_2$ ), 실리콘나이트라이드( $Si_3N_4$ ), 포스포러스 실리케이트 그래스(PSG), 보론 포스포러스 실리케이트 그래스(BPSG)와 이에 유사한 것들이 절연막(17)으로 사용될 수 있으며, 반도체 패키지가 사용될 환경에 따라 적절한 물질이 선택될 수 있다. 실리콘옥사이드 및 실리콘나이트라이드로 이루어진 막들이 CVD법을 사용하여 원하는 두께만큼 증착될 수 있다. 실리콘옥사이드로 만들어진 절연막이 플라즈마 CVD법, 예를 들어 실란 또는 테트라에톡시 실란(TEOS)을 사용하여 증착될 수 있다.

이러한 방법으로 도1 및 도2에서 보여지는 절연막A(17a), 절연막B(17b), 절연막C(17c) 및 절연막D(17d)이 단일막으로 형성된다.

다음으로 도4b에서 보여지듯이, 미세홀들(16) 및 그루브(7)의 바닥에서 절연막(17)이, 패드들(14)의 표면(16a) 및 제2 기판(20)의 표면(7a)이 노출되도록 전식 식각을 사용하여 제거된다. 그루브(7)의 바닥에서 식각에 의해 절연막(17)을 제거하는 것은 선택적 사항일 수 있다.

실리콘옥사이드를 식각하기 위해 카본 테트라플루오라이드( $CF_4$ )를 사용하는 반응성 이온 식각(RIE) 기술이 사용될 수 있다.

다음으로 도4c에서 보여지듯이, 제1 도전성 물질(18)이 용융금속 흡입법 또는 그와 유사한 방법을 사용하여 미세홀들(16) 내에 형성된다. 도전성 물질(18)은 도4c에서 보여지듯이 미세홀들(16)의 내측에만 형성될 수 있다. 대안적으로, 도4d에서 보여지듯이 미세홀들(16)에 부가하여 그루브(17) 내에 제2 도전성 물질(19)이 형성될 수도 있다.

도전성 물질로서, 어떠한 전기적 도전성 물질이 사용될 수 있다. 예를 들어, 구리, 알루미늄, 니켈, 크롬, 은, 주석 또는 이와 유사한 것과 같은 낮은 전기저항을 갖는 금속; Au-Sn, Sn-Pb와 같은 합금; Sn계, Pb계, Au계, In계, Ag계 합금과 같은 솔더 합금; 이 사용될 수 있다. 반도체 패키지가 사용될 환경에 적합한 적절한 금속을 선택함으로써 우수한 차단성을 갖는 반도체 패키지가 제조될 수 있다.

이어서, 그루브(7)의 내벽에서 도4c에서 보여지는 선 L1 및 L2를 따라 기판을 절단함으로써 도1에서 보여지는 제1 실시 예의 반도체 패키지(1)가 얻어진다.

반도체 패키지(1)의 외부 영역에서 관통전극(15)의 측면 및 바닥면이 제2 기판(20)의 앞면 및 관통전극(15)의 상부를 제외하고 절연막(17)에 의해 커버되기 때문에 반도체 패키지는 우수한 밀봉성, 내습성 및/또는 내화학성을 가진다. 부가적으로 봉지재(30)가 절연막D(17d)에 의해 커버되기 때문에 공기중의 습기가 결합 영역으로 침투되지 않는다. 따라서 기능성 요소가 안정적으로 동작하고, 기능성 소자가 충분히 보호되기 때문에 그 수명이 충분히 길게 연장된다.

선택적으로, 도4d에서 보여지듯이, 제2 도전성 물질(19)이 미세홀들 뿐만 아니라 그루브(7)내에도 형성될 수 있다. 이어서 그루브(7)내에서 제2 도전성 물질(19)의 중앙을 가로지르는 선 L3를 따라 기판이 절단된다. 따라서, 도2에서 보여지는 제2 실시 예의 반도체 패키지(2)가 얻어진다. 바람직하게는 제1 도전성 물질(18)과 제2 도전성 물질(19)이 단일 단계에서 동시에 제공될 수 있기 때문에 제1 도전성 물질(18)과 제2 도전성 물질(19)은 동일한 금속이 사용될 수 있다.

반도체 패키지(2)에 있어서, 전술한 반도체 기판(11)의 측면상에 형성되는 절연막C(17c)의 표면과 봉지재(30)의 측면상에 형성되는 절연막D(17d)의 표면이 제2 도전성 물질(19)로 커버된다.

본 실시 예에서, 반도체 패키지의 측면은 2개의 막, 즉 절연막과 금속으로 이루어진 도전성막으로 코팅되기 때문에 밀봉성이 더욱 증진된다. 따라서 기능성 요소가 안정적으로 동작할 수 있고, 기능성 요소가 충분히 보호되기 때문에 그 수명이 충분히 연장된다.

### 발명의 효과

본 발명은 고성능과 연장된 수명을 갖는 반도체 패키지를 제조할 수 있다는 점에서 아주 유용하다.

본 발명의 바람직한 실시 예들이 앞에서 서술되었지만, 이러한 본 발명의 실시 예들은 한정적으로 고려되는 것이 아니라는 것은 잘 이해할 수 있을 것이다. 부가, 삭제, 대체, 및 다른 수정들이 본 발명의 정신 또는 사상을 벗어남이 없이 이루어질 수 있다.

### 도면의 간단한 설명

도1은 본 발명의 제1 형태에 따른 반도체 패키지의 제1 실시 예를 보여주는 단면도이다.

도2는 본 발명의 제1 형태에 따른 반도체 패키지의 제2 실시 예를 보여주는 단면도이다.

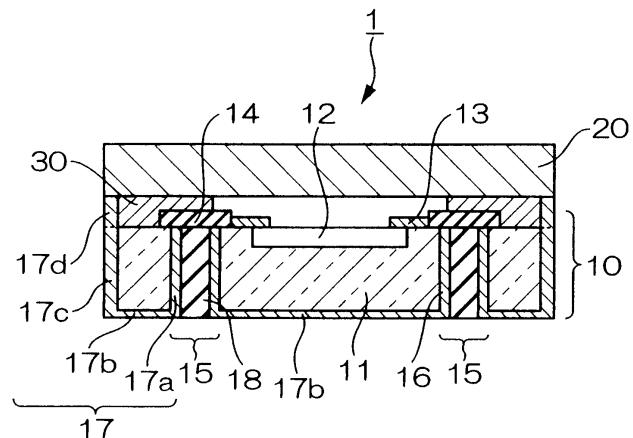
도3a 내지 도3d는 본 발명에 따른 반도체 패키지의 제조방법의 단계들을 보여주는 단면도들이다.

도4a 내지 도4d는 도3a 내지 도3d의 단계들의 후의 단계들을 보여주는 단면도들이다.

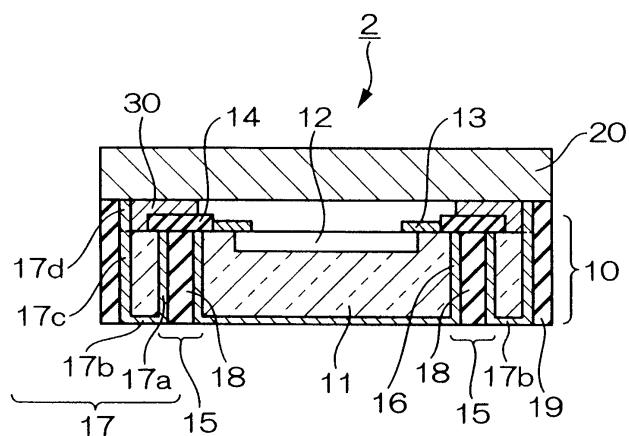
도5는 종래의 반도체 패키지를 보여주는 단면도이다.

도면

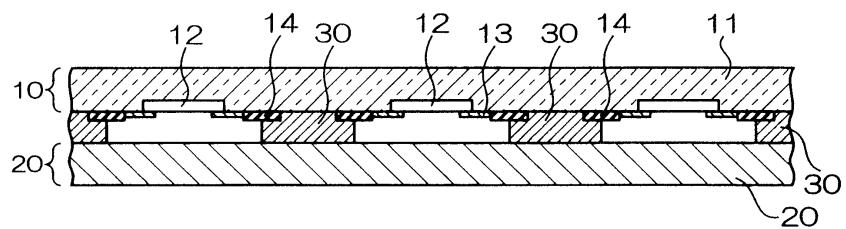
도면1



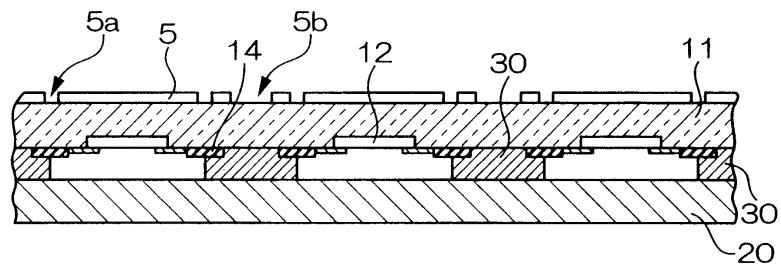
도면2



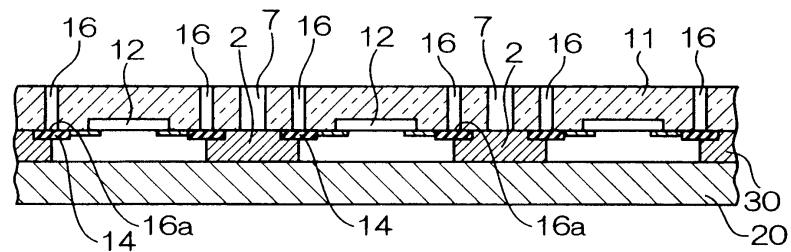
도면3a



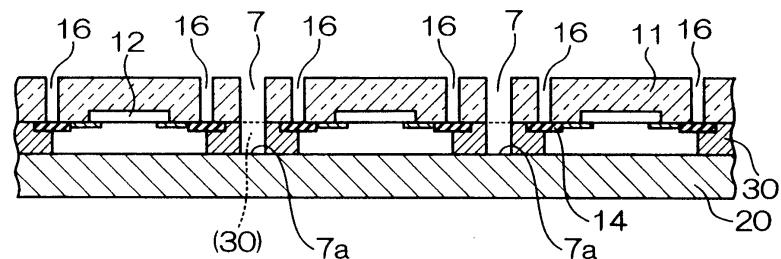
도면3b



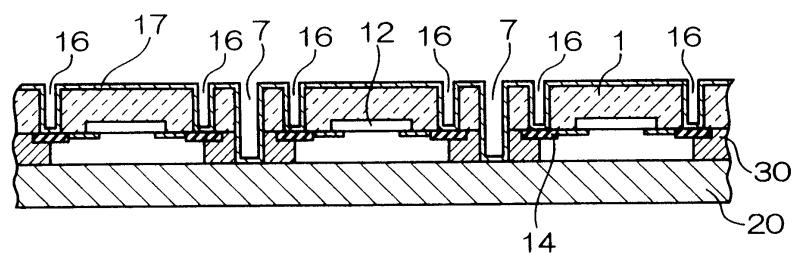
도면3c



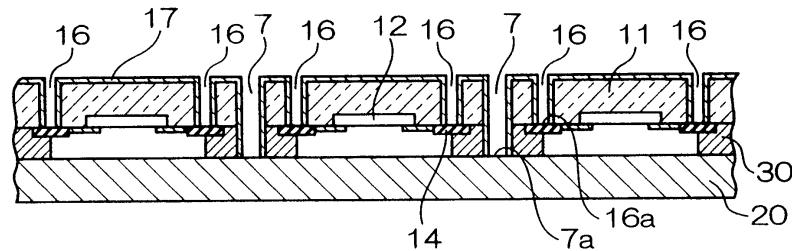
도면3d



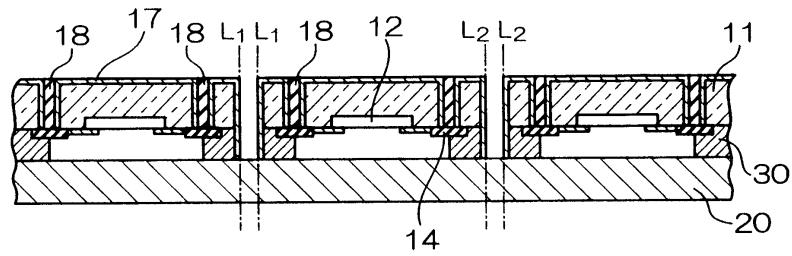
도면4a



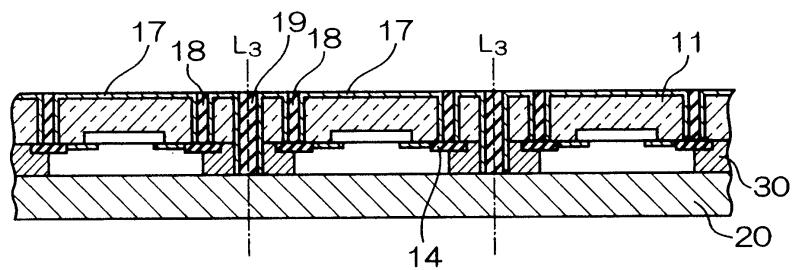
도면4b



도면4c



도면4d



도면5

40  
↓

