



(12) 发明专利

(10) 授权公告号 CN 105593995 B

(45) 授权公告日 2021.08.17

(21) 申请号 201480052465.X

长田昌也

(22) 申请日 2014.12.12

(74) 专利代理机构 北京信慧永光知识产权代理

有限责任公司 11290

(65) 同一申请的已公布的文献号

申请公布号 CN 105593995 A

代理人 陈桂香 曹正建

(43) 申请公布日 2016.05.18

(51) Int.Cl.

H01L 27/146 (2006.01)

(30) 优先权数据

2013-262099 2013.12.19 JP

2014-100182 2014.05.14 JP

(56) 对比文件

CN 102386196 A, 2012.03.21

CN 102386196 A, 2012.03.21

CN 101840925 A, 2010.09.22

CN 101840925 A, 2010.09.22

CN 102468312 A, 2012.05.23

CN 103022062 A, 2013.04.03

CN 102386195 A, 2012.03.21

CN 102683358 A, 2012.09.19

CN 1713214 A, 2005.12.28

US 6583438 B1, 2003.06.24

(85) PCT国际申请进入国家阶段日

2016.03.23

(86) PCT国际申请的申请数据

PCT/JP2014/006188 2014.12.12

(87) PCT国际申请的公布数据

W02015/093017 EN 2015.06.25

(73) 专利权人 索尼公司

地址 日本东京

审查员 王宝林

(72) 发明人 驹井尚纪 佐佐木直人 小川尚纪

井上孝史 岩元勇人 大冈豊

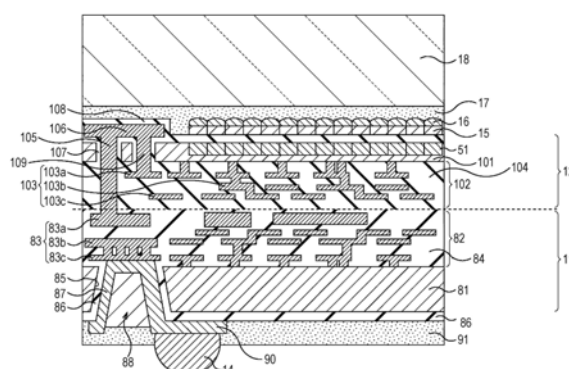
权利要求书3页 说明书55页 附图139页

(54) 发明名称

半导体器件及其制造方法和电子装置

(57) 摘要

一种半导体器件,其包括:第一半导体基板(12)和第二半导体基板(11),在所述第一半导体基板中形成有像素区域(21),所述像素区域内二维布置有进行光电转换的像素部(51),在所述第二半导体基板中形成有逻辑电路,所述逻辑电路处理从所述像素部输出的像素信号,所述第一半导体基板与所述第二半导体基板被层叠。在所述第一半导体基板的所述像素区域内的片上透镜(16)上布置有保护所述片上透镜的保护基板(18),所述片上透镜与所述保护基板之间插入有密封树脂(17)。



1. 一种半导体器件,其包括:

第一半导体基板和第二半导体基板,在所述第一半导体基板中形成有像素区域,在所述像素区域内二维布置有进行光电转换的像素部,在所述第二半导体基板中形成有用于处理从所述像素部输出的像素信号的逻辑电路,所述第一半导体基板与所述第二半导体基板被层叠,

其中,在所述第一半导体基板的所述像素区域内的片上透镜上布置有用于保护所述片上透镜的保护基板,在所述保护基板与所述片上透镜之间设置有密封树脂,以此形成无腔结构,

其中,所述半导体器件还包括:

电极部,所述电极部用于将所述像素信号输出至所述半导体器件的外部;

第一贯通电极,所述第一贯通电极贯穿所述第二半导体基板且电连接至所述第二半导体基板的配线层;

第二贯通电极,所述第二贯通电极贯穿所述第二半导体基板以及所述第二半导体基板的所述配线层且电连接至所述第一半导体基板的配线层;

连接配线,所述连接配线形成在所述第二半导体基板的下侧上并且将所述第一贯通电极电连接至所述第二贯通电极,和

重新配线,所述重新配线将所述电极部电连接至所述连接配线。

2. 根据权利要求1所述的半导体器件,其中,所述第一半导体基板与所述第二半导体基板的层叠结构包括彼此接触的所述第一半导体基板的所述配线层和所述第二半导体基板的所述配线层。

3. 根据权利要求1所述的半导体器件,其中,在形成有所所述第二半导体基板的所述电极部的表面上形成有焊接掩模,并且所述焊接掩模不被形成在形成有所所述电极部的区域内。

4. 根据权利要求1所述的半导体器件,其中,在形成有所所述第二半导体基板的所述电极部的表面上形成有绝缘膜,并且所述绝缘膜不被形成在形成有所所述电极部的区域内。

5. 根据权利要求2所述的半导体器件,

其中,所述第一半导体基板的所述配线层与所述第二半导体基板的所述配线层通过所述配线层中的一者或多者的金属接合而被连接。

6. 根据权利要求5所述的半导体器件,还包括:

虚拟配线,所述虚拟配线在与所述重新配线相同的层中不与任何配线层电连接。

7. 根据权利要求2所述的半导体器件,还包括:

连接导体,所述连接导体将所述重新配线连接至所述连接配线。

8. 根据权利要求1所述的半导体器件,其中,所述第一半导体基板与所述第二半导体基板被构造为使得两者的配线层彼此面对。

9. 根据权利要求1所述的半导体器件,其中,所述第一半导体基板与所述第二半导体基板被构造为所述第一半导体基板的配线层侧面对所述第二半导体基板的与配线层侧相反的表面。

10. 根据权利要求1所述的半导体器件,其中,所述电极部安装在形成于所述重新配线上的焊盘部上。

11. 根据权利要求1所述的半导体器件,其中,在所述重新配线的外部形成有阻挡金属

膜,所述阻挡金属膜减少与所述电极部的材料的反应。

12.根据权利要求1所述的半导体器件,其中,所述重新配线的至少一部分形成于所述第二半导体基板的凹槽内。

13.根据权利要求1所述的半导体器件,其中,形成有配线层的第三半导体基板被插入在所述第一半导体基板与所述第二半导体基板之间以使所述半导体器件包括三层半导体基板。

14.根据权利要求13所述的半导体器件,其中,所述第三半导体基板被插入在所述第一半导体基板与所述第二半导体基板之间,以使形成于所述第三半导体基板中的配线层面对所述第一半导体基板的所述配线层。

15.根据权利要求13所述的半导体器件,其中,所述第三半导体基板被插入在所述第一半导体基板与所述第二半导体基板之间,以使形成于所述第三半导体基板的配线层面对所述第二半导体基板的所述配线层。

16.根据权利要求13所述的半导体器件,其中,所述第三半导体基板包括存储电路。

17.根据权利要求16所述的半导体器件,其中,所述存储电路存储所述像素区域内产生的信号和表示经过所述逻辑电路处理的像素信号的数据中的至少一者。

18.一种半导体器件的制造方法,所述方法包括:

连接形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板,以使两者的配线层彼此面对;

形成电连接至所述第一配线层和所述第二配线层的贯通电极,其中,所述贯通电极包括第一贯通电极和第二贯通电极,所述第一贯通电极贯穿所述第二半导体基板且电连接至所述第二配线层,所述第二贯通电极贯穿所述第二半导体基板以及所述第二配线层且电连接至所述第一配线层;

在所述第二半导体基板的下侧上形成连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;

形成滤色器和片上透镜;

通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上,以此形成无腔结构,其中,所述密封树脂设置在所述保护基板和所述片上透镜之间;且

其中,所述方法还包括形成重新配线,所述重新配线将电极部电连接至所述连接配线,所述电极部用于将来自所述半导体器件的信号输出到所述半导体器件的外部。

19.一种半导体器件的制造方法,所述方法包括:

在形成有第一配线层的第一半导体基板上,在与形成有所述第一半导体基板的所述第一配线层的一侧相反的表面形成滤色器和片上透镜;

形成贯穿形成有第二配线层的第二半导体基板的贯通电极,其中,所述贯通电极包括第一贯通电极和第二贯通电极,所述第一贯通电极贯穿所述第二半导体基板且电连接至所述第二配线层,所述第二贯通电极贯穿所述第二半导体基板以及所述第二配线层且电连接至所述第一配线层;

在所述第二半导体基板的下侧上形成连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;且

将形成有所述滤色器和所述片上透镜的第一半导体基板连接至形成有所述贯通电极

的第二半导体基板以使两者的配线层彼此面对，

其中，通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上，以此形成无腔结构，所述密封树脂设置在所述保护基板和所述片上透镜之间，

所述方法还包括形成重新配线，所述重新配线将电极部电连接至所述连接配线，所述电极部用于将来自所述半导体器件的信号输出到所述半导体器件的外部。

20. 一种电子装置，其包括：

半导体器件，所述半导体器件是如权利要求1至17中任一项所述的半导体器件。

半导体器件及其制造方法和电子装置

技术领域

[0001] 本发明涉及半导体器件及其制造方法和电子装置,更加特别地,涉及被构造为进一步小型化的半导体器件及其制造方法和电子装置。

[0002] <相关申请的交叉参考>

[0003] 本申请主张享有于2013年12月19日提交的日本优先权专利申请JP 2013-262099和2014年5月14日提交的日本优先权专利申请JP 2014-100182的优先权,并且将这些日本优先权申请的全部内容以引用的方式并入本文。

背景技术

[0004] 响应于半导体器件的小型化的需求,已经实现了晶圆级CSP(Chip Size Package, 芯片尺寸封装),为此半导体器件被小型化至芯片尺寸。

[0005] 作为固态成像器件的晶圆级CSP,已经提出了这样的结构:其中,形成有滤色器或片上透镜的表面型固态成像器件被粘贴至具有空腔结构的玻璃,贯通孔和重新配线(rewiring)从硅基板的一侧形成,并且安装有焊料球(例如,参见PTL 1)。

[0006] 引用列表

[0007] 专利文献

[0008] PTL 1:公开号为2009-158862的日本待审查专利申请

发明内容

[0009] 技术问题

[0010] 表面型固态成像器件具有这样的结构:其中,排列着用于进行光电转换的像素部的像素区域以及用于进行控制的周边电路被布置在平面方向。在一些情况下,除了周边电路以外,进行像素信号处理的图像处理单元等也布置在平面方向。即使当表面型固态成像器件具有晶圆级CSP 结构,由于固态成像器件具有至少含有周边电路的平面面积的封装尺寸这一事实而存在着对面积减小的限制。

[0011] 鉴于这样的情况,设计出本发明且期望使半导体器件进一步小型化。

[0012] 问题的解决方案

[0013] 根据本发明的第一实施例,提供了一种半导体器件,其包括第一半导体基板和第二半导体基板,在所述第一半导体基板中形成有像素区域,所述像素区域内二维布置着进行光电转换的像素部,在所述第二半导体基板中形成有逻辑电路,所述逻辑电路处理从所述像素部输出的像素信号,所述第一与所述第二半导体基板被层叠。在所述第一半导体基板的所述像素区域内的片上透镜上设置用于保护所述片上透镜的保护基板,所述片上透镜与所述保护基板之间插入有密封树脂。

[0014] 根据本发明的第二实施例,提供了一种半导体器件的制造方法。所述方法包括:连接形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板以使两者的配线层彼此面对;形成电连接至所述第一配线层和所述第二配线层的贯通电极;形成滤

色器和片上透镜；且通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上。

[0015] 在本发明的第二实施例中，形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板被连接为使得两者的配线层彼此面对，形成有电连接至所述第一配线层和所述第二配线层的贯通电极，形成有滤色器和片上透镜，且保护所述片上透镜的保护基板通过密封树脂被连接至所述片上透镜上。

[0016] 根据本发明的第三实施例，提供了一种半导体器件的制造方法。所述方法包括：在形成有第一配线层的第一半导体基板上，将滤色器和片上透镜形成在与形成有所述第一半导体基板的所述第一配线层的侧相反的表面；形成贯穿形成有第二配线层的第二半导体基板的贯通电极；并且连接形成有所述滤色器和所述片上透镜的第一半导体基板与形成有所述贯通电极的第二半导体基板以使两者的配线层彼此面对。

[0017] 在根据本发明的第三实施例中，在形成有第一配线层的第一半导体基板中，滤色器和片上透镜被形成在与形成有所述第一半导体基板的所述第一配线层的侧相反的表面；在形成有第二配线层的第二半导体基板中，形成有贯穿所述第二半导体基板的贯通电极；且形成有所述滤色器和所述片上透镜的第一半导体基板与形成有所述贯通电极的第二半导体基板被连接为使得两者的配线层彼此面对。

[0018] 根据本发明的第四实施例，提供了一种电子装置，其包括第一半导体基板和第二半导体基板，在所述第一半导体基板中形成有像素区域，所述像素区域内二维布置着进行光电转换的像素部，在所述第二半导体基板中形成有逻辑电路，所述逻辑电路处理从所述像素部输出的像素信号，所述第一半导体基板与所述第二半导体基板被层叠。在所述第一半导体基板的像素区域内的片上透镜上布置有保护所述片上透镜的保护基板，所述片上透镜与所述保护基板之间插入有密封树脂。

[0019] 在本发明的第一至第四实施例中，形成有像素区域的第一半导体基板与形成有逻辑电路的第二半导体基板被构造为是层叠的，在所述像素区域内二维布置着进行光电转换的像素部，所述逻辑电路处理从所述像素部输出的像素信号。在所述第一半导体基板的像素区域内的片上透镜上布置有保护所述片上透镜的保护基板，所述片上透镜与所述保护基板之间插入有密封树脂。

[0020] 所述半导体器件和所述电子装置可以是独立的器件或可以是嵌入其它器件的模块。

[0021] 本发明的有益效果

[0022] 根据本发明的第一至第四实施例，能够进一步小型化半导体器件。

[0023] 不一定局限于这里所述的有益效果，而是可以获得在本说明书中说明的任何有益效果。

附图说明

[0024] 图1是图示了作为根据本发明实施例的半导体器件的固态成像器件的外观的示意图。

[0025] 图2是图示了固态成像器件的基板的说明图。

[0026] 图3图示了层叠基板的电路构造示例。

- [0027] 图4图示了像素的等效电路。
- [0028] 图5图示了层叠基板的详细结构。
- [0029] 图6是图示了根据第一变型例的层叠基板的详细结构的说明图。
- [0030] 图7是图示了根据第二变型例的层叠基板的详细结构的说明图。
- [0031] 图8是图示了根据第三变型例的层叠基板的详细结构的说明图。
- [0032] 图9是图示了根据第四变型例的层叠基板的详细结构的说明图。
- [0033] 图10是图示了根据第五变型例的层叠基板的详细结构的说明图。
- [0034] 图11是图示了根据第六变型例的层叠基板的详细结构的说明图。
- [0035] 图12是图示了根据第七变型例的层叠基板的详细结构的说明图。
- [0036] 图13是图示了根据第八变型例的层叠基板的详细结构的说明图。
- [0037] 图14是图示了根据第九变型例的层叠基板的详细结构的说明图。
- [0038] 图15是图示了固态成像器件的面对背结构的截面图。
- [0039] 图16是图示了图15的固态成像器件的第一制造方法的说明图。
- [0040] 图17是图示了图15的固态成像器件的第一制造方法的说明图。
- [0041] 图18是图示了图15的固态成像器件的第一制造方法的说明图。
- [0042] 图19是图示了图15的固态成像器件的第一制造方法的说明图。
- [0043] 图20是图示了图15的固态成像器件的第一制造方法的说明图。
- [0044] 图21是图示了图15的固态成像器件的第一制造方法的说明图。
- [0045] 图22是图示了图15的固态成像器件的第一制造方法的说明图。
- [0046] 图23是图示了图15的固态成像器件的第一制造方法的说明图。
- [0047] 图24是图示了图15的固态成像器件的第一制造方法的说明图。
- [0048] 图25是图示了图15的固态成像器件的第一制造方法的说明图。
- [0049] 图26是图示了图15的固态成像器件的第一制造方法的说明图。
- [0050] 图27是图示了图15的固态成像器件的第一制造方法的说明图。
- [0051] 图28是图示了图15的固态成像器件的第一制造方法的说明图。
- [0052] 图29是图示了图15的固态成像器件的第一制造方法的说明图。
- [0053] 图30是图示了图15的固态成像器件的第一制造方法的说明图。
- [0054] 图31是图示了图15的固态成像器件的第二制造方法的说明图。
- [0055] 图32是图示了图15的固态成像器件的第二制造方法的说明图。
- [0056] 图33是图示了图15的固态成像器件的第二制造方法的说明图。
- [0057] 图34是图示了图15的固态成像器件的第二制造方法的说明图。
- [0058] 图35是图示了图15的固态成像器件的第二制造方法的说明图。
- [0059] 图36是图示了图15的固态成像器件的第二制造方法的说明图。
- [0060] 图37是图示了图15的固态成像器件的第二制造方法的说明图。
- [0061] 图38是图示了图15的固态成像器件的第二制造方法的说明图。
- [0062] 图39是图示了图15的固态成像器件的第二制造方法的说明图。
- [0063] 图40是图示了图15的固态成像器件的第二制造方法的说明图。
- [0064] 图41是图示了图15的固态成像器件的第二制造方法的说明图。
- [0065] 图42是图示了图15的固态成像器件的第二制造方法的说明图。

- [0066] 图43是图示了图15的固态成像器件的第二制造方法的说明图。
- [0067] 图44是图示了图15的固态成像器件的第三制造方法的说明图。
- [0068] 图45是图示了图15的固态成像器件的第三制造方法的说明图。
- [0069] 图46是图示了图15的固态成像器件的第三制造方法的说明图。
- [0070] 图47是图示了图15的固态成像器件的第三制造方法的说明图。
- [0071] 图48是图示了图15的固态成像器件的第三制造方法的说明图。
- [0072] 图49是图示了图15的固态成像器件的第三制造方法的说明图。
- [0073] 图50是图示了根据变型例的重新配线的说明图。
- [0074] 图51A是图示了根据变型例的重新配线的说明图。
- [0075] 图51B是图示了根据变型例的重新配线的说明图。
- [0076] 图51C是图示了根据变型例的重新配线的说明图。
- [0077] 图52A是图示了根据变型例的重新配线的说明图。
- [0078] 图52B是图示了根据变型例的重新配线的说明图。
- [0079] 图52C是图示了根据变型例的重新配线的说明图。
- [0080] 图52D是图示了根据变型例的重新配线的说明图。
- [0081] 图53是图示了根据变型例的重新配线的说明图。
- [0082] 图54A是图示了根据变型例的重新配线的说明图。
- [0083] 图54B是图示了根据变型例的重新配线的说明图。
- [0084] 图54C是图示了根据变型例的重新配线的说明图。
- [0085] 图54D是图示了根据变型例的重新配线的说明图。
- [0086] 图54E是图示了根据变型例的重新配线的说明图。
- [0087] 图55是图示了图5的固态成像器件的制造方法的说明图。
- [0088] 图56是图示了图5的固态成像器件的制造方法的说明图。
- [0089] 图57是图示了图5的固态成像器件的制造方法的说明图。
- [0090] 图58是图示了图5的固态成像器件的制造方法的说明图。
- [0091] 图59是图示了图5的固态成像器件的制造方法的说明图。
- [0092] 图60是图示了图5的固态成像器件的制造方法的说明图。
- [0093] 图61是图示了图5的固态成像器件的制造方法的说明图。
- [0094] 图62是图示了图5的固态成像器件的制造方法的说明图。
- [0095] 图63是图示了图5的固态成像器件的制造方法的说明图。
- [0096] 图64是图示了图5的固态成像器件的制造方法的说明图。
- [0097] 图65是图示了图5的固态成像器件的制造方法的说明图。
- [0098] 图66A是图示了图6的第一变型例的第一制造方法的说明图。
- [0099] 图66B是图示了图6的第一变型例的第一制造方法的说明图。
- [0100] 图66C是图示了图6的第一变型例的第一制造方法的说明图。
- [0101] 图66D是图示了图6的第一变型例的第一制造方法的说明图。
- [0102] 图67A是图示了图6的第一变型例的第一制造方法的说明图。
- [0103] 图67B是图示了图6的第一变型例的第一制造方法的说明图。
- [0104] 图67C是图示了图6的第一变型例的第一制造方法的说明图。

- [0105] 图68A是图示了图6的第一变型例的第二制造方法的说明图。
- [0106] 图68B是图示了图6的第一变型例的第二制造方法的说明图。
- [0107] 图68C是图示了图6的第一变型例的第二制造方法的说明图。
- [0108] 图68D是图示了图6的第一变型例的第二制造方法的说明图。
- [0109] 图69A是图示了图6的第一变型例的第二制造方法的说明图。
- [0110] 图69B是图示了图6的第一变型例的第二制造方法的说明图。
- [0111] 图69C是图示了图6的第一变型例的第二制造方法的说明图。
- [0112] 图70A是图示了图6的第一变型例的第二制造方法的说明图。
- [0113] 图70B是图示了图6的第一变型例的第二制造方法的说明图。
- [0114] 图70C是图示了图6的第一变型例的第二制造方法的说明图。
- [0115] 图71A是图示了图6的第一变型例的第二制造方法的变型例的说明图。
- [0116] 图71B是图示了图6的第一变型例的第二制造方法的变型例的说明图。
- [0117] 图72A是图示了图6的第一变型例的第三制造方法的说明图。
- [0118] 图72B是图示了图6的第一变型例的第三制造方法的说明图。
- [0119] 图72C是图示了图6的第一变型例的第三制造方法的说明图。
- [0120] 图72D是图示了图6的第一变型例的第三制造方法的说明图。
- [0121] 图73A是图示了图6的第一变型例的第三制造方法的说明图。
- [0122] 图73B是图示了图6的第一变型例的第三制造方法的说明图。
- [0123] 图73C是图示了图6的第一变型例的第三制造方法的说明图。
- [0124] 图73D是图示了图6的第一变型例的第三制造方法的说明图。
- [0125] 图74A是图示了图6的第一变型例的第四制造方法的说明图。
- [0126] 图74B是图示了图6的第一变型例的第四制造方法的说明图。
- [0127] 图74C是图示了图6的第一变型例的第四制造方法的说明图。
- [0128] 图74D是图示了图6的第一变型例的第四制造方法的说明图。
- [0129] 图75A是图示了图6的第一变型例的第四制造方法的说明图。
- [0130] 图75B是图示了图6的第一变型例的第四制造方法的说明图。
- [0131] 图75C是图示了图6的第一变型例的第四制造方法的说明图。
- [0132] 图75D是图示了图6的第一变型例的第四制造方法的说明图。
- [0133] 图76A是图示了图6的第一变型例的第五制造方法的说明图。
- [0134] 图76B是图示了图6的第一变型例的第五制造方法的说明图。
- [0135] 图76C是图示了图6的第一变型例的第五制造方法的说明图。
- [0136] 图76D是图示了图6的第一变型例的第五制造方法的说明图。
- [0137] 图77A是图示了图6的第一变型例的第五制造方法的说明图。
- [0138] 图77B是图示了图6的第一变型例的第五制造方法的说明图。
- [0139] 图77C是图示了图6的第一变型例的第五制造方法的说明图。
- [0140] 图78A是图示了图6的第一变型例的第六制造方法的说明图。
- [0141] 图78B是图示了图6的第一变型例的第六制造方法的说明图。
- [0142] 图78C是图示了图6的第一变型例的第六制造方法的说明图。
- [0143] 图78D是图示了图6的第一变型例的第六制造方法的说明图。

- [0144] 图79A是图示了图6的第一变型例的第六制造方法的说明图。
- [0145] 图79B是图示了图6的第一变型例的第六制造方法的说明图。
- [0146] 图79C是图示了图6的第一变型例的第六制造方法的说明图。
- [0147] 图80A是图示了图6的第一变型例的第六制造方法的说明图。
- [0148] 图80B是图示了图6的第一变型例的第六制造方法的说明图。
- [0149] 图80C是图示了图6的第一变型例的第六制造方法的说明图。
- [0150] 图81A是图示了图7的第二变型例的第一制造方法的说明图。
- [0151] 图81B是图示了图7的第二变型例的第一制造方法的说明图。
- [0152] 图81C是图示了图7的第二变型例的第一制造方法的说明图。
- [0153] 图81D是图示了图7的第二变型例的第一制造方法的说明图。
- [0154] 图82A是图示了图7的第二变型例的第一制造方法的说明图。
- [0155] 图82B是图示了图7的第二变型例的第一制造方法的说明图。
- [0156] 图82C是图示了图7的第二变型例的第一制造方法的说明图。
- [0157] 图82D是图示了图7的第二变型例的第一制造方法的说明图。
- [0158] 图83A是图示了图7的第二变型例的第二制造方法的说明图。
- [0159] 图83B是图示了图7的第二变型例的第二制造方法的说明图。
- [0160] 图83C是图示了图7的第二变型例的第二制造方法的说明图。
- [0161] 图83D是图示了图7的第二变型例的第二制造方法的说明图。
- [0162] 图84A是图示了图7的第二变型例的第二制造方法的说明图。
- [0163] 图84B是图示了图7的第二变型例的第二制造方法的说明图。
- [0164] 图84C是图示了图7的第二变型例的第二制造方法的说明图。
- [0165] 图85A是图示了图7的第二变型例的第二制造方法的说明图。
- [0166] 图85B是图示了图7的第二变型例的第二制造方法的说明图。
- [0167] 图85C是图示了图7的第二变型例的第二制造方法的说明图。
- [0168] 图86A是图示了图8的第三变型例的制造方法的说明图。
- [0169] 图86B是图示了图8的第三变型例的制造方法的说明图。
- [0170] 图86C是图示了图8的第三变型例的制造方法的说明图。
- [0171] 图86D是图示了图8的第三变型例的制造方法的说明图。
- [0172] 图87A是图示了图8的第三变型例的制造方法的说明图。
- [0173] 图87B是图示了图8的第三变型例的制造方法的说明图。
- [0174] 图87C是图示了图8的第三变型例的制造方法的说明图。
- [0175] 图87D是图示了图8的第三变型例的制造方法的说明图。
- [0176] 图88A是图示了图9的第四变型例的制造方法的说明图。
- [0177] 图88B是图示了图9的第四变型例的制造方法的说明图。
- [0178] 图88C是图示了图9的第四变型例的制造方法的说明图。
- [0179] 图88D是图示了图9的第四变型例的制造方法的说明图。
- [0180] 图89A是图示了图9的第四变型例的制造方法的说明图。
- [0181] 图89B是图示了图9的第四变型例的制造方法的说明图。
- [0182] 图89C是图示了图9的第四变型例的制造方法的说明图。

- [0183] 图89D是图示了图9的第四变型例的制造方法的说明图。
- [0184] 图90A是图示了图10的第五变型例的制造方法的说明图。
- [0185] 图90B是图示了图10的第五变型例的制造方法的说明图。
- [0186] 图90C是图示了图10的第五变型例的制造方法的说明图。
- [0187] 图90D是图示了图10的第五变型例的制造方法的说明图。
- [0188] 图91A是图示了图10的第五变型例的制造方法的说明图。
- [0189] 图91B是图示了图10的第五变型例的制造方法的说明图。
- [0190] 图91C是图示了图10的第五变型例的制造方法的说明图。
- [0191] 图91D是图示了图10的第五变型例的制造方法的说明图。
- [0192] 图92A是图示了图10的第五变型例的制造方法的说明图。
- [0193] 图92B是图示了图10的第五变型例的制造方法的说明图。
- [0194] 图92C是图示了图10的第五变型例的制造方法的说明图。
- [0195] 图92D是图示了图10的第五变型例的制造方法的说明图。
- [0196] 图93A是图示了图11的第六变型例的制造方法的说明图。
- [0197] 图93B是图示了图11的第六变型例的制造方法的说明图。
- [0198] 图93C是图示了图11的第六变型例的制造方法的说明图。
- [0199] 图94A是图示了图11的第六变型例的制造方法的说明图。
- [0200] 图94B是图示了图11的第六变型例的制造方法的说明图。
- [0201] 图94C是图示了图11的第六变型例的制造方法的说明图。
- [0202] 图95A是图示了图12的第七变型例的制造方法的说明图。
- [0203] 图95B是图示了图12的第七变型例的制造方法的说明图。
- [0204] 图95C是图示了图12的第七变型例的制造方法的说明图。
- [0205] 图96A是图示了图12的第七变型例的制造方法的说明图。
- [0206] 图96B是图示了图12的第七变型例的制造方法的说明图。
- [0207] 图96C是图示了图12的第七变型例的制造方法的说明图。
- [0208] 图97A是图示了图13的第八变型例的制造方法的说明图。
- [0209] 图97B是图示了图13的第八变型例的制造方法的说明图。
- [0210] 图97C是图示了图13的第八变型例的制造方法的说明图。
- [0211] 图98A是图示了图13的第八变型例的制造方法的说明图。
- [0212] 图98B是图示了图13的第八变型例的制造方法的说明图。
- [0213] 图98C是图示了图13的第八变型例的制造方法的说明图。
- [0214] 图99A是图示了图13的第八变型例的制造方法的说明图。
- [0215] 图99B是图示了图13的第八变型例的制造方法的说明图。
- [0216] 图99C是图示了图13的第八变型例的制造方法的说明图。
- [0217] 图100A是图示了图13的第八变型例的制造方法的说明图。
- [0218] 图100B是图示了图13的第八变型例的制造方法的说明图。
- [0219] 图100C是图示了图13的第八变型例的制造方法的说明图。
- [0220] 图101A是图示了图14的第九变型例的制造方法的说明图。
- [0221] 图101B是图示了图14的第九变型例的制造方法的说明图。

- [0222] 图101C是图示了图14的第九变型例的制造方法的说明图。
- [0223] 图102A是图示了图14的第九变型例的制造方法的说明图。
- [0224] 图102B是图示了图14的第九变型例的制造方法的说明图。
- [0225] 图102C是图示了图14的第九变型例的制造方法的说明图。
- [0226] 图102D是图示了图14的第九变型例的制造方法的说明图。
- [0227] 图103A是图示了图14的第九变型例的制造方法的说明图。
- [0228] 图103B是图示了图14的第九变型例的制造方法的说明图。
- [0229] 图103C是图示了图14的第九变型例的制造方法的说明图。
- [0230] 图104是图示了根据第十变型例的层叠基板的详细结构的说明图。
- [0231] 图105A是图示了图15的第十变型例的第一制造方法的说明图。
- [0232] 图105B是图示了图15的第十变型例的第一制造方法的说明图。
- [0233] 图105C是图示了图15的第十变型例的第一制造方法的说明图。
- [0234] 图105D是图示了图15的第十变型例的第一制造方法的说明图。
- [0235] 图105E是图示了图15的第十变型例的第一制造方法的说明图。
- [0236] 图106A是图示了图15的第十变型例的第一制造方法的说明图。
- [0237] 图106B是图示了图15的第十变型例的第一制造方法的说明图。
- [0238] 图106C是图示了图15的第十变型例的第一制造方法的说明图。
- [0239] 图106D是图示了图15的第十变型例的第一制造方法的说明图。
- [0240] 图106E是图示了图15的第十变型例的第一制造方法的说明图。
- [0241] 图107A是图示了图15的第十变型例的第一制造方法的说明图。
- [0242] 图107B是图示了图15的第十变型例的第一制造方法的说明图。
- [0243] 图107C是图示了图15的第十变型例的第一制造方法的说明图。
- [0244] 图107D是图示了图15的第十变型例的第一制造方法的说明图。
- [0245] 图107E是图示了图15的第十变型例的第一制造方法的说明图。
- [0246] 图108A是图示了图15的第十变型例的第二制造方法的说明图。
- [0247] 图108B是图示了图15的第十变型例的第二制造方法的说明图。
- [0248] 图108C是图示了图15的第十变型例的第二制造方法的说明图。
- [0249] 图108D是图示了图15的第十变型例的第二制造方法的说明图。
- [0250] 图108E是图示了图15的第十变型例的第二制造方法的说明图。
- [0251] 图109A是图示了图15的第十变型例的第二制造方法的说明图。
- [0252] 图109B是图示了图15的第十变型例的第二制造方法的说明图。
- [0253] 图109C是图示了图15的第十变型例的第二制造方法的说明图。
- [0254] 图109D是图示了图15的第十变型例的第二制造方法的说明图。
- [0255] 图109E是图示了图15的第十变型例的第二制造方法的说明图。
- [0256] 图110A是图示了图15的第十变型例的第二制造方法的说明图。
- [0257] 图110B是图示了图15的第十变型例的第二制造方法的说明图。
- [0258] 图110C是图示了图15的第十变型例的第二制造方法的说明图。
- [0259] 图110D是图示了图15的第十变型例的第二制造方法的说明图。
- [0260] 图110E是图示了图15的第十变型例的第二制造方法的说明图。

- [0261] 图111A是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0262] 图111B是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0263] 图111C是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0264] 图111D是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0265] 图111E是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0266] 图112A是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0267] 图112B是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0268] 图112C是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0269] 图112D是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0270] 图112E是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0271] 图113A是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0272] 图113B是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0273] 图113C是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0274] 图113D是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0275] 图113E是图示了具有常规背面照射型结构的固态成像器件的制造方法的说明图。
- [0276] 图114A图示了固态成像器件的三层式层叠基板的总体构造。
- [0277] 图114B图示了固态成像器件的三层式层叠基板的总体构造。
- [0278] 图115A是图示了三层式层叠基板的构造的说明图。
- [0279] 图115B是图示了三层式层叠基板的构造的说明图。
- [0280] 图115C是图示了三层式层叠基板的构造的说明图。
- [0281] 图116A是图示了三层式层叠基板的构造的说明图。
- [0282] 图116B是图示了三层式层叠基板的构造的说明图。
- [0283] 图116C是图示了三层式层叠基板的构造的说明图。
- [0284] 图117A是图示了三层式层叠基板的构造的说明图。
- [0285] 图117B是图示了三层式层叠基板的构造的说明图。
- [0286] 图117C是图示了三层式层叠基板的构造的说明图。
- [0287] 图118是图示了三层式层叠基板的构造的说明图。
- [0288] 图119是图示了作为根据本发明实施例的电子装置的成像装置的构造示例的框图。

具体实施方式

[0289] 以下,将说明用于实现本发明的实施方式(以下被称为实施例)。将以下面的顺序做出说明。

- [0290] 1. 固态成像器件的总体构造
- [0291] 2. 固态成像器件的第一基本结构示例
- [0292] 3. 固态成像器件的第一至第九变型结构示例
- [0293] 4. 固态成像器件的第二基本结构示例
- [0294] 5. 第二基本结构的制造方法
- [0295] 6. 第一基本结构的制造方法

[0296] 7.第十变型例

[0297] 8.第十变型例的制造方法

[0298] 9.三层式层叠基板的构造示例

[0299] 10.应用于电子装置的应用示例

[0300] <1.固态成像器件的总体构造>

[0301] <外观的示意图>

[0302] 图1是图示了根据本发明实施例的作为半导体器件的固态成像器件的外观的示意图。

[0303] 图1所示的固态成像器件1是封装有层叠基板13的半导体封装,该层叠基板13通过层叠下基板11和上基板12构成。

[0304] 在下基板11中,形成有多个焊料球14,它们是与外部基板(未图示)电连接的背面膜电极。

[0305] 在上基板12的上表面形成有R(红色)、G(绿色)或B(蓝色)滤色器15和片上透镜16。上基板12连接至保护片上透镜16的玻璃保护基板18,上基板12与玻璃保护基板18之间设置有具有无腔结构的玻璃密封树脂17。

[0306] 例如,如图2A所示,以二维的方式排列有用于进行光电转换的像素部的像素区域21以及用于控制像素部的控制电路22形成于上基板12。逻辑电路23(诸如对像素部输出的像素信号进行处理的信号处理电路等)形成于下基板11。

[0307] 可替代地,如图2B所示,可以实现这样的构造:仅像素区域21形成于上基板12,且控制电路22和逻辑电路23形成于下基板11。

[0308] 如上所述,与像素区域21、控制电路22和逻辑电路23被布置在一个半导体基板的平面方向的情况相比,通过将逻辑电路23这一者或控制电路22和逻辑电路23这两者形成且层叠于与像素区域21的上基板12不同的下基板11,能够使固态成像器件1的尺寸小型化。

[0309] 以下,在说明中,将至少形成有像素区域21的上基板12称为像素传感器基板12且将至少形成有逻辑电路23的下基板11称为逻辑基板 11。

[0310] <层叠基板的构造示例>

[0311] 图3图示了层叠基板13的电路构造示例。

[0312] 层叠基板13包括像素阵列单元33(其中,以二维阵列形式布置有像素32)、垂直驱动电路34、列信号处理电路35、水平驱动电路36、输出电路37、控制电路38和输入/输出端子39。

[0313] 像素32包括用作光电转换元件的光电二极管以及多个像素晶体管。下面将参照图4说明像素32的电路构造示例。

[0314] 像素32也能够具有像素共用结构。像素共用结构由多个光电二极管、多个传输晶体管、一个共用浮动扩散(浮动扩散区域)以及彼此共用的像素晶体管形成。即,共用像素被构造为使得形成多个单位像素的光电二极管和传输晶体管彼此共用像素晶体管。

[0315] 控制电路38接收对操作模式等进行指示的输入时钟和数据,且输出层叠基板13的内部数据等的的数据。即,根据垂直同步信号、水平同步信号和主时钟,控制电路38产生用作垂直驱动电路34、列信号处理电路 35和水平驱动电路36等的操作基准的时钟信号或控制信号。然后,控制电路38将产生的时钟信号或控制信号输出至垂直驱动电路34、列信号处理

电路35和水平驱动电路36等。

[0316] 垂直驱动电路34包括例如移位寄存器,选择预定的像素驱动配线 40,将用来驱动像素32的脉冲供给至被选择的像素驱动配线40,并且以行为单位驱动像素32。即,垂直驱动电路34在垂直方向上以行为单位地依次选择性地扫描像素阵列单元33的像素32,并且经由垂直信号线41 将基于根据各像素32的光电转换部接收的光量而产生的信号电荷的像素信号供给至列信号处理电路35。

[0317] 列信号处理电路35布置在像素32的各列,并且针对各像素列对从与一行相对应的像素32输出的信号进行例如去噪等信号处理。例如,列信号处理电路35进行诸如相关双采样(CDS)和AD转换等信号处理以去除像素独有的固定图形噪声。

[0318] 水平驱动电路36包括例如移位寄存器等,通过顺序地输出水平扫描脉冲来顺序地选择列信号处理电路35,并且将来自各列信号处理电路35 的像素信号输出至水平信号线42。

[0319] 输出电路37对经由水平信号线42从列信号处理电路35顺序地供给来的信号进行信号处理且输出处理过的信号。例如,输出电路37在一些情况下仅进行缓冲或在一些情况下进行黑电平调整、列变化校正和各种类型的数字信号处理等。输入/输出端子39将信号传送至外部并且接收来自外部的信号。

[0320] 具有上述构造的层叠基板13是被称为列AD型的CMOS图像传感器,其中,进行CDS处理和AD转换处理的列信号处理电路35被布置于各像素列。

[0321] <像素的电路构造示例>

[0322] 图4图示了像素32的等效电路。

[0323] 图4所示的像素32具有实现电子全局快门功能的构造。

[0324] 像素32包括作为光电转换元件的光电二极管51、第一传输晶体管 52、存储部(MEM) 53、第二传输晶体管54、FD(浮动扩散区域) 55、复位晶体管56、放大晶体管57、选择晶体管58和放电晶体管59。

[0325] 光电二极管51是光电转换部,其产生并累积根据受光量的电荷(信号电荷)。光电二极管51的阳极端子接地且它的阴极端子经由第一传输晶体管52连接至存储部53。光电二极管51的阴极端子也连接至用来排放不必要电荷的放电晶体管59。

[0326] 当传输信号TRX开启电源时,第一传输晶体管52读取光电二极管 51产生的电荷且将电荷传输至存储部53。存储部53是这样的电荷保持部:暂时保持电荷直至电荷被传输至FD 55。

[0327] 当传输信号TRG开启电源时,第二传输晶体管54读取保持于存储部53中的电荷且将所述电荷传输至FD 55。

[0328] FD 55是这样的电荷保持部:其保持从存储部53读取的电荷以将所述电荷读取作为信号。当复位信号RST开启电源时,复位晶体管56通过将保存于FD 55的电荷排出至恒压源VDD来使FD 55的电势复位。

[0329] 放大晶体管57输出根据FD 55的电势的像素信号。即,放大晶体管 57形成用作恒流源和源极跟随器电路的负载MOS 60。表示根据保存于 FD 55中的电荷的电平的像素信号经由选择晶体管58从放大晶体管57 输出至列信号处理电路35(参见图3)。例如,负载MOS 60被布置在列信号处理电路35内。

[0330] 当通过选择信号SEL选择像素32时,选择晶体管58导通且经由垂直信号线41将像素32的像素信号输出至列信号处理电路35。

[0331] 当放电信号0FG开启电源时,放电晶体管59将存储于光电二极管 51中的不必要电荷排出至恒压源VDD。

[0332] 传输信号TRX和TRG、复位信号RST、放电信号0FG和选择信号SEL是经由像素驱动配线40而从垂直驱动电路34供给来的。

[0333] 将简要地说明像素32的操作。

[0334] 首先,当曝光开始前具有高电平的放电信号0FG供给至放电晶体管 59时,放电晶体管59导通,累积于光电二极管51中的电荷被排放至恒压源VDD且所有像素的光电二极管51被复位。

[0335] 当在光电二极管51复位之后具有低电平的放电信号0FG使放电晶体管59截止时,像素阵列单元33的所有像素的曝光开始。

[0336] 当经过了事先决定的预定曝光时间时,在像素阵列单元33的所有像素中,传输信号TRX导通第一传输晶体管52,且累积于光电二极管51 中的电荷被传输至存储部53。

[0337] 在第一传输晶体管52截止之后,保持于像素32的存储部53中的电荷以行为单位被顺序地读取至列信号处理电路35。在读取操作中,传输信号TRG导通被读取行的像素32的第二传输晶体管54,且保持于存储部53中的电荷被传输至FD 55。然后,当选择信号SEL导通选择晶体管 58时,表示根据累积于FD 55中的电荷的电平的信号从放大晶体管57 经由选择晶体管58输出至列信号处理电路35。

[0338] 如上所述,含有图4中的像素电路的像素32能够进行根据全局快门方案(即,在像素阵列单元33的所有像素中设定相同的曝光时间,曝光结束后将电荷暂时保持于存储部53中并且以行为单位从存储部53顺序地读取电荷)来进行操作(成像)。

[0339] 像素32的电路构造不限于图4中所示的构造。例如,也能够采用不含有存储部53的根据所谓的卷帘快门方案进行操作的电路构造。

[0340] <2. 固态成像器件的第一基本结构示例>

[0341] 接着,将参照图5说明层叠基板13的详细构造。图5是放大了固态成像器件1的一部分的截面图。

[0342] 在逻辑基板11中,多层式配线层82形成在例如由硅(Si)形成的半导体基板81(以下被称为硅基板81)的上侧(像素传感器基板12侧)。多层式配线层82形成图2中的控制电路22和逻辑电路23。

[0343] 多层式配线层82包括多个配线层83以及形成在各配线层83之间的层间绝缘膜84,多个配线层83包括最接近于像素传感器基板12的最上配线层83a、中间配线层83b和最接近于硅基板81的最下配线层83c。

[0344] 多个配线层83是由例如铜(Cu)、铝(Al)或钨(W)形成的且层间绝缘膜84是由例如氧化硅膜或氮化硅膜形成的。在多个配线层83和层间绝缘膜84中,所有的配线层或所有的层间绝缘膜可以使用相同的材料或可以使用两种或以上的材料。

[0345] 在硅基板81的预定位置,形成有穿过硅基板81的硅贯通孔85以及通过将连接导体87嵌在硅贯通孔85的内壁上形成的硅贯通电极(TSV: Through Silicon Via, 硅通孔)88,硅贯通孔85与硅贯通电极88之间形成有绝缘膜86。绝缘膜86能够由例如SiO₂膜或SiN膜形

成。

[0346] 绝缘膜86和连接导体87沿着图5所示的硅贯通电极88的内壁面形成以便硅贯通孔85的内部是中空的。然而,根据内直径,硅贯通孔85 的整个内部被嵌入至连接导体87。换言之,贯通孔的内部可以嵌入有导体或贯通孔的内部的一部分可以是中空的。同样适用于将在下面说明的芯片贯通电极(TCV:Through Chip Via,芯片通孔)105等。

[0347] 硅贯通电极88的连接导体87连接至形成在硅基板81下表面侧的重新配线90,且重新配线90连接至焊料球14。连接导体87和重新配线90 能够由例如铜(Cu)、钨(W)、钛(Ti)、钽(Ta)、钛钨合金(TiW)或多晶硅形成。

[0348] 在硅基板81的下表面侧,形成有焊接掩模(阻焊剂)91以覆盖除了形成有焊料球14的区域以外的重新配线90和绝缘膜86。

[0349] 另一方面,在像素传感器基板12中,多层式配线层102形成在由硅(Si)形成的半导体基板101(以下被称为硅基板101)的下侧(逻辑基板11侧)。多层式配线层102形成图2中的像素区域21的像素电路。

[0350] 多层式配线层102包括多个配线层103以及形成在各配线层103之间的层间绝缘膜104,配线层103包括最接近于硅基板101的最上层配线层103a、中间配线层103b和最接近于逻辑基板11的最下配线层103c。

[0351] 能够采用上述的配线层83以及层间绝缘膜84的相同材料作为多个配线层103以及层间绝缘膜104使用的材料。一种材料或两种或以上的材料可以用来形成多个配线层103或层间绝缘膜104,这与上述的配线层 83以及层间绝缘膜84相同。

[0352] 在图5的示例中,像素传感器基板12的多层式配线层102包括三层配线层103且逻辑基板11的多层式配线层82包括四层配线层83。然而,配线层的数量不限于此。能够形成任何数量的层。

[0353] 在硅基板101中,由PN结形成的光电二极管51形成于各像素32 中。

[0354] 尽管未图示,但是在多层式配线层102和硅基板101中形成有多个像素晶体管(诸如第一传输晶体管52和第二传输晶体管54等)或存储部(MEM)53等。

[0355] 在硅基板101的未形成有滤色器15和片上透镜16的预定位置处形成有与像素传感器基板12的配线层103a连接的硅贯通电极109和与逻辑基板11的配线层83a连接的芯片贯通电极105。

[0356] 芯片贯通电极105和硅贯通电极109连接至形成在硅基板101的上表面的连接配线106。在硅基板101与硅贯通电极109之间以及硅基板 101与芯片贯通电极105之间形成有绝缘膜107。此外,滤色器15或片上透镜16形成在硅基板101的上表面,在滤色器15或片上透镜16与硅基板101的上表面之间设置有绝缘膜(平坦化膜)108。

[0357] 如上所述,图1所示的固态成像器件1的层叠基板13具有这样的层叠结构:其中,逻辑基板11的多层式配线层82侧与像素传感器基板12 的多层式配线层102侧彼此接合。在图5中,逻辑基板11的多层式配线层82与像素传感器基板12的多层式配线层102之间的粘贴面由虚线表示。

[0358] 在固态成像器件1的层叠基板13中,像素传感器基板12的配线层 103与逻辑基板11的配线层83通过两个贯通电极(即,硅贯通电极109 和芯片贯通电极105)连接,且逻辑基板11的配线层83与焊料球(背面电极)14通过硅贯通电极88和重新配线90连接。因此,能够

将固态成像器件1的平面面积减小至最小。

[0359] 层叠基板13与玻璃保护基板18通过玻璃密封树脂17彼此粘合以此形成无腔结构，且因此也能够减小固态成像器件的高度。

[0360] 因此，能够实现图1所示的固态成像器件1，即进一步小型化的半导体器件（半导体封装）。

[0361] <3. 固态成像器件的第一至第九变型结构示例>

[0362] 接着，将参照图6至图14说明固态成像器件1的层叠基板13的内部结构的其它示例。

[0363] 在图6至图14中，用相同的附图标记标示与图5所示的结构中的部分相对应的部分，并且将适当地省略它们的说明。将通过与上述的结构进行比较来说明与图5所示的结构中的部分不同的部分。以下，将图5所示的结构称为基本结构。在图6至图14中，例如，在一些情况下为了简化说明，未图示出图5所示的结构中的一部分，诸如绝缘膜86、绝缘膜107和绝缘膜108等。

[0364] <第一变型例>

[0365] 图6图示了根据第一变型例的固态成像器件1的层叠基板13。

[0366] 在图5的基本结构中，逻辑基板11与像素传感器基板12使用两个贯通电极（即，硅贯通电极109和芯片贯通电极105）在上侧的像素传感器基板12侧连接。

[0367] 与此相比，在图6的第一变型例中，逻辑基板11与像素传感器基板12使用两个贯通电极（即，硅贯通电极151和芯片贯通电极152）在下侧的逻辑基板11侧连接。

[0368] 更加具体地，与逻辑基板11的配线层83c连接的硅贯通电极151和与像素传感器基板12的配线层103c连接的芯片贯通电极152形成在逻辑基板11侧的硅基板81的预定位置处。通过绝缘膜使硅贯通电极151和芯片贯通电极152（未示出）与基板81绝缘。

[0369] 硅贯通电极151和芯片贯通电极152连接至形成在硅基板81的下表面的连接配线153。连接配线153也连接至与焊料球14连接的重新配线154。

[0370] 在上述的第一变型例中，因为采用逻辑基板11和像素传感器基板12的层叠结构，所以能够使固态成像器件1的封装尺寸小型化。

[0371] 在第一变型例中，将逻辑基板11与像素传感器基板12电连接的连接配线153不是形成在像素传感器基板12的硅基板101的上侧而是形成在逻辑基板11的硅基板81的下侧。因此，由于能够使玻璃保护基板18与层叠基板13之间的具有无腔结构的空间（厚度）最小化，能够实现固态成像器件1的低背部。

[0372] <第二变型例>

[0373] 图7图示了根据第二变型例的固态成像器件1的层叠基板13。

[0374] 在第二变型例中，逻辑基板11与像素传感器基板12通过配线层的金属接合来连接。

[0375] 更加具体地，逻辑基板11的多层式配线层82中的最上配线层83a与像素传感器基板12的多层式配线层102中的最下配线层103c通过金属接合来连接。例如，铜（Cu）适合于配线层83a和配线层103c的材料。在图7的示例中，配线层83a和配线层103c仅形成在逻辑基板11与像素传感器基板12的接合面的一部分。然而，金属（铜）层可以作为接合配线层而形成于接合面的整个表面。

[0376] 在图7中,简单地图示了示意图以与图5进行比较。然而,与图5 的基本结构一样,逻辑基板11中的配线层83和焊料球14通过硅贯通电极88和重新配线90连接。

[0377] <第三变型例>

[0378] 图8图示了根据第三变型例的固态成像器件1的层叠基板13。

[0379] 在第三变型例中,逻辑基板11与像素传感器基板12的连接方法与图6所述的第一变型例中的连接方法相同。即,逻辑基板11与像素传感器基板12通过硅贯通电极151、芯片贯通电极152和连接配线153来连接。

[0380] 第三变型例与第一变型例的不同之处在于:在连接至焊料球14的重新配线154与将硅贯通电极151和芯片贯通电极152连接的连接配线153 之间在深度方向上形成有连接导体171。连接导体171将连接配线153 连接至重新配线154。

[0381] <第四变型例>

[0382] 图9图示了根据第四变型例的固态成像器件1的层叠基板13。

[0383] 在第四变型例中,逻辑基板11与像素传感器基板12的连接方法与图5所示的基本结构中的连接方法相同。即,逻辑基板11与像素传感器基板12通过使用连接配线106和两个贯通电极(即,硅贯通电极109和芯片贯通电极105)连接至像素传感器基板12的上侧。

[0384] 固态成像器件1的下侧的焊料球14与逻辑基板11的多个配线层83 和像素传感器基板12的多个配线层103通过贯穿逻辑基板11和像素传感器基板12的芯片贯通电极181连接。

[0385] 更加具体地,贯穿逻辑基板11和像素传感器基板12的芯片贯通电极181形成在层叠基板13的预定位置。芯片贯通电极181经由连接配线 182连接至像素传感器基板12的配线层103,该连接配线182形成于像素传感器基板12的硅基板101的上表面。此外,芯片贯通电极181也连接至形成于下侧的逻辑基板11的硅基板81的下表面的重新配线183,并且因此经由重新配线183连接至焊料球14。

[0386] <第五变型例>

[0387] 图10图示了根据第五变型例的固态成像器件1的层叠基板13。

[0388] 在图10的第五变型例中,逻辑基板11与像素传感器基板12的连接方法以及固态成像器件1的下侧与焊料球14的连接方法均与图9所述的第四变型例中的连接方法相同。

[0389] 然而,在第五变型例中,逻辑基板11的硅基板81的下侧的结构不同于图9的第四变型例的结构。

[0390] 具体地,在图9所述的第四变型例中,逻辑基板11的硅基板81的下表面覆盖有绝缘膜86,然后形成有焊接掩模(阻焊剂) 91。

[0391] 然而,在图10的第五变型例中,逻辑基板11的硅基板81的下表面仅覆盖有厚的绝缘膜86。绝缘膜86能够包括通过例如等离子体化学气相沉积(CVD)法形成的 SiO_2 膜和 SiN 膜。

[0392] <第六变型例>

[0393] 图11图示了根据第六变型例的固态成像器件1的层叠基板13。

[0394] 在图11的第六变型例中,焊料球14的连接方法与上述的第四变型例(图9)和第五变型例(图10)中的连接方法相同。即,焊料球14通过贯穿逻辑基板11和像素传感器基板12的芯片贯通电极181而被连接至逻辑基板11的配线层83和像素传感器基板12的配线层103。

[0395] 然而,在第六变型例中,逻辑基板11与像素传感器基板12的连接方法不同于第四变型例(图9)和第五变型例(图10)中的连接方法。

[0396] 具体地,在第六变型例中,一个芯片贯通电极191从形成于像素传感器基板12的硅基板101的上侧的连接配线192形成至逻辑基板11的配线层83a,以贯穿像素传感器基板12。芯片贯通电极191也连接至像素传感器基板12的配线层103b。

[0397] 因此,在第六变型例中,一个芯片贯通电极191被构造为共用与逻辑基板11的配线层83的连接和与像素传感器基板12的配线层103的连接。

[0398] <第七变型例>

[0399] 图12图示了根据第七变型例的固态成像器件1的层叠基板13。

[0400] 在图12的第七变型例中,位于固态成像器件1的下侧的焊料球14 的连接方法与第四至第六变型例(图9至图11)中的连接方法相同。即,固态成像器件1的下侧的焊料球14与逻辑基板11的配线层83和像素传感器基板12的配线层103通过贯穿逻辑基板11和像素传感器基板12的芯片贯通电极181连接。

[0401] 然而,在第七变型例中,逻辑基板11与像素传感器基板12的连接方法不同于第四至第六变型例(图9至图11)中的连接方法。

[0402] 更加具体地,在第七变型例中,逻辑基板11的最上配线层83a与像素传感器基板12的最下配线层103c通过金属接合而被连接。例如,铜(Cu)被用作配线层83a和配线层103c的材料。在图12的示例中,配线层83a和配线层103c仅形成在逻辑基板11与像素传感器基板12的接合面的一部分。然而,金属(铜)层可以作为接合配线层而被形成在接合面的整个表面。

[0403] <第八变型例>

[0404] 图13图示了根据第八变型例的固态成像器件1的层叠基板13。

[0405] 在第八变型例中,与图5的基本结构进行比较,形成在逻辑基板11 的硅基板81的下表面的绝缘膜201是不同的。

[0406] 在第八变型例中,在逻辑基板11的硅基板81的下表面形成有无机膜作为绝缘膜201,所述无机膜是在不影响配线层83等的等于或大于250 度且等于或小于400度的高温下形成的。例如,等离子体TEOS膜、等离子体SiN膜、等离子体SiO₂膜、CVD-SiN膜或CVD-SiO₂膜能够形成为绝缘膜201。

[0407] 例如,当使用有机材料形成绝缘膜201且使用低温绝缘膜时,存在这样的问题:可能出现由于耐湿性差、腐蚀或离子迁移而造成的可靠性降低。然而,无机膜具有良好的耐湿性。因此,在第八变型例的结构中,能够通过采用在等于或小于400度的温度被形成为绝缘膜201的无机膜来提高配线可靠性。

[0408] <第九变型例>

[0409] 图14图示了根据第九变型例的固态成像器件1的层叠基板13。

[0410] 在图14的第九变型例中,逻辑基板11与像素传感器基板12的连接方法不同于图5的基本结构中的连接方法。

[0411] 即,在图5的基本结构中,逻辑基板11与像素传感器基板12通过两个贯通电极(即,硅贯通电极151和芯片贯通电极152)连接。然而,在第九变型例中,逻辑基板11的多层式配线层82中的最上配线层83a 与像素传感器基板12的多层式配线层102中的最下配线层103c

通过金属接合 (Cu-Cu接合) 连接。

[0412] 在第九变型例中, 固态成像器件1的下侧的焊料球14的连接方法与图5的基本结构中的连接方法相同。即, 通过将硅贯通电极88连接至逻辑基板11的最下配线层83c, 焊料球14连接至层叠基板13中的配线层 83和配线层103。

[0413] 然而, 第九变型例中的结构与图5的基本结构的不同之处在于: 在硅基板81的下表面侧, 在与连接至焊料球14的重新配线90相同的层中由与重新配线90相同的配线材料形成有不与任何部位电连接的虚拟配线 211。

[0414] 虚拟配线211被形成用来减小当逻辑基板11侧的最上配线层83a与像素传感器基板12侧的最下配线层103c通过金属接合 (Cu-Cu接合) 连接时的不平坦的影响。即, 当进行Cu-Cu接合的时候重新配线90仅形成在硅基板81的下表面的部分区域时, 由于重新配线90的存在或不存在而造成的厚度差导致不平坦。因此, 通过设置虚拟配线211, 可以减小不平坦的影响。

[0415] <4. 固态成像器件的第二基本结构示例>

[0416] 在上述的固态成像器件1的基本结构以及变型例中, 层叠基板13具有这样的层叠结构: 其中, 逻辑基板11的多层式配线层82侧与像素传感器基板12的多层式配线层102侧被粘合为彼此面对。在本说明书中, 将两个基板的配线层彼此面对的结构称为面对面 (face-to-face) 结构。

[0417] 接着, 作为固态成像器件1的另一构造示例, 下面将说明这样的层叠结构: 逻辑基板11的与多层式配线层82侧相反的表面被粘合至像素传感器基板12的多层式配线层102侧, 从而形成层叠基板13。在本说明书中, 将一个基板的配线层侧接合至另一个基板的与配线层侧相反的表面侧的结构称为面对背 (face-to-back) 结构。

[0418] 图15是放大了当固态成像器件1被构造为具有面对背结构时的图5 的固态成像器件1的一部分的截面图。

[0419] 基本上, 图15所示的面对背结构与图5所示的面对面结构之间的差别在于: 逻辑基板11的多层式配线层82侧被接合至像素传感器基板12 的多层式配线层102侧, 或者不是被接合至多层式配线层82而是被接合至多层式配线层82的相反侧。

[0420] 因此, 在图15中, 用相同的附图标记表示与图5中的部分相对应的部分, 并且将不再说明详细的结构并而只进行概略地说明。

[0421] 在图15的固态成像器件1中, 像素传感器基板12的多层式配线层 102的层间绝缘膜104与逻辑基板11的绝缘膜86彼此接合。在图15中, 逻辑基板11的绝缘膜86与像素传感器基板12的多层式配线层102之间的粘贴面由虚线表示。

[0422] 在逻辑基板11中, 多层式配线层82形成在与形成有硅基板81的绝缘膜86的表面相对的一侧 (图的下侧), 且例如形成有重新配线90 (由铜 (Cu) 形成)、焊料球14和焊接掩模 (阻焊剂) 91。

[0423] 另一方面, 在像素传感器基板12中, 在图中多层式配线层102形成在硅基板101的下侧 (逻辑基板11侧), 且滤色器15和片上透镜16等形成在硅基板101的上侧, 该上侧是形成有多层式配线层102的表面的相反侧。

[0424] 在硅基板101中, 光电二极管51形成于各像素中。

[0425] 像素传感器基板12的配线层103与逻辑基板11的配线层83通过两个贯通电极 (即,

硅贯通电极109和芯片贯通电极105)来连接。

[0426] 图15与图5的不同之处在于:在硅基板101的上表面上图示了抑制暗电流的高介电膜401,并且在将芯片贯通电极105连接至硅贯通电极 109的连接配线106的上表面上图示了由氮化膜(SiN)等形成的盖膜402。即使在图5的面对面结构中,高介电膜401和盖膜402也能够以此方式形成。可替代地,在图15的面对背结构中,可以与图5的面对面结构一样省略高介电膜401和盖膜402。

[0427] 在固态成像器件1的层叠基板13中,像素传感器基板12的配线层 103与逻辑基板11的配线层83通过两个贯通电极(即,硅贯通电极109 和芯片贯通电极105)以及将这两个贯通电极彼此连接的连接配线106 来连接。此外,逻辑基板11的配线层83与焊料球(背面电极)14通过重新配线90来连接。因此,能够将固态成像器件1的平面面积减小至最小。

[0428] 层叠基板13与玻璃保护基板18通过玻璃密封树脂17来彼此粘合以此形成无腔结构,且因此也能够减小固态成像器件的高度。

[0429] 因此,能够实现具有面对背结构的固态成像器件1,即进一步小型化的半导体器件(半导体封装)。

[0430] <5. 第二基本结构的制造方法>

[0431] <图15的固态成像器件的第一制造方法>

[0432] 接着,将参照图16至图30说明具有图15所示的面对背结构的固态成像器件1的第一制造方法。

[0433] 首先,分别制造半成品逻辑基板11和半成品像素传感器基板12。

[0434] 在逻辑基板11中,将成为控制电路22或逻辑电路23的多层式配线层82形成于硅基板(硅晶圆)81的成为各芯片部的区域中。此时,硅基板81还没有被薄化且具有例如约600微米的厚度。

[0435] 另一方面,在像素传感器基板12中,将各像素32的光电二极管51 和像素晶体管的源极/漏极区域形成在硅基板(硅晶圆)101的成为各芯片部的区域内。将形成控制电路22等的一部分的多层式配线层102形成在硅基板101的形成有像素晶体管的源极/漏极区域的表面上。

[0436] 其后,如图16所示,将作为支撑基板的临时接合基板(硅基板)411 粘贴至半成品逻辑基板11的多层式配线层82侧。

[0437] 粘贴的示例包括等离子体接合和粘合剂接合。在本实施例中,假设进行等离子体接合。在等离子体接合的情况下,通过如下处理来接合逻辑基板11与临时接合基板411:将等离子体TEOS膜、等离子体SiN膜、SiON膜(阻挡膜)或SiC膜等形成在逻辑基板11与临时接合基板411 的接合面,对接合面进行等离子体处理,叠置这两个基板然后进行退火处理。

[0438] 如图17所示,在使逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,到约20微米至约100微米的程度)后,通过等离子体CVD法在硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0439] 这里,如图18所示,为了避免由逻辑基板11的加热造成的热电子的影响,可以在绝缘膜86上形成由诸如钽(Ta)、铜(Cu)或钛(Ti) 等金属形成的遮光膜416且可以在遮光膜416上形成由SiO₂等形成的保护膜417。硅基板81表面上的未形成有遮光膜416的区域是硅贯通电极 109和芯片贯通电极105将被形成的区域。在通过等离子体CVD法等形成保护膜

417后,有必要通过化学机械研磨(CMP)法使其平坦化。

[0440] 下面将在不形成遮光膜416和保护膜417的情况下做出说明。如图19所示,将逻辑基板11的绝缘膜86与部分地制造的半成品像素传感器基板12的多层式配线层102粘贴为彼此面对。图20图示了粘贴状态,且粘贴面由虚线表示。粘贴的示例包括等离子体接合和粘合剂接合。在本实施例中,假设进行等离子体接合。在等离子体接合的情况下,通过如下处理来接合逻辑基板11与像素传感器基板12:在逻辑基板11与像素传感器基板12的接合面形成等离子体TEOS膜、等离子体SiN膜、SiON膜(阻挡膜)或SiC膜等,对接合面进行等离子体处理,叠置这两个基板然后进行退火处理。

[0441] 在将逻辑基板11与像素传感器基板12彼此粘贴后,如图21所示,使像素传感器基板12的硅基板101变薄至约1微米至约10微米的程度。形成高介电膜401和用作牺牲层的绝缘膜108。例如,能够使用SiO₂膜等作为绝缘膜108。

[0442] 如图22所示,将抗蚀剂412涂覆于绝缘膜108上,根据硅贯通电极109和芯片贯通电极105被形成的区域来图案化抗蚀剂412,且形成与芯片贯通电极105和硅贯通电极109相对应的开口413和414。在形成开口413和414后,剥离抗蚀剂412。

[0443] 其后,如图23所示,在通过等离子体CVD法将绝缘膜107形成在开口413和414的内壁后,通过回蚀刻法去除开口413和414的底部的绝缘膜107。因此,在开口413中露出逻辑基板11的配线层83a并且在开口414中露出像素传感器基板12的配线层103a。在回蚀刻处理中也去除了开口413与开口414之间的部分绝缘膜108。

[0444] 如图24所示,通过在开口413与开口414之间嵌入铜(Cu),形成芯片贯通电极105、硅贯通电极109以及将芯片贯通电极105与硅贯通电极109连接的连接配线106。作为铜(Cu)的嵌入方法,例如,能够采用下面的方法。首先,必要时,通过溅射法形成用于电场电镀的阻挡金属膜和Cu晶种层并且通过无电式电镀法等强化Cu晶种层。其后,在通过使用电镀法用铜填充开口之后,通过CMP法去除多余的铜,以形成芯片贯通电极105、硅贯通电极109和连接配线106。作为阻挡金属膜的材料,例如,能够使用钽(Ta)、钛(Ti)、钨(W)、锆(Zr)以及它们的氮化膜或它们的碳化膜。在本实施例中,使用钛膜作为阻挡金属膜。

[0445] 如图25所示,在将氮化膜(SiN)等形成的盖膜402形成在连接配线106和绝缘膜108的表面后,再用绝缘膜108覆盖盖膜402。

[0446] 其后,如图26所示,通过对形成有光电二极管51的像素区域21中的盖膜402和绝缘膜108进行挖刻,形成了空腔415。

[0447] 如图27所示,在形成的空腔415中形成滤色器15和片上透镜16。

[0448] 接着,如图28所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面之后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离(剥离)临时接合基板411。

[0449] 接着,如图29所示,使逻辑基板11和像素传感器基板12上下颠倒,以便将玻璃保护基板18用作支撑基板,使最接近于逻辑基板11外部的配线层83c的一部分露出并且通过半加成法(semi-additive method)形成重新配线90。

[0450] 其后,如图30所示,在形成焊接掩模91以保护重新配线90之后,仅去除焊料球14将被安装的区域内的焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0451] 通过上述的制造方法能够制造图15中的固态成像器件1。

[0452] <图15的固态成像器件的第二制造方法>

[0453] 接着,将参照图31至图43说明具有图15所示的面对背结构的固态成像器件1的第二制造方法。

[0454] 首先,如图31所示,制造半成品逻辑基板11,其中,将成为控制电路22或逻辑电路23的多层式配线层82形成于硅基板81的成为各芯片部的区域中。此时,硅基板81还没有变薄且具有例如约600微米的厚度。

[0455] 如图32所示,通过镶嵌法使用例如Cu作为配线材料形成与多层式配线层82的最上配线层83c连接的重新配线90。在形成的重新配线90 和层间绝缘膜84的上表面上形成使用氮化膜(SiN)等的盖膜421,然后使用例如SiO₂等绝缘膜422覆盖盖膜421。在图15中,未图示盖膜 421和绝缘膜422。通过例如等离子体CVD法能够形成盖膜421和绝缘膜422。

[0456] 其后,如图33所示,通过等离子体接合或粘合剂接合将作为支撑基板的临时接合基板(硅基板)423粘贴至逻辑基板11的多层式配线层82 侧。

[0457] 如图34所示,在使逻辑基板11的硅基板81变薄至具有不影响器件特性的厚度的程度(例如,变薄至约20微米至约100微米的程度)之后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。该制造方法与上述的第一制造方法的相同之处在于:可以在绝缘膜86的上表面上形成遮光膜416和保护膜417以避免热电子的影响(参照图18)。

[0458] 如图35所示,将单独制造的半成品像素传感器基板12的多层式配线层102侧粘贴至变薄的逻辑基板11。

[0459] 在将逻辑基板11与像素传感器基板12彼此粘贴后,如图36所示,将像素传感器基板12的硅基板101减薄至约1微米至约10微米的程度。形成高介电膜401和用作牺牲层的绝缘膜108。例如,能够使用SiO₂膜等作为绝缘膜108。

[0460] 其后,通过上述的第一制造方法中的参照图22至图27说明的方法形成芯片贯通电极105、硅贯通电极109以及将芯片贯通电极105与硅贯通电极109连接的连接配线106以及形成滤色器15和片上透镜16。然后,如图37所示,经由玻璃密封树脂17连接玻璃保护基板18,然后分离临时接合基板423。

[0461] 如图38所示,使逻辑基板11和像素传感器基板12上下颠倒。如图 39所示,使用玻璃保护基板18作为支撑基板来将重新配线90的一部分露出且通过焊料球安装法等形成焊料球14。使用焊接掩模91覆盖绝缘膜 422的除了安装有焊料球14的区域以外的上表面。

[0462] <焊料球安装部的第一变型例>

[0463] 图40图示了作为安装焊料球14的区域的焊料球安装部的第一变型例。

[0464] 在第一变型例中,如图40所示,在重新配线90上由与重新配线90 相同的材料(例如,Cu)形成有焊盘431。然后,将焊料球14连接在焊盘431上。

[0465] 使用盖膜441和绝缘膜442覆盖焊盘431的除了焊料球14以外的上表面。因此,在重新配线90的上表面上形成有盖膜421、绝缘膜422、盖膜441和绝缘膜442这样的4层结构。

[0466] 当焊料球安装部形成有图40所示的结构时,除了参照图32所述的重新配线90以及盖膜421和绝缘膜422的制造工序以外,还可以如图41 所示地进一步形成焊盘431以及盖膜441和绝缘膜442。其余的制造方法与上述的第二制造方法相同。

[0467] <焊料球安装部的第二变型例>

[0468] 图42图示了焊料球安装部的第二变型例。

[0469] 在第二变型例中,如图42所示,重新配线90与焊盘431不是与在第一变型例中一样地直接连接而是通过通孔(连接导体)443连接。在重新配线90的上表面上形成有盖膜421、绝缘膜422、盖膜441和绝缘膜442这样的4层结构。

[0470] 因此,因为通过使用通孔443形成多个层易于布线,所以能够获得布局方面的优势。

[0471] 当焊料球安装部形成有图42所示的结构时,除了参照图32所述的重新配线90以及盖膜421和绝缘膜422的制造工序以外,还可以如图43所示地形成焊盘431、通孔443以及盖膜441和绝缘膜442。其余的制造方法与上述的第二制造方法相同。

[0472] <图15的固态成像器件的第三制造方法>

[0473] 接着,将参照图44至图49说明具有图15所示的面对背结构的固态成像器件1的第三制造方法。

[0474] 首先,如图44所示,制造半成品逻辑基板11,其中,将成为控制电路22或逻辑电路23的多层式配线层82形成于成为硅基板81的各芯片部的区域。此时,硅基板81还没有变薄且具有例如约600微米的厚度。

[0475] 如图45所示,通过镶嵌法使用例如Cu作为配线材料形成与多层式配线层82的最上配线层83c连接的重新配线90。在形成的重新配线90和层间绝缘膜84的上表面形成使用氮化膜(SiN)等的盖膜421,然后使用例如SiO₂等绝缘膜422覆盖盖膜421。

[0476] 这些工序与上述的第二制造方法的工序相同。

[0477] 接着,如图46所示,形成焊接掩模91,并且通过对将安装焊料球14的区域内的焊接掩模91、盖膜421和绝缘膜422进行蚀刻来形成开口451。可以通过在将安装焊料球14的区域内涂覆光致抗蚀剂且进行干法蚀刻来形成开口451。

[0478] 然后,如图47所示,通过例如焊料球安装法将焊料球14形成于开口451中。

[0479] 接着,如图48和图49所示,使用厚度能够掩埋焊料球14的粘合剂452将逻辑基板11的焊料球14侧与临时接合基板(硅基板)453粘贴在一起。

[0480] 使用粘合剂452将逻辑基板11与临时接合基板453接合之后的制造工序是与上述第二制造方法相同的制造工序,因此将省略它们的说明。

[0481] <重新配线的变型例>

[0482] 关于与焊料球14或与焊盘431的配线层连接的重新配线90的厚度,需要确保剩余的厚度不与铜反应,这是因为焊料中的锡与金属配线中的铜在焊接期间彼此反应且形成金属间化合物(IMC)。

[0483] 可替代地,如图50所示,在重新配线90的外部能够形成阻挡金属461。因此,即使当重新配线90的所有铜反应时,所述反应也能够被阻挡金属461停止。作为阻挡金属461的材料,能够使用Ta、Ta_N、Ti、Co(钴)或Cr(铬)等。当Ta或Ta_N用作阻挡金属461的材料时,能够将阻挡金属461的厚度设定为约30nm。另一方面,当Ti用作阻挡金属461的材料时,能够将阻挡金属461的厚度设定为约200nm。阻挡金属461可以具有Ta(下层)/Ti(上层)或Ta_N/Ta/Ti等层叠结构。

[0484] 图51A至图51C图示了当使用Ta或Ta_N作为阻挡金属461来进行焊接时在重新配线90中形成有金属间化合物(IMC)的反应后状态。图51A至图51C的阻挡金属461A表示的是使

用Ta或Ta₂N形成的阻挡金属 461。

[0485] 图51A图示了这样的状态:仅重新配线90的与焊料球14接近的上部转变成IMC (CuSn) 462。

[0486] 图51B图示了这样的状态:重新配线90被形成为比图51A中的更薄,重新配线90的所有Cu变成IMC 462且反应被阻挡金属461A中止。

[0487] 图51C图示了这样的状态:重新配线90被形成为比图51A的更薄,重新配线90的所有Cu变成IMC 462且反应被阻挡金属461A中止。在图51C中,IMC 462扩散至焊料球14的内部。

[0488] 图52A至图52D图示了当使用Ti作为阻挡金属461来进行焊接时在重新配线90中形成有金属间化合物(IMC)的反应后状态。图52A至图52D的阻挡金属461B表示的是使用Ti形成的阻挡金属461。

[0489] 与图51A一样,图52A图示了这样的状态:仅重新配线90的与焊料球14接近的上部转变成IMC (CuSn) 462。

[0490] 与图51B一样,图52B图示了这样的状态:重新配线90被形成为比图52A的更薄,重新配线90的所有Cu变成IMC 462且反应被阻挡金属461B中止。

[0491] 图52C图示了这样的状态:重新配线90被形成为比图52A的更薄,重新配线90的所有Cu被反应且变成CuSn构成的IMC 462,阻挡金属 461B的一部分也被反应且因此形成有由TiSn构成的IMC 463。

[0492] 图52D图示了这样的状态:重新配线90被形成为比图52A的更薄,重新配线90的所有Cu被反应,由CuSn构成的IMC 462扩散至焊料球 14的内部,阻挡金属461B的一部分也被反应且因此形成了由TiSn构成的IMC 463。

[0493] 因此,通过在重新配线90的下层形成阻挡金属461,能够抑制焊接缺陷。当使用Ti作为阻挡金属461的材料时,还能够期望在焊接后的可靠性测试中抑制由于Cu与Sn之间的相互扩散速度差而发生的柯肯达尔空洞(Kirkendall void)的生长。

[0494] <存在焊盘的情况的示例>

[0495] 即使当焊盘431形成在重新配线90的上方时(如图40或图42所示),也能够以此方式形成阻挡金属461。

[0496] 图53图示了这样的结构示例:其中,在重新配线90的下层和焊盘 431的下层分别形成有阻挡金属461。因此,将焊料球14下方布置有阻挡金属461这样的结构称为凸点下金属(UBM)结构。

[0497] 将参照图54A至图54E说明当如图53所示的存在焊盘431时形成阻挡金属461的工序。

[0498] 首先,如图54A所示,在通过溅射法形成阻挡金属461后,通过镶嵌法形成重新配线90。在形成重新配线90后,层叠盖膜421和绝缘膜 422。

[0499] 接着,在如图54B所示地露出将形成焊盘431的区域之后,如图54C 所示地形成阻挡金属461和用于焊盘431的配线材料431A。这里,通过将阻挡金属461的厚度设定为厚到例如约500nm的程度,能够提高焊料球14的连接可靠性。

[0500] 然后,如图54D所示,通过CMP法对表面进行平坦化来去除多余的配线材料431A和多余的阻挡金属461,形成焊盘431。

[0501] 最后,如图54E所示,在最上层表面上形成盖膜441和绝缘膜442,在焊盘431上方形成焊料球14,并且在其它部位形成焊接掩模91。

[0502] 如上所述,通过镶嵌法形成重新配线90和焊盘431,能够在配线侧壁形成阻挡金属461,并且因此能够降低配线间漏电等风险。因为通过镶嵌法形成焊料球安装部的UBM结构,所以能够去除阻挡金属461的咬边且因此容易加厚阻挡金属461或形成层叠膜。

[0503] 根据具有上述面对背结构的固态成像器件1的第一至第三制造方法,在形成滤色器15或片上透镜16之前形成两个贯通电极(即,芯片贯通电极105和硅贯通电极109)。因此,在形成滤色器15或片上透镜16之前,也能够形成用作隔离膜的绝缘膜107或绝缘膜108。因此,能够形成具有良好膜质量的绝缘膜107或绝缘膜108,且因此,能够改善耐压性或粘合性等特性。即,能够提高确保高可靠性的绝缘膜107或绝缘膜108 的可靠性。

[0504] <6. 第一基本结构的制造方法>

[0505] 接着,将说明具有如图5至图14所示的面对面结构(其中,逻辑基板11的配线层与像素传感器基板12的配线层彼此面对)的固态成像器件1的制造方法。

[0506] <图5的基本结构的制造方法>

[0507] 首先将参照图55至图65说明具有图5所示的基本结构的固态成像器件1的制造方法。

[0508] 首先,分别制造半成品逻辑基板11和半成品像素传感器基板12。

[0509] 在逻辑基板11中,将成为控制电路22或逻辑电路23的多层式配线层82被形成于硅基板(硅晶圆)81的成为各芯片部的区域内。此时,硅基板81还没有变薄且具有例如约600微米的厚度。

[0510] 另一方面,在像素传感器基板12中,将各像素32的光电二极管51 和像素晶体管的源极/漏极区域形成于硅基板(硅晶圆)101的成为各芯片部的区域。在硅基板101的一个表面上形成用于形成控制电路等的一部分的多层式配线层102,并且在硅基板101的另一个表面上形成滤色器 15和片上透镜16。

[0511] 如图55所示,将制造出的逻辑基板11的多层式配线层82侧与像素传感器基板12的多层式配线层102侧粘贴为彼此面对。粘贴的示例包括等离子体接合和粘合剂接合。在本实施例中,假设进行等离子体接合。在等离子体接合的情况下,通过如下处理接合逻辑基板11与像素传感器基板12:在逻辑基板11与像素传感器基板12的接合面上形成等离子体 TEOS膜、等离子体SiN膜、SiON膜(阻挡膜)或SiC膜等,对接合面进行等离子体处理,叠置这两个基板然后进行退火处理。

[0512] 在将逻辑基板11与像素传感器基板12粘贴在一起后,通过镶嵌法等形成硅贯通电极109、芯片贯通电极105以及将芯片贯通电极105与硅贯通电极109连接的连接配线106。

[0513] 如图55所示,将玻璃密封树脂17涂覆于形成有粘合至逻辑基板11 的像素传感器基板12的片上透镜16的整个表面。如图56所示,玻璃保护基板18与无腔结构连接。

[0514] 接着,如图57所示,在使逻辑基板11与像素传感器基板12粘贴在一起的层叠基板13上下颠倒后,将逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,减薄至约30微米至约100微米的程度)。

[0515] 接着,如图58所示,在对光致抗蚀剂221进行图案化以使变薄的硅基板81上的布置硅贯通电极88(未图示)的位置露出之后,通过干法蚀刻去除硅基板81以及硅基板81下方的

一部分层间绝缘膜84来形成开口 222。

[0516] 接着,如图59所示,通过例如等离子体CVD法将绝缘膜(隔离膜) 86形成在硅基板81的整个上表面(包括开口222在内)。如上所述,例如,能够将SiO₂膜或SiN膜形成为绝缘膜86。

[0517] 接着,如图60所示,通过回蚀刻法去除开口222底面的绝缘膜86,以使最接近于硅基板81的配线层83c露出。

[0518] 接着,如图61所示,通过溅射法形成阻挡金属膜(未图示)和Cu晶种层231。当通过电镀法嵌入连接导体87时,阻挡金属膜防止连接导体87(Cu)扩散,并且Cu晶种层231变成电极。作为阻挡金属膜的材料,例如,能够使用钽(Ta)、钛(Ti)、钨(W)、锆(Zr)以及它们的氮化膜或碳化膜。在本实施例中,使用钛膜作为阻挡金属膜。

[0519] 接着,如图62所示,在将抗蚀剂图案241形成在Cu晶种层231上的需要的区域内后,通过电镀法电镀用作连接导体87的铜(Cu)。因此,形成硅贯通电极88且重新配线90也形成在硅基板81的上侧。

[0520] 接着,如图63所示,在去除抗蚀剂图案241后,通过湿法蚀刻去除抗蚀剂图案241下方的阻挡金属膜(未图示)以及Cu晶种层231。

[0521] 接着,如图64所示,在形成焊接掩模91以保护重新配线90后,通过仅去除在焊料球14安装区域内的焊接掩模91来形成焊接掩模开口 242。

[0522] 然后,如图65所示,通过焊料球安装法等将焊料球14形成于焊接掩模开口242中。

[0523] 通过上述的制造方法能够制造具有图5所示的基本结构的固态成像器件1。

[0524] 根据前述的制造方法,在形成滤色器15后,形成硅贯通电极88。在这种情况下,在硅贯通电极88的形成工序中,特别需要通过在约200度至约220度下的低温等离子体CVD法来形成使硅基板81与连接导体87绝缘的绝缘膜86,以防止滤色器15和片上透镜16等被损坏。

[0525] 然而,当在低温下形成绝缘膜86时,原子间结合可能不充分且在一些情况下膜质量可能劣化。此外,当膜质量劣化时,可能发生剥落或开裂,且因此在一些情况下可能发生硅耐压性失效或金属配线漏电等。

[0526] 因此,下面将说明在防止滤色器15或片上透镜16等被损坏的同时也确保绝缘膜86的可靠性的制造方法。

[0527] <第一变型例的第一制造方法>

[0528] 将参照图66A至图67C说明具有根据图6所示的第一变型例的结构的固态成像器件1的第一制造方法。

[0529] 首先,分别制造半成品逻辑基板11和半成品像素传感器基板12。

[0530] 在逻辑基板11中,将成为控制电路22或逻辑电路23的多层式配线层82形成在成为硅基板(硅晶圆)81的各芯片部的区域内。此时,硅基板81还没有变薄且具有例如约600微米的厚度。

[0531] 另一方面,在像素传感器基板12中,将各像素32的光电二极管51和像素晶体管的源极/漏极区形成于将成为硅基板(硅晶圆)101的各芯片部的区域内。在硅基板101的形成有像素晶体管的源极/漏极区域的表面上形成用于形成控制电路22等的一部分的多层式配线层102。图66A至图66D之后的一些附图未将形成于硅基板101中的光电二极管51图示为

半成品像素传感器基板12的附图。

[0532] 其后,如图66A所示,通过等离子体接合或粘合剂将半成品逻辑基板11与半成品像素传感器基板12粘贴,以使逻辑基板11的多层式配线层82侧与像素传感器基板12的多层式配线层102侧彼此面对。

[0533] 如图66B所示,在将逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等,在硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0534] 接着,如图66C所示,在逻辑基板11侧的硅基板81的预定位置处形成与逻辑基板11的配线层83c连接的硅贯通电极151、与像素传感器基板12的配线层103c连接的芯片贯通电极152以及将硅贯通电极151与芯片贯通电极152连接的连接配线153。能够通过参照图22至图24说明的工序相同的工序来形成硅贯通电极151、芯片贯通电极152和连接配线153。

[0535] 还形成重新配线154,在重新配线154上将安装焊料球14。通过例如镶嵌法形成重新配线154。

[0536] 在图6、66A至66D和67A至67C中,将绝缘膜86形成一个层。实际上,与面对背结构一样,层叠有盖膜421或绝缘膜422等。如上所述,重新配线154能够具有这样的结构:其中,剩余厚度不与铜反应或者使用阻挡金属461来中止反应。此外,例如,也能够使用如图40和图42所示的添加有焊盘431的结构或图52A至图53所示的UBM结构。

[0537] 接着,如图66D所示,将作为支撑基板的临时接合基板(硅基板)471粘贴至逻辑基板11的绝缘膜86侧。

[0538] 如图67A所示,使接合有临时接合基板471的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,可以在变薄的硅基板101的上表面形成例如如图15的高介电膜401等高介电膜以抑制暗电流。

[0539] 接着,如图67B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板471。

[0540] 如图67C所示,在整个表面上形成焊接掩模91,仅在将安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0541] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0542] <第一变型例的第二制造方法>

[0543] 接着,将参照图68A至图70C说明具有根据图6所示的第一变型例的结构的固态成像器件1的第二制造方法。

[0544] 首先,如图68A所示,粘合分别制造出的半成品逻辑基板11与像素传感器基板12以使它们的配线层彼此面对。

[0545] 如图68B所示,使用逻辑基板11的硅基板81作为支撑基板,将像素传感器基板12的硅基板101减薄至约1微米至约10微米。

[0546] 接着,如图68C所示,将临时接合基板(硅基板)472粘贴至像素传感器基板12的变薄的硅基板101。此时,如图68D所示,使用临时接合基板472作为支撑基板以将逻辑基板11

的硅基板81减薄至20微米至约100微米。

[0547] 接着,如图69A所示,在逻辑基板11侧的硅基板81的预定位置处形成与逻辑基板11的配线层83c连接的硅贯通电极151、与像素传感器基板12的配线层103c连接的芯片贯通电极152以及将硅贯通电极151与芯片贯通电极152连接的连接配线153。能够通过参照图22至图24说明的工序相同的工序来形成硅贯通电极151、芯片贯通电极152和连接配线153。

[0548] 还形成重新配线154,在重新配线154上将安装焊料球14。通过例如镶嵌法形成重新配线154。

[0549] 接着,在如图69B所示地将临时接合基板473粘贴至逻辑基板11的绝缘膜86侧之后,如图69C所示地分离像素传感器基板12侧的临时接合基板472。

[0550] 接着,如图70A所示,使接合有临时接合基板473的所有基板上下颠倒,且在像素传感器基板12的硅基板101上形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0551] 接着,如图70B所示,在将玻璃密封树脂17涂覆于形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板473。

[0552] 最后,如图70C所示,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0553] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0554] 在图6所示的面对面结构中,用于将硅贯通电极151连接至芯片贯通电极152的连接配线153被构造为形成在硅基板81的上表面。

[0555] 然而,如图71A所示,通过镶嵌法形成的连接配线153的至少一部分可以被形成在通过对硅基板81进行挖刻而形成的部位中。

[0556] 图71B图示了这样的结构示例:与焊料球14连接的重新配线154被省略,且通过镶嵌法形成的连接配线153被形成在通过对硅基板81进行挖刻而形成的部位中。

[0557] 因此,通过将连接配线153形成在通过对硅基板81进行挖刻而形成的部位中,绝缘膜(氧化膜)86可以是薄的。因此,由于能够减小形成绝缘膜的工序的数量,所以提高了生产率。

[0558] <第一变型例的第三制造方法>

[0559] 接着,将参照图72A至图73D说明具有根据图6所示的第一变型例的结构的固态成像器件1的第三制造方法。

[0560] 首先,如图72A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12粘合以使它们的配线层彼此面对。

[0561] 如图72B所示,在将逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0562] 接着,如图72C所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极151、芯片贯通电极152、连接配线153和重新配线154。形成方法与上述的方法相同。

[0563] 接着,通过CMP法使逻辑基板11的绝缘膜86的表面平坦化。其后,如图72D所示,通过等离子体接合来粘贴临时接合基板481,临时接合基板481包含诸如多孔层等剥离层481A。因为通过等离子体接合来临时地粘贴临时接合基板481能够将整个厚度的平坦度设定为变化大约0.5 微米,所以在后续的工序中的薄化像素传感器基板12的硅基板101的时候容易控制膜厚度。

[0564] 接着,如图73A所示,使接合有临时接合基板481的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米之后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0565] 接着,如图73B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面之后,将玻璃保护基板18与无腔结构连接。

[0566] 在连接玻璃保护基板18后,在保留剥离层481A的情况下剥离临时接合基板481。然后,如图73C所示,通过研磨或抛光等去除剥离层481A。

[0567] 最后,如图73D所示,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0568] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0569] <第一变型例的第四制造方法>

[0570] 接着,将参照图74A至图75D说明具有根据图6所示的第一变型例的结构的固态成像器件1的第四制造方法。

[0571] 首先,如图74A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12贴合以使它们的配线层彼此面对。

[0572] 如图74B所示,在将逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0573] 接着,如图74C所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极151、芯片贯通电极152、连接配线153和重新配线154。形成方法与上述的方法相同。

[0574] 接着,通过CMP法使逻辑基板11的绝缘膜86的表面平坦化。其后,如图74D所示,通过等离子体接合来粘贴作为支撑基板的临时接合基板 481。在临时接合基板481中,在具有诸如多孔层等剥离层481A的接合面上预先形成有由SiN等形成的可靠的绝缘膜482,且将临时接合基板 481的绝缘膜482与逻辑基板11的绝缘膜86彼此粘贴。因为通过等离子体接合来临时地粘贴临时接合基板481能够将整个厚度的平坦度设定为变化了约0.5微米,所以在后续的工序中的减薄像素传感器基板12的硅基板101的时候,容易控制膜厚度。

[0575] 接着,如图75A所示,使接合有临时接合基板481的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0576] 接着,如图75B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。

[0577] 在连接玻璃保护基板18后,在保留剥离层481A的情况下剥离临时接合基板481。然后,通过研磨或抛光等去除剥离层481A以使可靠的绝缘膜482露出。

[0578] 最后,如图75D所示,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0579] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0580] 根据上述的第一变型例的第三和第四制造方法,能够重复使用临时接合基板481,能够降低制造成本。

[0581] <第一变型例的第五制造方法>

[0582] 接着,将参照图76A至77C说明具有根据图6所示的第一变型例的结构的固态成像器件1的第五制造方法。

[0583] 首先,如图76A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12贴合以使它们的配线层彼此面对。

[0584] 如图76B所示,在使逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0585] 接着,如图76C所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极151、芯片贯通电极152、连接配线153和重新配线154。形成方法与上述的方法相同。

[0586] 此外,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0587] 接着,如图76D所示,使用具有能够掩埋焊料球14的厚度的粘合剂 490粘贴临时接合基板491。

[0588] 接着,如图77A所示,使接合有临时接合基板491的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0589] 接着,如图77B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板491。

[0590] 如图77C所示,去除用于粘接临时接合基板491的粘合剂490。

[0591] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0592] <第一变型例的第六制造方法>

[0593] 接着,将参照图78A至图80C说明具有根据图6所示的第一变型例的结构的固态成像器件1的第六制造方法。

[0594] 首先,如图78A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12粘合以使它们的配线层彼此面对。

[0595] 如图78B所示,使用逻辑基板11的硅基板81作为支撑基板以将像素传感器基板12的硅基板101减薄至约1微米至约10微米。

[0596] 接着,如图78C所示,将临时接合基板(硅基板)492粘接至像素传感器基板12的变薄的硅基板101。此时,如图78D所示,使用临时接合基板492作为支撑基板以将逻辑基板11的硅基板81减薄至20微米至约100微米。

[0597] 接着,如图79A所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极151、芯片贯通电极152、连接配线153和重新配线154。形成方法与上述的方法相同。

[0598] 此外,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球14。

[0599] 接着,如图79B所示,使用具有能够掩埋焊料球14的厚度的粘合剂490粘贴临时接合基板493。

[0600] 接着,如图79C所示,分离像素传感器基板12侧的临时接合基板492。

[0601] 接着,如图80A所示,使接合有临时接合基板492的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0602] 接着,如图80B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板492。

[0603] 如图80C所示,去除用于粘贴临时接合基板492的粘合剂490。

[0604] 根据前述的制造方法,完成了具有根据图6所示的第一变型例的结构的图1中的固态成像器件1。

[0605] <第二变型例的第一制造方法>

[0606] 接着,将参照图81A至图82D说明具有根据图7所示的第二变型例的结构的固态成像器件1的第一制造方法。图7所示的根据第二变型例的结构是使用了金属接合(Cu-Cu接合)的面对面结构。

[0607] 首先,如图81A所示,通过金属接合(Cu-Cu)粘接分别制造出的半成品逻辑基板11的多层式配线层82的配线层83a和半成品像素传感器基板12的多层式配线层102的配线层103c。

[0608] 如图81B所示,在使逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0609] 接着,如图81C所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极88和重新配线90。形成方法与上述的硅贯通电极151和重新配线154的形成方法相同。

[0610] 如图81D所示,与图76C所示的工序一样地,在此工序后可以形成焊接掩模91和焊料球14。

[0611] 接着,如图82A所示,将作为支撑基板的临时接合基板(硅基板)493粘贴至逻辑基板11的绝缘膜86侧。

[0612] 接着,如图82B所示,将接合有临时接合基板493的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电

流。

[0613] 接着,如图82C所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面以后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板493。

[0614] 如图82D所示,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球 14。

[0615] 如图81D所示,当直至在绝缘膜86上形成了焊接掩模91和焊料球 14并且随后粘接临时接合基板493时,可以分离临时接合基板493并且随后可以仅去除粘合剂。

[0616] 根据前述的制造方法,完成了具有根据图7所示的第二变型例的结构的图1中的固态成像器件1。

[0617] <第二变型例的第二制造方法>

[0618] 接着,将参照图83A至图85C说明具有根据图7所示的第二变型例的结构的固态成像器件1的第二制造方法。

[0619] 首先,如图83A所示,通过金属接合(Cu-Cu)将分别制造出的半成品逻辑基板11的多层式配线层82的配线层83a与半成品像素传感器基板12的多层式配线层102的配线层103c粘贴在一起。

[0620] 如图83B所示,使用逻辑基板11的硅基板81作为支撑基板,将像素传感器基板12的硅基板101减薄至约1微米至约10微米。

[0621] 接着,如图83C所示,将临时接合基板(硅基板)494粘贴至像素传感器基板12的变薄的硅基板101。此时,如图83D所示,使用临时接合基板494作为支撑基板以将逻辑基板11的硅基板81减薄至20微米至约100微米。

[0622] 接着,如图84A所示,通过等离子体CVD法等,在硅基板81的表面上形成绝缘膜86,然后在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极88和重新配线90。形成方法与上述的硅贯通电极151和重新配线154的形成方法相同。

[0623] 接着,如图84B所示,将作为支撑基板的临时接合基板(硅基板)495粘贴至逻辑基板11的绝缘膜86侧。如图84C所示,分离像素传感器基板12侧的临时接合基板494。

[0624] 接着,如图85A所示,使接合有临时接合基板495的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米之后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面上可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0625] 接着,如图85B所示,在将玻璃密封树脂17涂覆于形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板495。

[0626] 如图85C所示,在整个表面上形成焊接掩模91,仅在将要安装焊料球14的区域内去除焊接掩模91,然后通过焊料球安装法等形成焊料球 14。

[0627] 根据前述的制造方法,完成了具有根据图7所示的第二变型例的结构的图1中的固态成像器件1。

[0628] 此外,在图84A中首先将焊接掩模91和焊料球14形成在绝缘膜86上,然后粘贴临时接合基板495。在这种情况下,在图85B中,在分离临时接合基板495后,仅去除粘贴临时接

合基板495的粘合剂。

[0629] <第三变型例的制造方法>

[0630] 接着,将参照图86A至图87D说明具有根据图8所示的第三变型例的结构的固态成像器件1的制造方法。图8所示的根据第三变型例的结构是这样的面对面结构:其中,连接配线153和重新配线154连接至连接导体(通孔)171。

[0631] 首先,如图86A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12粘贴为它们的配线层彼此面对。

[0632] 如图86B所示,在将逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,至约20微米至约100微米的程度)后,通过等离子体CVD法等硅基板81的表面上形成用于与硅基板81绝缘的绝缘膜86。

[0633] 接着,如图86C所示,在逻辑基板11侧的硅基板81的预定位置处形成硅贯通电极151、芯片贯通电极152和连接配线153。形成方法与上述的方法相同。

[0634] 接着,如图86D所示,将作为支撑基板的临时接合基板(硅基板)496粘贴至逻辑基板11的绝缘膜86侧。

[0635] 接着,如图87A所示,将接合有临时接合基板496的所有基板上下颠倒。在将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0636] 接着,如图87B所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。在连接玻璃保护基板18后,分离临时接合基板496。

[0637] 如图87C所示,通过蚀刻使连接配线153上的绝缘膜86的一部分形成开口,然后通过半加成法形成连接导体(通孔)171和重新配线154。

[0638] 如图87D所示,在形成焊接掩模91以覆盖绝缘膜86和重新配线154后,仅在焊料球14将被安装区域内使焊接掩模91形成开口。

[0639] 最后,通过焊料球安装法等焊接掩模开口区域内形成焊料球14。

[0640] 根据前述的制造方法,完成了具有根据图8所示的第三变型例的结构的图1中的固态成像器件1。

[0641] 如上面的第一变型例所述,在根据上述的第一至第三变型例的结构中,将逻辑基板11电连接至像素传感器基板12的连接配线153不是形成在像素传感器基板12的硅基板101的上侧而是形成在逻辑基板11的硅基板81的下侧。因此,由于能够最小化玻璃保护基板18与层叠基板13之间的具有无腔结构的厚度,所以能够实现固态成像器件1的低背部,且因此能够改善像素特性。

[0642] <第四变型例的制造方法>

[0643] 接着,将参照图88A至图89D说明具有根据图9所示的第四变型例的结构的固态成像器件1的制造方法。

[0644] 图9所示的根据第四变型例的结构是这样的面对面结构:其中,焊料球14、逻辑基板11的多个配线层83和像素传感器基板12的多个配线层103通过贯穿逻辑基板11和像素传感器基板12的一个芯片贯通电极181连接。

[0645] 首先,如图88A所示,将分别制造出的半成品逻辑基板11与像素传感器基板12粘合

以使它们的配线层彼此面对。然后,形成硅贯通电极 109、芯片贯通电极105、将硅贯通电极 109连接至芯片贯通电极105的连接配线106、芯片贯通电极181和连接配线182。使用绝缘膜 108覆盖硅基板101的包括硅贯通电极109、芯片贯通电极105、连接配线106、芯片贯通电极 181和连接配线182 在内的上表面。与上述的其它实施例一样,可以将绝缘膜108构造为包括多个层(即,盖膜和绝缘膜)。

[0646] 在上述的第一至第三变型例中,将硅贯通电极109、芯片贯通电极 105以及将芯片贯通电极105连接至硅贯通电极109的连接配线106形成在逻辑基板11侧。然而,在第四变型例中,如图88A所示,将硅贯通电极109、芯片贯通电极105和连接配线106形成在像素传感器基板12侧。然而,形成方法与根据上述的第一至第三变型例的形成方法相同。也能够与硅贯通电极109、芯片贯通电极105和连接配线106同时地形成芯片贯通电极181和连接配线182。

[0647] 接着,如图88B所示,在形成有绝缘膜108的部位挖刻包括像素区域21在内的必要区域。可替代地或额外地,将包括像素区域21在内的必要区域形成在形成有绝缘膜108的凹槽部中。如图88C所示,在像素区域21的挖刻部中形成滤色器15和片上透镜16。可替代地或额外地,在像素区域21的凹槽部中形成滤色器15和片上透镜16。

[0648] 如图88D所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板 12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。

[0649] 接着,如图89A所示,使用玻璃保护基板18作为支撑基板以使逻辑基板11的硅基板81经受背部研磨(抛光)从而被减薄。在背部研磨中,通过抛光速率的差异使芯片贯通电极 181稍微突出于硅基板81。减薄之后,通过CMP法使被研磨的硅基板81的表面平坦化。

[0650] 其后,在通过等离子体CVD法形成用作绝缘膜86的TEOS膜后,通过CMP法使形成的TEOS膜平坦化且使用氢氟酸(HF)进行湿法蚀刻。然后,如图89B所示,使硅基板81的除了芯片贯通电极181的上面以外的表面覆盖有绝缘膜86。

[0651] 在如图89C所示的通过半加成法形成重新配线183后,如图89D所示地形成焊接掩模91和焊料球14。

[0652] 根据前述的制造方法,完成了具有根据图9所示的第四变型例的结构的图1中的固态成像器件1。

[0653] <第五变型例的制造方法>

[0654] 接着,将参照图90A至图92C说明具有图10所示的第五变型例的结构的固态成像器件1的制造方法。

[0655] 图90A至图90C所示的工序与图88A至图88C所示的第四变型例的制造方法的工序相同。

[0656] 即,在将分别制造的半成品逻辑基板11与像素传感器基板12贴合以使它们的配线层彼此面对后,形成例如芯片贯通电极105、硅贯通电极 109和芯片贯通电极181等连接导体。然后,将滤色器15和片上透镜16 形成在像素传感器基板12的背面侧。

[0657] 其后,如图90D所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将使用硅基板的临时接合基板 521粘贴至无腔结构。

[0658] 在图88D所示的第四变型例的制造方法中,在此工序中粘贴玻璃保护基板18。然而,在第五变型例的制造方法中,粘贴临时接合基板521。通过这样做,能够获得利用之前处理的设备这样的优势。

[0659] 如图91A所示,与图89A一样,使用临时接合基板521作为支撑基板以将逻辑基板11的硅基板81减薄。

[0660] 如图91B所示,以与参照图89B所述的方法的工序相同的工序形成例如TEOS膜等绝缘膜86A。其后,如图91C所示,在绝缘膜86A的上表面形成重新配线183和绝缘膜86B。

[0661] 因此,第五变型例中的绝缘膜86被构造为包括两层,即重新配线183 形成前的绝缘膜86A和重新配线183形成后的绝缘膜86B。能够通过半加成法形成重新配线183且能够通过等离子体CVD法形成绝缘膜86B。

[0662] 接着,如图91D所示,对重新配线183上的将要形成焊料球14的区域进行开口,且例如将对绝缘膜86具有蚀刻选择性的嵌入材料522(例如抗蚀剂或SOG(旋涂玻璃)等)嵌入开口部。然后,将临时接合基板 523粘贴至逻辑基板11的嵌入有嵌入材料522的绝缘膜86的上表面。

[0663] 如图92A所示,分离粘贴至片上透镜16侧的临时接合基板521。其后,如图92B所示,将玻璃保护基板18粘贴至片上透镜16侧。

[0664] 接着,如图92C所示,分离逻辑基板11的绝缘膜86侧的临时接合基板523且去除嵌入材料522。然后,通过焊料球安装法等将焊料球14 形成在嵌入材料522被去除的部位。

[0665] 根据前述的制造方法,完成了具有根据图10所示的第五变型例的结构的图1中的固态成像器件1。

[0666] <第六变型例的制造方法>

[0667] 接着,将参照图93A至图94C说明具有根据图11所示的第六变型例的结构的固态成像器件1的制造方法。

[0668] 首先,如图93A所示,在将分别制造的半成品逻辑基板11与像素传感器基板12贴合以使它们的配线层彼此面对后,形成芯片贯通电极191、连接配线192、芯片贯通电极181和连接配线182。然后,使用绝缘膜108 覆盖硅基板101的包括 芯片贯通电极191、连接配线192、芯片贯通电极 181和连接配线182在内的上表面。芯片贯通电极191和连接配线192 等的形成方法与上述的第一至第五变型例的形成方法相同。与上述的其它实施例一样,能够将绝缘膜108构造为包括多个层(即,盖膜和绝缘膜)。

[0669] 接着,如图93B所示,在形成有绝缘膜108的部位挖刻包括像素区域21在内的必要区域。可替代地或额外地,将包括像素区域21在内的必要区域形成在形成有绝缘膜108的凹槽部。如图93C所示,将滤色器 15和片上透镜16形成于像素区域21的挖刻部。可替代地或额外地,将滤色器15和片上透镜16形成于像素区域21的凹槽部。

[0670] 如图94A所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板 12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。

[0671] 接着,如图94B所示,使用玻璃保护基板18作为支撑基板以使逻辑基板11的硅基板81经受背部研磨(抛光)而被减薄,且因此硅基板81 被减薄以使芯片贯通电极181稍微突出于硅基板81。

[0672] 如图94C所示,在通过半加成法形成重新配线183后,形成焊接掩模91和焊料球14。

[0673] 根据前述的制造方法,完成了具有根据图11所示的第六变型例的结构的图1中的固态成像器件1。

[0674] 也能够通过使用两个基板,即参照图90A至图92D所述的临时接合基板521和523的

方法来制造根据第六变型例的结构。

[0675] <第七变型例的制造方法>

[0676] 接着,将参照图95A至图96C说明具有根据图12所示的第七变型例的结构的固态成像器件1的制造方法。

[0677] 首先,如图95A所示,在将分别制造的半成品逻辑基板11与像素传感器基板12粘合以使它们的配线层彼此面对之后,形成芯片贯通电极 181和连接配线182。然后,使用绝缘膜108覆盖硅基板101的包括芯片贯通电极181和连接配线182在内的上表面。

[0678] 根据图12所示的第七变型例的固态成像器件1的结构是这样的结构:其中,逻辑基板11与像素传感器基板12通过金属接合来连接。因此,在图95A中,通过Cu-Cu金属接合将分别制造的半成品逻辑基板11 的多层式配线层82的配线层83a与半成品像素传感器基板12的多层式配线层102的配线层103c粘合在一起。

[0679] 芯片贯通电极181和连接配线182的形成方法与上述的第一至第六变型例的形成方法相同。与上述的其它实施例一样,能够将绝缘膜108 构造为包括多个层(即,盖膜和绝缘膜)。

[0680] 接着,如图95B所示,在形成有绝缘膜108的部位挖刻包括像素区域21在内的必要区域。可替代地或额外地,将包括像素区域21在内的必要区域形成在形成有绝缘膜108的凹槽部。如图95C所示,将滤色器 15和片上透镜16形成于像素区域21的挖刻部。可替代地或额外地,将滤色器15和片上透镜16形成于像素区域21的凹槽部。

[0681] 如图96A所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板 12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。

[0682] 接着,如图96B所示,使用玻璃保护基板18作为支撑基板来使逻辑基板11的硅基板81经受背部研磨(抛光)而被减薄,且因此硅基板81 被减薄以使芯片贯通电极181稍微突出于硅基板81。

[0683] 如图96C所示,在通过半加成法形成重新配线183后,形成焊接掩模91和焊料球14。

[0684] 根据前述的制造方法,完成了具有根据图12所示的第七变型例的结构的图1中的固态成像器件1。

[0685] 也能够通过使用两个基板,即参照图90A至图92D所述的临时接合基板521和523的方法来制造根据第七变型例的结构。

[0686] <第八变型例的制造方法>

[0687] 接着,将参照图97A至图100C说明具有根据图13所示的第八变型例的结构的固态成像器件1的制造方法。

[0688] 首先,如图97A所示,将分别制造的半成品逻辑基板11与像素传感器基板12粘合以使它们的配线层彼此面对。

[0689] 如图97B所示,使粘贴的逻辑基板11和像素传感器基板12这两者上下颠倒。在使逻辑基板11的硅基板81变薄后,形成硅贯通电极88和重新配线90。硅贯通电极88和重新配线90的形成方法与上述的第一至第七变型例的形成方法相同。

[0690] 接着,如图97C所示,在不影响配线层83等的等于或大于250度且等于或小于400度的温度下在逻辑基板11的硅基板81的形成有重新配线90的上表面形成绝缘膜201。例如,如参照图13所述,例如,能够将等离子体TEOS膜、等离子体SiN膜、等离子体SiO₂膜、CVD-SiN膜

或 CVD-SiO₂膜形成成为绝缘膜201。

[0691] 在如图98A所示的通过CMP法使形成的绝缘膜201平坦化后,如图98B所示地将临时接合基板541粘贴至平坦化的绝缘膜201的上表面。

[0692] 如图98C所示,再次使逻辑基板11和像素传感器基板12这两者上下颠倒,使用临时接合基板541作为支撑基板来将像素传感器基板12的硅基板101减薄。

[0693] 如图99A所示,形成芯片贯通电极105、硅贯通电极109以及将芯片贯通电极105与硅贯通电极109连接的连接配线106。使用绝缘膜108 覆盖硅基板101的包括 芯片贯通电极105、硅贯通电极109和连接配线 106在内的上面。与上述的其它实施例一样,能够将绝缘膜108构造为包括多个层(即,盖膜和绝缘膜)。与图91C中的绝缘膜86A和86B一样,可以在两个或以上工序中形成绝缘膜108。

[0694] 接着,如图99B所示,在形成有绝缘膜108的部位挖刻包括像素区域21在内的必要区域,且将滤色器15和片上透镜16形成于像素区域21 的挖刻部。可替代地或额外地,将包括像素区域21在内的必要区域形成在形成有绝缘膜108的凹槽部,且将滤色器15和片上透镜16形成于像素区域21的凹槽部。

[0695] 如图99C所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板 12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构连接。

[0696] 其后,如图100A所示,使粘贴的逻辑基板11和像素传感器基板12 这两者上下颠倒且分离临时接合基板541。

[0697] 如图100B所示地对将要安装焊料球14的区域的绝缘膜201进行蚀刻,以使如图100C所示地去除绝缘膜201。然后,通过焊料球安装法等露出的重新配线90上形成焊料球14。

[0698] 根据前述的制造方法,完成了具有根据图13所示的第八变型例的结构的图1中的固态成像器件1。

[0699] <第一至第八变型例的制造方法的总结>

[0700] 将简要说明具有根据第一至第八变型例的结构的固态成像器件1的制造方法。

[0701] 在根据第一至第八变型例的结构中,将逻辑基板11侧的形成有多层式配线层82的硅基板81与像素传感器基板12侧的形成有多层式配线层 102的硅基板101粘贴以使配线层彼此面对。

[0702] 接着,形成将逻辑基板11的配线层83连接至像素传感器基板12的配线层103的贯通孔,且形成将作为背面电极的焊料球14连接至逻辑基板11的配线层83的贯通孔和重新配线。

[0703] 贯通孔和重新配线对应于第一和第三变型例中的硅贯通电极151、芯片贯通电极152和重新配线154,对应于第二变型例中的硅贯通电极88 和重新配线90且对应于第四、第五和第八变型例中的芯片贯通电极105、硅贯通电极109、芯片贯通电极181和重新配线183。贯通孔和重新配线对应于第六和第七变型例中的芯片贯通电极181、芯片贯通电极191和重新配线183。

[0704] 贯通孔或重新配线的形成工序也包括形成绝缘膜86。

[0705] 在形成贯通孔和重新配线后,形成滤色器15和片上透镜16。最后,使用玻璃密封树脂17将玻璃保护基板18与无腔结构连接,以完成固态成像器件1。

[0706] 因此,在形成滤色器15和片上透镜16前,形成将逻辑基板11的配线层83连接至像素传感器基板12的配线层103的贯通孔并且形成将作为背面电极的焊料球14连接至逻辑基板11的配线层83的贯通孔和重新配线。因此,能够在等于或大于250度的高温情况下形成绝缘膜86。因此,能够形成确保高可靠性的绝缘膜86。换言之,能够将绝缘膜86的机械特性或绝缘电阻提高至与信号处理配线的相同水平。

[0707] <第九变型例的制造方法>

[0708] 接着,将参照图101A至图103C说明具有根据图14所示的第九变型例的结构的固态成像器件1的制造方法。

[0709] 首先,如图101A所示,例如,在将形成控制电路22等的一部分的多层式配线层102形成在将成为具有约600微米厚度的硅基板(硅晶圆) 101的各芯片部的区域之后,将临时接合基板251粘贴至多层式配线层 102的上面。

[0710] 接着,如图101B所示,在使硅基板101变薄后,将各像素32的光电二极管51形成在硅基板101内的预定区域。在光电二极管51的上侧形成滤色器15和片上透镜16。

[0711] 接着,如图101C所示,在形成有片上透镜16的硅基板101的上表面上使用玻璃密封树脂17将玻璃保护基板18与无腔结构连接。然后,在将玻璃表面保护膜252形成在玻璃保护基板18的上表面后,剥离临时接合基板251。例如,能够采用SiN膜或SiO₂膜作为玻璃表面保护膜252。

[0712] 通过前述的工序完成了半成品像素传感器基板12。

[0713] 另一方面,在逻辑基板11侧,如图102A所示,例如,在将用于形成逻辑电路23的多层式配线层82形成在将成为具有约600微米厚度的硅基板(硅晶圆) 81的各芯片部的区域后,将临时接合基板261粘贴至多层式配线层82的上表面。

[0714] 接着,如图102B所示,在使硅基板81变薄后,在将要布置硅贯通电极88(未图示)的位置处形成开口262并且在开口262的内壁面和硅基板81的上表面形成绝缘膜(隔离膜) 86。在等于或大于250度的高温下形成绝缘膜86以便确保高可靠性。

[0715] 与上述的基本结构的制造方法一样,在形成阻挡金属膜和Cu晶种层(未图示)后,形成连接导体87和重新配线90。

[0716] 在第九变型例中,也在形成于硅基板81上的绝缘膜86上的预定位置处形成虚拟配线211,以减小进行Cu-Cu接合时的不平坦的影响。

[0717] 如图102C所示,剥离临时接合基板261。其后,如图102D所示,此时,将粘合剂263涂覆于硅基板81的重新配线90侧且将临时接合基板264粘贴至该侧。

[0718] 通过前述的工序完成了半成品逻辑基板11。

[0719] 如图103A所示,通过逻辑基板11的最上层的配线层83a与像素传感器基板12的最下层的配线层103c的金属接合(Cu-Cu接合)将半成品逻辑基板11与半成品像素传感器基板12粘贴在一起。

[0720] 其后,如图103B所示,剥离临时粘贴至逻辑基板11的临时接合基板264且也去除粘合剂263。

[0721] 最后,如图103C所示,在通过参照图64和图65所述的工序形成焊接掩模91和焊料球14后,去除玻璃表面保护膜252。

[0722] 根据前述的制造方法,完成了具有根据图14所示的第九变型例的结构的图1中的

固态成像器件1。

[0723] 根据上述的第九变型例的制造方法,在将逻辑基板11与像素传感器基板12粘贴在一起之前,在单独的逻辑基板11的工序中形成硅贯通电极88。因此,当形成硅贯通电极88时,不存在具有低耐热性的滤色器 15和片上透镜16。因此,能够在等于或高于250度的高温情况下形成绝缘膜86。因此,能够形成确保高可靠性的绝缘膜86。

[0724] 根据第九变型例的制造方法,在将逻辑基板11与像素传感器基板12 粘贴在一起之前,当单独的像素传感器基板12的变形小时形成滤色器15 和片上透镜16。因此,由于能够使滤色器15和片上透镜16与光电二极管51之间的未对准(misalignment)小,所以能够减小由未对准造成的缺陷百分比。因为未对准小,所以能够使像素尺寸小型化。

[0725] 根据第九变型例的制造方法,在与形成有重新配线90的层相同的层中形成有与电信号的发送和接收无关的虚拟配线211。因此,能够减小当进行Cu-Cu接合时由于重新配线90的存在或不存在而造成的不平坦的影响。

[0726] <7. 第十变型例>

[0727] 图104图示了根据第十变型例的固态成像器件1的层叠基板13的详细结构。

[0728] 在图104所示的第十变型例中,修改了图6所示的第一变型例的结构的一部分。

[0729] 在图104中,用相同的附图标记表示与图6所示的第一变型例的部分相对应的部分,并且将省略它们的说明。

[0730] 在图6的第一变型例中,两个贯通电极(即,硅贯通电极151和芯片贯通电极152)贯穿硅基板81。将硅贯通电极151与芯片贯通电极152 连接的连接配线153形成于硅基板81的上部。

[0731] 与此相比,在第十变型例中,如图104所示,连接配线153被形成为嵌入硅基板81中。重新配线154被省略(或连接配线153与重新配线 154被一体化),焊料球14形成在连接配线153上,并且硅基板81的除了焊料球14以外的上表面覆盖有绝缘膜86。其余的结构与图6所示的第一变型例的结构相同。

[0732] 在图104的第十变型例中,根据图6所示的第一变型例的结构被修改为使得连接配线153嵌入硅基板81中。同样的修改也能够应用于根据图7至图14所示的第二至第九变型例的结构。例如,连接配线106或182 可以被构造为嵌入硅基板101中,或重新配线90可以被构造为嵌入硅基板81中。

[0733] <8. 第十变型例的制造方法>

[0734] <第十变型例的第一制造方法>

[0735] 接着,将参照图105A至图107E说明具有根据图104所示的第十变型例的结构的固态成像器件1的第一制造方法。

[0736] 首先,如图105A所示,将分别制造的半成品逻辑基板11与像素传感器基板12粘贴以使它们的配线层彼此面对。

[0737] 接着,如图105B所示,使逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,到约20微米至约100微米的程度)。

[0738] 接着,如图105C所示,在逻辑基板11侧的硅基板81的预定位置处形成与逻辑基板11的配线层83c连接的硅贯通电极151、与像素传感器基板12的配线层103c连接的芯片贯通电极152以及将硅贯通电极151 与芯片贯通电极152连接的连接配线153。能够以与参照图

22至图24 所述的工序相同的工序形成硅贯通电极151、芯片贯通电极152和连接配线153。

[0739] 接着,如图105D所示,将绝缘膜86形成在逻辑基板11的硅基板 81和连接配线153的整个上表面。绝缘膜86包括例如单层的SiCN层、SiN与SiO₂的层叠层或SiCN与SiO₂的层叠层,并且起到防止连接配线 153的材料(例如,Cu)扩散的钝化膜的作用。能够在等于或大于250 度且等于或小于400度的高温下形成绝缘膜86。因此,能够形成具有良好耐湿性和良好膜质量的绝缘膜,且因此能够改善腐蚀和配线可靠性。

[0740] 接着,如图105E所示,在形成在逻辑基板11的硅基板81和连接配线153的整个上表面的绝缘膜86中,对焊料球14将被形成的区域进行开口,且因此形成焊盘部600。这里,如图105E所示,在焊盘部600中,残留有薄的绝缘膜86。

[0741] 接着,如图106A所示,在开口的焊盘部600中形成嵌入材料膜601。除了焊盘部600以外,也将嵌入材料膜601形成在绝缘膜86的上表面,并且通过CMP法使形成的嵌入材料膜601平坦化。嵌入材料膜601可以含有具有针对绝缘膜86的蚀刻选择性的材料。例如,能够采用具有低介电常数的有机绝缘膜、SiO₂膜或SiOC膜。

[0742] 能够通过旋转并涂覆抗蚀剂来形成嵌入材料膜601。在这种情况下,通过CMP法进行的平坦化工序不是必需的。

[0743] 接着,在如图106B所示地将临时接合基板602粘贴至逻辑基板11 的嵌入材料膜601侧后,如图106C所示地使所有基板上下颠倒。

[0744] 在如图106D所示的将像素传感器基板12的硅基板101减薄至约1 微米至约10微米后,如图106E所示地在变薄的硅基板101上形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0745] 接着,如图107A所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将玻璃保护基板18与无腔结构贴合。

[0746] 在贴合玻璃保护基板18后,如图107B所示地分离临时接合基板 602。

[0747] 接着,在如图107C所示的再次使所有基板上下颠倒后,如图107D 所示地通过例如使用氢氟酸(HF)的湿法蚀刻来去除嵌入材料膜601。通过对形成有绝缘膜86的整个表面进行回蚀刻,去除焊盘部600内剩余的薄的绝缘膜86,以使连接配线153露出。

[0748] 当以参照图106A所述的工序通过旋转并涂覆抗蚀剂来形成嵌入材料膜601时,能够通过O₂等离子体去除嵌入材料膜601(使其灰化)。

[0749] 最后,如图107E所示,通过焊料球安装法等将焊料球14形成在连接配线153被露出的部位。

[0750] 根据前述的制造方法,完成了具有根据图104所示的第十变型例的结构的图1中的固态成像器件1。

[0751] <第十变型例的第二制造方法>

[0752] 接着,将参照图108A至图110E说明具有根据图104所示的第十变型例的结构的固态成像器件1的第二制造方法。

[0753] 首先,如图108A所示,将分别制造的半成品逻辑基板11与像素传感器基板12贴合以使它们的配线层彼此面对。

[0754] 接着,如图108B所示,使逻辑基板11的硅基板81减薄至具有不影响器件特性的厚度的程度(例如,到约20微米至约100微米的程度)。

[0755] 接着,如图108C所示,在逻辑基板11侧的硅基板81的预定位置处形成与逻辑基板11的配线层83c连接的硅贯通电极151、与像素传感器基板12的配线层103c连接的芯片贯通电极152以及将硅贯通电极151与芯片贯通电极152连接的连接配线153。能够以与参照图22至图24说明的工序相同的工序来形成硅贯通电极151、芯片贯通电极152和连接配线153。

[0756] 接着,如图108D所示,在逻辑基板11的硅基板81和连接配线153的整个上表面上形成绝缘膜86。绝缘膜86包括例如单层的SiCN层、SiN与SiO₂的层叠层或SiCN与SiO₂的层叠层,并且起到防止连接配线153的材料(例如,Cu)扩散的钝化膜的作用。能够在等于或大于250度且等于或小于400度的高温情况下形成绝缘膜86。因此,能够形成具有良好耐湿性和良好膜质量的绝缘膜,且因此能够改善腐蚀和配线可靠性。

[0757] 接着,如图108E所示,在形成在逻辑基板11的硅基板81和连接配线153的整个上表面的绝缘膜86中,在焊料球14将被形成的区域形成开口,且因此形成焊盘部611。这里,在第二制造方法中,如图108E所示,在焊盘部611中去除绝缘膜86直至使连接配线153露出。

[0758] 接着,如图109A所示,在开口的焊盘部611中形成嵌入材料膜601。除了焊盘部611以外,也将嵌入材料膜601形成在绝缘膜86的上表面,并且通过CMP法使形成的嵌入材料膜601平坦化。嵌入材料膜601可以含有对于绝缘膜86具有蚀刻选择性的材料。例如,能够采用具有低介电常数的有机绝缘膜、SiO₂膜或SiOC膜。

[0759] 接着,在如图109B所示地将临时接合基板602粘贴至逻辑基板11的嵌入材料膜601侧后,如图109C所示地使所有基板上下颠倒。

[0760] 在如图109D所示的将像素传感器基板12的硅基板101减薄至约1微米至约10微米后,如图109E所示地在变薄的硅基板101上形成滤色器15和片上透镜16。此外,在变薄的硅基板101的上表面可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0761] 接着,如图110A所示,在将玻璃密封树脂17涂覆至形成有像素传感器基板12的片上透镜16的整个表面后,将粘贴玻璃保护基板18与无腔结构粘合。

[0762] 在粘合玻璃保护基板18后,如图110B所示地分离临时接合基板602。

[0763] 接着,在如图110C所示的再次使所有基板上下颠倒后,如图110D所示地通过例如使用氢氟酸(HF)的湿法蚀刻来去除嵌入材料膜601。因此,连接配线153在焊盘部611中露出。

[0764] 最后,如图110E所示,通过焊料球安装法等将焊料球14形成于连接配线153被露出的部位。

[0765] 根据前述的制造方法,完成了具有根据图104所示的第十变型例的结构的图1中的固态成像器件1。

[0766] 即使在参照图105A至图110E所述的第十变型例的第一和第二制造方法中,也在形成滤色器15和片上透镜16之前形成两个贯通电极(即,硅贯通电极151和芯片贯通电极152)以及将这两个贯通电极彼此连接的连接配线153。因此,能够在等于或大于250度的高温情况下形成绝缘膜86。因此,能够形成确保高可靠性的绝缘膜86。换言之,能够将绝缘膜86的机械特性或绝缘电阻提高至与信号处理配线的相同水平。

[0767] 即使在具有上述的第一至第十变型例的面对面结构的固态成像器件1中,也能够采用如参照图40至图42所述的重新配线90上形成有焊盘431的结构。此时,如图50所示,在

重新配线90的下方能够形成有用于阻止与金属配线中的铜发生反应的阻挡金属461。

[0768] <常规背面照射型结构的制造方法>

[0769] 接着,将参照图111A至图113E说明具有常规背面照射型结构的固态成像器件的制造方法。

[0770] 首先,如图111A所示,将光电二极管(未图示)形成在硅基板701(它是第一半导体基板)内的各像素中,且将控制电路、逻辑电路和像素晶体管(诸如第一传输晶体管或放大晶体管等)的像素电路形成于硅基板701和多层式配线层704内。多层式配线层704包括多个配线层702以及形成在各配线层702之间的层间绝缘膜703。

[0771] 接着,如图111B所示,将硅基板705(它是第二半导体基板)粘贴至硅基板701的多层式配线层704的上部。与上述的层叠基板13的构造不同的是,不像上述的其它制造方法那样地在硅基板705(它是第二半导体基板)中形成配线层。

[0772] 接着,如图111C所示,在硅基板705的预定位置处形成重新配线707和连接至最上配线层702的硅贯通电极706。能够以与参照图22至图24所述的工序相同的工序形成硅贯通电极706和重新配线707。

[0773] 接着,如图111D所示,在硅基板705和重新配线707的整个上表面上形成绝缘膜708。绝缘膜708包括例如单层的SiCN层、SiN与SiO₂的层叠层或SiCN与SiO₂的层叠层,并且起到用于防止重新配线707的材料(例如,Cu)扩散的钝化膜的作用。能够在等于或大于250度且等于或小于400度的高温情况下形成绝缘膜708。因此,能够形成具有良好耐湿性和良好膜质量的绝缘膜,且因此能够改善腐蚀和配线可靠性。

[0774] 接着,如图111E所示,在形成在硅基板705和重新配线707的整个上面的绝缘膜708中,在焊料球716(参见图113E)将被形成的区域形成开口,且因此形成焊盘部709。这里,如图111E所示,在焊盘部709中残留有薄的绝缘膜708。

[0775] 接着,如图112A所示,在开口的焊盘部709中嵌入材料膜710。除了焊盘部709以外,也将嵌入材料膜710形成在绝缘膜708的上表面,并且通过CMP法使形成的嵌入材料膜710平坦化。嵌入材料膜710可以含有对于绝缘膜708具有蚀刻选择性的材料。例如,能够采用具有低介电常数的有机绝缘膜、SiO₂膜或SiOC膜。

[0776] 能够通过旋转并涂覆抗蚀剂来形成嵌入材料膜710。在这种情况下,通过CMP法进行的平坦化工序不是必需的。

[0777] 接着,在如图112B地将临时接合基板711粘贴至硅基板705的嵌入材料膜710侧后,如图112C所示地使所有基板上下颠倒。

[0778] 在如图112D所示的将硅基板701减薄至约1微米至约10微米后,如图112E所示地在变薄的硅基板701上形成滤色器712和片上透镜713。此外,在变薄的硅基板701的上表面可以形成例如图15的高介电膜401等高介电膜以抑制暗电流。

[0779] 接着,如图113A所示,在将玻璃密封树脂714涂覆至形成有硅基板701的片上透镜713的整个表面后,将玻璃保护基板715与无腔结构粘合。

[0780] 在粘合玻璃保护基板715后,如图113B所示地分离临时接合基板711。

[0781] 接着,在如图113C所示的再次使所有基板上下颠倒后,如图113D所示地通过例如使用氢氟酸(HF)的湿法蚀刻来去除嵌入材料膜710。通过对形成有绝缘膜708的整个表面进行回蚀刻,去除焊盘部709内剩余的薄的绝缘膜708,以使重新配线707露出。

[0782] 当以参照图112A所述的工序通过旋转并涂覆抗蚀剂来形成嵌入材料膜710时,能够通过 O_2 等离子体去除嵌入材料膜710(使其灰化)。

[0783] 最后,如图113 E所示,通过焊料球安装法等将焊料球716形成于重新配线707被露出的部位。

[0784] 如上所述,不是在粘合事先形成有配线层的半导体基板时而是在粘合未形成有配线层的硅基板时,与上述的其它制造方法一样,能够在形成滤色器712和片上透镜713之前形成硅贯通电极706和重新配线707。因此,由于能够在等于或大于250度的高温下形成绝缘膜708,所以能够形成确保高可靠性的绝缘膜708。换言之,能够将绝缘膜708的机械特性或绝缘电阻提高至与信号处理配线的相同水平。

[0785] <9. 三层式层叠基板的构造示例>

[0786] 在上述的各实施例中,固态成像器件1的层叠基板13被构造为包括两个层,即逻辑基板11和像素传感器基板12。

[0787] 然而,如图114A和图114B所示,层叠基板13也能够具有三层构造,其中,在逻辑基板11与像素传感器基板12之间设置有作为第三半导体基板的存储基板801。

[0788] 在存储基板801中形成有存储电路802,存储电路802存储像素区域 21内产生的信号和逻辑电路23内信号处理结果的数据等。

[0789] 图115A至图118图示了当固态成像器件1的层叠基板13被构造为包括三个层时的具体构造示例。

[0790] 因为图115A至图118的各基板的详细构造与上述的逻辑基板11和像素传感器基板12所述的构造相同,所以将省略它们的说明。

[0791] 首先,将说明具有图115A至图115C所示的三层式结构的固态成像器件1的构造。

[0792] 在图115A至图115C所示的所有固态成像器件1中,逻辑基板11 与像素传感器基板12以面对面结构层叠。被插入在逻辑基板11与像素传感器基板12之间的存储基板801与像素传感器基板12以面对面结构层叠。

[0793] 以下面的顺序制造图115A所示的固态成像器件1。

[0794] 首先,将分别制造的半成品像素传感器基板12与存储基板801粘合以使它们的配线层彼此面对。接着,在使存储基板801的硅基板812变薄后,形成贯穿存储基板801的硅基板812和多层式配线层811的芯片贯通电极813、贯穿硅基板812的硅贯通电极814以及将芯片贯通电极 813与硅贯通电极814连接的重新配线821。因此,使用芯片贯通电极813、硅贯通电极814和重新配线821将像素传感器基板12的多层式配线层 102与存储基板801的多层式配线层811连接。

[0795] 接着,将存储基板801与半成品逻辑基板11粘贴在一起,且形成贯穿逻辑基板11的硅基板81和多层式配线层82的芯片贯通电极815、贯穿硅基板81的硅贯通电极816以及连接配线153。因此,使用芯片贯通电极815、硅贯通电极816和连接配线153将逻辑基板11的多层式配线层82与存储基板801的多层式配线层811连接。

[0796] 在将重新配线154和绝缘膜86形成在逻辑基板11的连接配线153 的上部后,将逻辑基板11与临时接合基板(未图示)粘贴在一起。

[0797] 使用临时接合基板(未图示)作为支撑基板以将像素传感器基板12 的硅基板101减薄,且在变薄的硅基板101的上表面形成滤色器15和片上透镜16。然后,在形成滤色器15

和片上透镜16后,将玻璃密封树脂 17与玻璃保护基板18粘贴在一起。

[0798] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91 和焊料球14,以完成了图115A所示的固态成像器件1。

[0799] 接着,以下面的顺序制造图115B所示的固态成像器件1

[0800] 首先,将分别制造的半成品像素传感器基板12与存储基板801粘贴为它们的配线层彼此面对。接着,在使存储基板801的硅基板812变薄后,形成贯穿存储基板801的硅基板812和多层式配线层811的芯片贯通电极813、贯穿硅基板812的硅贯通电极814以及将芯片贯通电极813 与硅贯通电极814连接的重新配线821。因此,使用芯片贯通电极813、硅贯通电极814和重新配线821将像素传感器基板12的多层式配线层 102与存储基板801的多层式配线层811连接。

[0801] 接着,通过存储基板801的重新配线821与逻辑基板11的多层式配线层82的配线层83的金属接合(Cu-Cu)将存储基板801与半成品逻辑基板11粘贴在一起。

[0802] 在使逻辑基板11的硅基板81变薄后,形成贯穿硅基板81的硅贯通电极816、连接配线153、重新配线154和绝缘膜86。其后,将临时接合基板(未图示)粘贴至逻辑基板11的绝缘膜86侧。

[0803] 使用临时接合基板(未图示)作为支撑基板来将像素传感器基板12 的硅基板101减薄,且在变薄的硅基板101的上表面形成滤色器15和片上透镜16。然后,在形成滤色器15和片上透镜16后,将玻璃密封树脂 17与玻璃保护基板18粘贴在一起。

[0804] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91 和焊料球14,以完成图115B所示的固态成像器件1。

[0805] 接着,以下面的顺序制造图115C所示的固态成像器件1。

[0806] 首先,将分别制造的半成品像素传感器基板12与存储基板801粘贴以使它们的配线层彼此面对。通过像素传感器基板12的多层式配线层 102与存储基板801的多层式配线层811的金属接合(Cu-Cu)将像素传感器基板12与存储基板801粘接在一起。

[0807] 接着,在使存储基板801的硅基板812变薄后,形成贯穿存储基板 801的硅基板812的硅贯通电极814以及与硅贯通电极814连接的重新配线821。

[0808] 接着,通过存储基板801的重新配线821与逻辑基板11的多层式配线层82的配线层83的金属接合(Cu-Cu)将半成品逻辑基板11与存储基板801粘接在一起。

[0809] 在使逻辑基板11的硅基板81变薄后,形成贯穿硅基板81的硅贯通电极816、连接配线153、重新配线154和绝缘膜86。其后,将临时接合基板(未图示)粘贴至逻辑基板11的绝缘膜86侧。

[0810] 接着,使用临时接合基板(未图示)作为支撑基板以将像素传感器基板12的硅基板101减薄,且在变薄的硅基板101的上表面形成滤色器 15和片上透镜16。然后,在形成滤色器15和片上透镜16以后,将玻璃密封树脂17与玻璃保护基板18粘贴在一起。

[0811] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91 和焊料球14,以完成图115C所示的固态成像器件1。

[0812] 接着,将以下面的顺序说明具有图116A至图116C所示的三层式结构的固态成像器件1。

[0813] 在图116A至图116C所示的所有固态成像器件1中,存储基板801 与逻辑基板11以

面对面结构层叠。像素传感器基板12也以面对面结构而被层叠至逻辑基板11。

[0814] 以下面的顺序制造图116A所示的固态成像器件1。

[0815] 首先,将分别制造的半成品逻辑基板11与存储基板801粘合以使它们的配线层彼此面对。

[0816] 接着,在将逻辑基板11的硅基板81减薄后,形成硅贯通电极816、连接配线153、重新配线154和绝缘膜86,且将逻辑基板11与临时接合基板(未图示)粘贴在一起。

[0817] 接着,在使用临时接合基板(未图示)作为支撑基板以将存储基板801的硅基板812减薄后,形成芯片贯通电极813、硅贯通电极814和重新配线821。

[0818] 接着,在将像素传感器基板12接合至存储基板801的上侧并且将像素传感器基板12的硅基板101减薄后,形成贯穿像素传感器基板12的硅基板101和多层式配线层102的芯片贯通电极842、贯穿硅基板101的硅贯通电极843以及将芯片贯通电极842与硅贯通电极843连接的重新配线844。因此,使用芯片贯通电极842、硅贯通电极843和重新配线844将像素传感器基板12的多层式配线层102与存储基板801的多层式配线层811连接。其后,形成滤色器15和片上透镜16且通过玻璃密封树脂17粘接玻璃保护基板18。

[0819] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91和焊料球14,以完成图116A所示的固态成像器件1。

[0820] 接着,以下面的顺序制造图116B所示的固态成像器件1。

[0821] 首先,将分别制造的半成品逻辑基板11与存储基板801粘合以使它们的配线层彼此面对。

[0822] 接着,在使被制造成直至半成品状态的逻辑基板11的硅基板81减薄后,形成芯片贯通电极815、硅贯通电极816、连接配线153、重新配线154和绝缘膜86。因此,使用芯片贯通电极815、硅贯通电极816和连接配线153将逻辑基板11的多层式配线层82与存储基板801的多层式配线层811连接。其后,将逻辑基板11粘接至临时接合基板(未图示)。

[0823] 接着,在使存储基板801的硅基板812减薄之后,将像素传感器基板12接合至变薄的硅基板812的上侧。

[0824] 接着,形成贯穿整个像素传感器基板12以及存储基板801的硅基板812的芯片贯通电极852、贯穿像素传感器基板12的硅基板101的硅贯通电极843以及将芯片贯通电极852与硅贯通电极843连接的重新配线844。因此,使用芯片贯通电极852、硅贯通电极843和重新配线844将像素传感器基板12的多层式配线层102与存储基板801的多层式配线层811连接。其后,在形成滤色器15和片上透镜16后,将玻璃密封树脂17与玻璃保护基板18粘贴在一起。

[0825] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91和焊料球14,以完成图116B所示的固态成像器件1。

[0826] 接着,以下面的顺序制造图116C所示的固态成像器件1。

[0827] 首先,将第一临时接合基板(未图示)粘贴至半成品存储基板801的多层式配线层811侧,且使用第一临时接合基板作为支撑基板以将存储基板801的硅基板812减薄。

[0828] 接着,将被制造成直至半成品状态的像素传感器基板12粘贴至存储基板801,分离粘贴至存储基板801的另一侧的第一临时接合基板,并且形成芯片贯通电极813、硅贯通电极814和重新配线821。因此,使用芯片贯通电极813、硅贯通电极814和重新配线821将像素

传感器基板12 的多层式配线层102与存储基板801的多层式配线层811连接。

[0829] 接着,将被制造成直至半成品状态的逻辑基板11粘贴至存储基板 801的重新配线821侧,且形成芯片贯通电极815、硅贯通电极816、连接配线153、重新配线154和绝缘膜86。因此,使用芯片贯通电极815、硅贯通电极816和连接配线153将逻辑基板11的多层式配线层82与存储基板801的多层式配线层811连接。此后,将逻辑基板11粘贴至第二临时接合基板(未图示)。

[0830] 在将像素传感器基板12的硅基板101减薄后,形成滤色器15和片上透镜16且通过玻璃密封树脂17来粘贴玻璃保护基板18。

[0831] 最后,分离接合至逻辑基板11的第二临时接合基板且形成焊接掩模 91和焊料球14,以完成图116C所示的固态成像器件1。

[0832] 接着,将以下面的顺序说明具有图117A至图117C所示的三层式结构的固态成像器件1。

[0833] 在图117A至图117C所示的固态成像器件1中,存储基板801与逻辑基板11也以面对面结构层叠,并且像素传感器基板12也以面对面结构而被层叠至逻辑基板11。

[0834] 以下面的顺序制造图117A所示的固态成像器件1。

[0835] 首先,通过逻辑基板11的多层式配线层82与存储基板801的多层式配线层811的金属接合(Cu-Cu)将分别制造的半成品逻辑基板11与存储基板801粘合以使它们的配线层彼此面对。

[0836] 接着,在将逻辑基板11的硅基板81减薄后,形成硅贯通电极816、连接配线153、重新配线154和绝缘膜86。其后,将逻辑基板11粘贴至临时接合基板(未图示)。

[0837] 接着,在使用临时接合基板(未图示)作为支撑基板以将存储基板 801的硅基板812减薄后,形成硅贯通电极814和重新配线821。

[0838] 接着,在将像素传感器基板12接合至存储基板801的上侧并且将像素传感器基板12的硅基板101减薄后,形成贯穿像素传感器基板12的硅基板101和多层式配线层102的芯片贯通电极842、贯穿硅基板101 的硅贯通电极843以及将芯片贯通电极842与硅贯通电极843连接的重新配线844。因此,使用芯片贯通电极842、硅贯通电极843和重新配线 844将像素传感器基板12的多层式配线层102与存储基板801的多层式配线层811连接。其后,形成滤色器15和片上透镜16且使用玻璃密封树脂17来粘贴玻璃保护基板18。

[0839] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91 和焊料球14,以完成图117A所示的固态成像器件1。

[0840] 接着,以下面的顺序制造图117B所示的固态成像器件1。

[0841] 首先,将第一临时接合基板(未图示)粘贴至半成品存储基板801 的多层式配线层811侧,且使用第一临时接合基板作为支撑基板以将存储基板801的硅基板812减薄。

[0842] 接着,将被制造成直至半成品状态的像素传感器基板12粘贴至存储基板801,分离粘贴至存储基板801的另一侧的第一临时接合基板且形成芯片贯通电极813、硅贯通电极814和重新配线821。因此,使用芯片贯通电极813、硅贯通电极814和重新配线821将像素传感器基板12的多层式配线层102与存储基板801的多层式配线层811连接。

[0843] 接着,通过逻辑基板11的多层式配线层82与存储基板801的多层式配线层811的金属接合(Cu-Cu)将半成品的逻辑基板11与存储基板 801粘接以使它们的配线层彼此面对。

[0844] 接着,在将逻辑基板11的硅基板81减薄后,形成硅贯通电极816、连接配线153、重新配线154和绝缘膜86。其后,将逻辑基板11粘贴至第二临时接合基板(未图示)。

[0845] 然后,使用第二临时接合基板作为支撑基板以将像素传感器基板12 的硅基板101减薄。其后,形成滤色器15和片上透镜16且使用玻璃密封树脂17粘接玻璃保护基板18。

[0846] 最后,分离接合至逻辑基板11的第二临时接合基板且形成焊接掩模 91和焊料球14,以完成图117B所示的固态成像器件1。

[0847] 接着,以下面的顺序制造图117C所示的固态成像器件1。

[0848] 首先,通过逻辑基板11的多层式配线层82与存储基板801的多层式配线层811的金属接合(Cu-Cu)将分别制造的半成品逻辑基板11与存储基板801粘接以使它们的配线层彼此面对。

[0849] 接着,在将逻辑基板11的硅基板81减薄之后,形成硅贯通电极816、连接配线153、重新配线154和绝缘膜86。其后,将逻辑基板11粘贴至临时接合基板(未图示)。

[0850] 接着,在将存储基板801的硅基板812减薄之后,形成硅贯通电极 814和重新配线821。

[0851] 接着,将像素传感器基板12粘贴至存储基板801的上侧。即,通过存储基板801的重新配线821与像素传感器基板12的多层式配线层102 的金属接合(Cu-Cu)将存储基板801与像素传感器基板12接合。

[0852] 其后,在像素传感器基板12的硅基板101的上表面形成滤色器15 和片上透镜16,并且使用玻璃密封树脂17粘接玻璃保护基板18。

[0853] 最后,分离接合至逻辑基板11的临时接合基板且形成焊接掩模91 和焊料球14,以完成图117C所示的固态成像器件1。

[0854] 如上面参照图115A至图117C所述,能够通过将存储基板801插入在具有面对面结构的布置关系的逻辑基板11与像素传感器基板12之间,来构造具有三层式结构的固态成像器件1。在这种情况下,如上所述,能够使存储基板801的方向相对于逻辑基板11朝向面对面结构和面对背结构中的任一者。

[0855] 图115A至图117C所示的各结构被构造为这样的结构:其中,几乎与焊料球14分隔开的像素传感器基板12的信号经由存储基板801而被传送至逻辑基板11。

[0856] 然而,例如,如图118所示,也能够形成贯穿三个半导体基板(即,逻辑基板11、存储基板801和像素传感器基板12)的芯片贯通电极861。像素传感器基板12的信号能够经由芯片贯通电极861被传送至逻辑基板 11侧。同样地,存储基板801的信号也能够经由芯片贯通电极861被传送至逻辑基板11侧。

[0857] 固态成像器件1中包含的层叠半导体基板的数量不限于如上所述的两个或三个半导体基板,且可以层叠有四个、五个或更多半导体基板。

[0858] <10.应用于电子装置的应用示例>

[0859] 本发明的技术不限于应用于固态成像器件。即,本发明的技术能够应用于将固态成像器件用于摄像单元(光电转换单元)的通用电子装置,例如成像装置(诸如数码相机或摄像机等)、具有成像功能的便携式终端装置或将固态成像器件用于图像读取单元的复印机等。

[0860] 图119是图示了作为根据本发明实施例的电子装置的成像装置的构造示例的框

图。

[0861] 图119的成像装置300包括采用了图1的固态成像器件1的构造的固态成像器件302和作为相机信号处理电路的数字信号处理器(DSP)电路303。成像装置300还包括帧存储器304、显示单元305、记录单元306、操作单元307和电源单元308。DSP电路303、帧存储器304、显示单元305、记录单元306、操作单元307和电源单元308经由总线309彼此连接。

[0862] 固态成像器件302拍摄被摄体的入射光(图像光),以像素为单位将形成成为成像表面上的图像的入射光的光量转换成电信号并且将电信号输出作为像素信号。图1的固态成像器件1(即,通过层叠含有像素区域21的像素传感器基板12与含有至少逻辑电路23的逻辑基板11而被小型化的半导体封装)能够用作固态成像器件302。

[0863] 显示单元305例如由诸如液晶面板或有机EL(电致发光)面板等面板型显示器件构成,并且显示固态成像器件302拍摄的动态图像或静态图像。记录单元306将固态成像器件302拍摄的动态图像或静态图像记录在诸如硬盘或半导体存储器等记录媒介中。

[0864] 操作单元307在用户的操作下发出与成像装置300的各种功能相关的操作指令。电源单元308将作为DSP电路303、帧存储器304、显示单元305、记录单元306和操作单元307的操作电源的各种数量的电源适当地供给至供给目标。

[0865] 如上所述,通过使用具有任意上述结构的固态成像器件1作为固态成像器件302,能够在扩大光电二极管PD的面积且实现高灵敏度的同时实现小型化。因此,即使在例如摄像机、数码相机或用于诸如便携式电话等的移动装置的相机模块等成像装置300中,也能够实现半导体封装的小型化与被摄图像的高质量的兼容性。

[0866] 在上述的示例中,已经将CMOS固态成像器件的构造说明为封装有通过层叠下基板11和上基板12而构成的层叠基板13的半导体器件的示例。然而,本发明的技术不是限于所述固态成像器件,而是也能够应用于为了其它使用目的而封装的半导体器件。

[0867] 例如,本发明的技术不限于检测可见光中的入射光的光量分布且将入射光的光量分布成像为图像这样的固态成像器件,而是也能够普遍地应用于将入射的红外线、X射线或光子成像为图像的固态成像器件,或者应用于诸如指纹检测传感器等检测诸如压力或静电容量等其它物理量的分布且将所述分布成像为广义的图像的固体成像器件(物理量分布检测器件)。

[0868] 本发明的实施例不限于上述的实施例,且能够在不偏离本发明主旨的情况下在本发明的范围内做出各种变型。

[0869] 例如,可以采用上述的多个实施例中的所有实施例或一些实施例的组合。

[0870] 本说明书所述的有益效果仅是示例性的而非限制性的,而是也能够获得本说明书中没有说明的其它有益效果。

[0871] 本发明的实施例能够如下构造。

[0872] (1)

[0873] 一种半导体器件,其包括第一半导体基板和第二半导体基板,在所述第一半导体基板中形成有像素区域,在所述像素区域内二维布置有进行光电转换的像素部,在所述第二半导体基板中形成有用于处理从所述像素部输出的像素信号的逻辑电路,所述第一半导体基板与所述第二半导体基板被层叠。在所述第一半导体基板的所述像素区域内的片上透镜上布置有用于保护所述片上透镜的保护基板,在所述保护基板与所述片上透镜之间设置

有密封树脂。

[0874] (2)

[0875] 在上面的(1)中所述的半导体器件中,所述第一半导体基板与所述第二半导体基板的层叠结构可以通过在分别形成配线层之后连接所述第一半导体基板和所述第二半导体基板而被构造。

[0876] (3)

[0877] 在上面的(2)中所述的半导体器件可以还包括:第一贯通电极,所述第一贯通电极贯穿所述第一半导体基板且电连接至所述第一半导体基板的配线层;第二贯通电极,所述第二贯通电极贯穿所述第一半导体基板以及所述第一半导体基板的配线层且电连接至所述第二半导体基板的配线层;连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;和第三贯通电极,所述第三贯通电极贯穿所述第二半导体基板且将电极部电连接至所述第二半导体基板的配线层,所述电极部将所述像素信号输出至所述半导体器件的外部。

[0878] (4)

[0879] 在上面的(3)中所述的半导体器件中,在形成有所所述第二半导体基板的所述电极部的表面上可以形成有焊接掩模,并且所述焊接掩模不被形成在形成有所所述电极部的区域内。

[0880] (5)

[0881] 在上面的(3)中所述的半导体器件中,在形成有所所述第二半导体基板的所述电极部的表面上可以形成有绝缘膜,并且所述绝缘膜不被形成在形成有所所述电极部的区域内。

[0882] (6)

[0883] 在上面的(2)中所述的半导体器件还可以包括:第一贯通电极,所述第一贯通电极贯穿所述第二半导体基板且电连接至所述第二半导体基板的配线层;第二贯通电极,所述第二贯通电极贯穿所述第二半导体基板以及所述第二半导体基板的配线层且电连接至所述第一半导体基板的配线层;连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;和重新配线,所述重新配线将电极部电连接至所述连接配线,所述电极部将所述像素信号输出至所述半导体器件的外部。

[0884] (7)

[0885] 在上面的(2)中所述的半导体器件还可以包括:贯通电极,所述贯通电极贯穿所述第二半导体基板且将电极部电连接至所述第二半导体基板的配线层,所述电极部将所述像素信号输出至所述半导体器件的外部;和重新配线,所述重新配线将所述贯通电极电连接至所述电极部。所述第一半导体基板的配线层与所述第二半导体基板的配线层可以通过所述配线层中的一者或多者的金属接合而被连接。

[0886] (8)

[0887] 在上面的(7)中所述的半导体器件还可以包括:虚拟配线,所述虚拟配线在与所述重新配线相同的层中不与任何配线层电连接。

[0888] (9)

[0889] 在上面的(2)中所述的半导体器件还可以包括:第一贯通电极,所述第一贯通电极贯穿所述第二半导体基板且电连接至所述第二半导体基板的配线层;第二贯通电极,所述

第二贯通电极贯穿所述第二半导体基板以及所述第二半导体基板的配线层且电连接至所述第一半导体基板的配线层;连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;重新配线,所述重新配线电连接至电极部,所述电极部将所述像素信号输出至所述半导体器件的外部;和连接导体,所述连接导体将所述重新配线连接至所述连接配线。

[0890] (10)

[0891] 在上面的(2)中所述的半导体器件还可以包括:第一贯通电极,所述第一贯通电极贯穿所述第一半导体基板且电连接至所述第一半导体基板的配线层;第二贯通电极,所述第二贯通电极贯穿所述第一半导体基板以及所述第一半导体基板的配线层且电连接至所述第二半导体基板的配线层;连接配线,所述连接配线将所述第一贯通电极电连接至所述第二贯通电极;和第三贯通电极,所述第三贯通电极贯穿所述第一半导体基板和所述第二半导体基板并且电连接至电极部,所述电极部将所述像素信号输出至所述半导体器件的外部。

[0892] (11)

[0893] 在上面的(10)中所述的半导体器件中,在形成有所述第二半导体基板的所述电极部的表面上可以形成有焊接掩模,并且所述焊接掩模不被形成在形成有所述电极部的区域内。

[0894] (12)

[0895] 在上面的(10)中所述的半导体器件中,在形成有所述第二半导体基板的所述电极部的表面上可以形成有绝缘膜,并且所述绝缘膜不被形成在形成有所述电极部的区域内。

[0896] (13)

[0897] 在上面的(2)中所述的半导体器件还可以包括:第一贯通电极,所述第一贯通电极贯穿所述第一半导体基板且电连接至所述第一半导体基板的配线层和所述第二半导体基板的配线层;和第二贯通电极,所述第二贯通电极贯穿所述第一半导体基板和所述第二半导体基板且电连接至电极部,所述电极部将所述像素信号输出至所述半导体器件的外部。

[0898] (14)

[0899] 在上面的(2)中所述的半导体器件还可以包括:贯通电极,所述贯通电极贯穿所述第一半导体基板和所述第二半导体基板且电连接至电极部,所述电极部将所述像素信号输出至所述半导体器件的外部。所述第一半导体基板的配线层与所述第二半导体基板的配线层可以通过所述配线层中的一者或多者的金属接合而被连接。

[0900] (15)

[0901] 在上面的(1)中所述的半导体器件中,所述第一半导体基板与所述第二半导体基板可以被构造为使得两者的配线层彼此面对。

[0902] (16)

[0903] 在上面的(1)中所述的半导体器件中,所述第一半导体基板与所述第二半导体基板可以被构造为所述第一半导体基板的配线层侧面对所述第二半导体基板的与配线层侧相反的表面。

[0904] (17)

[0905] 在上面的(1)中所述的半导体器件还可以包括:电极部,所述电极部将所述像素信

号输出至所述半导体器件的外部;和重新配线,所述重新配线将所述像素信号从所述第二半导体基板传送至所述电极部。

[0906] (18)

[0907] 在上面的(17)中所述的半导体器件中,所述电极部可以被安装在形成于所述重新配线上的焊盘部上。

[0908] (19)

[0909] 在上面的(17)或(18)中所述的半导体器件中,在所述重新配线的外部可以形成有阻挡金属膜,所述阻挡金属膜减少与所述电极部的材料的反应。

[0910] (20)

[0911] 在上面的(17)至(19)的任一项中所述的半导体器件中,所述重新配线的至少一部分可以形成于所述第二半导体基板的凹槽内。

[0912] (21)

[0913] 在上面的(1)中所述的半导体器件中,形成有配线层的第三半导体基板可以被插入在所述第一半导体基板与所述第二半导体基板之间以使所述半导体器件包括三层半导体基板。

[0914] (22)

[0915] 在上面的(21)中所述的半导体器件中,所述第三半导体基板可以被插入在所述第一半导体基板与所述第二半导体基板之间,以使形成于所述第三半导体基板中的配线层面对所述第一半导体基板的配线层。

[0916] (23)

[0917] 在上面的(21)中所述的半导体器件中,所述第三半导体基板可以被插入在所述第一半导体基板与所述第二半导体基板之间,以使形成于所述第三半导体基板的配线层面对所述第二半导体基板的配线层。

[0918] (24)

[0919] 在上面的(21)中所述的半导体器件中,所述第三半导体基板可以包括存储电路。

[0920] (25)

[0921] 在上面的(24)中所述的半导体器件中,所述存储电路可以存储所述像素区域内产生的信号和表示经过所述逻辑电路处理的像素信号的数据中的至少一者。

[0922] (26)

[0923] 一种半导体器件的制造方法,所述方法包括:连接形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板,以使两者的配线层彼此面对;形成电连接至所述第一配线层和所述第二配线层的贯通电极;形成滤色器和片上透镜;且通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上。

[0924] (27)

[0925] 一种半导体器件的制造方法,所述方法包括:在形成有第一配线层的第一半导体基板上,在与形成有所述第一半导体基板的所述第一配线层的一侧相反的表面上形成滤色器和片上透镜;形成贯穿形成有第二配线层的第二半导体基板的贯通电极;且将形成有所述滤色器和所述片上透镜的所述第一半导体基板连接至形成有所述贯通电极的所述第二半导体基板以使两者的配线层彼此面对。

[0926] (28)

[0927] 一种电子装置,其包括:包括第一半导体基板和第二半导体基板,在所述第一半导体基板中形成有像素区域,所述像素区域内二维布置着进行光电转换的像素部,在所述第二半导体基板中形成有逻辑电路,所述逻辑电路处理从所述像素部输出的像素信号,所述第一半导体基板与所述第二半导体基板被层叠。在所述第一半导体基板的所述像素区域内的片上透镜上布置有用于保护所述片上透镜的保护基板,所述片上透镜与所述保护基板之间设置有密封树脂。

[0928] (A1)

[0929] 一种半导体器件的制造方法,所述方法包括:将形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板粘合以使两者的配线层彼此面对;形成电连接至所述第一配线层和所述第二配线层的贯通电极,然后形成滤色器和片上透镜;且通过密封树脂将保护所述片上透镜的保护基板连接在所述片上透镜上。

[0930] (A2)

[0931] 在上面的(A1)所述的半导体器件的制造方法中,在将所述第一半导体基板与所述第二半导体基板粘贴后,可以形成第一贯通电极与第二贯通电极作为所述贯通电极。所述第一贯通电极可以贯穿所述第二半导体基板并且可以电连接至所述第二半导体基板的配线层。所述第二贯通电极可以贯穿所述第二半导体基板以及所述第二半导体基板的配线层且可以电连接至所述第一半导体基板的配线层。

[0932] (A3)

[0933] 上面的(A2)所述的半导体器件的制造方法还可以包括:形成将所述第一贯通电极电连接至所述第二贯通电极的连接配线;且形成将电极部电连接至所述连接配线的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0934] (A4)

[0935] 在上面的(A3)所述的半导体器件的制造方法中,在形成所述连接配线和所述重新配线后,可以将临时接合基板粘贴至所述连接配线和所述重新配线。可以在剥离所述临时接合基板后形成所述电极部。

[0936] (A5)

[0937] 在上面的(A4)所述的半导体器件的制造方法中,在形成所述连接配线和所述重新配线后,可以将所述第一半导体基板减薄。

[0938] (A6)

[0939] 在上面的(A4)或(A5)所述的半导体器件的制造方法中,所述临时接合基板可以包括剥离层,且所述临时接合基板的所述剥离层的表面可以被粘贴。当剥离所述临时接合基板时,所述剥离层可以在剥离后仍保留。

[0940] (A7)

[0941] 在上面的(A4)或(A5)所述的半导体器件的制造方法中,所述临时接合基板可以包括剥离层和绝缘膜,且所述临时接合基板的所述绝缘膜的表面可以被粘贴。当剥离所述临时接合基板时,所述剥离层和所述绝缘膜可以在所述剥离中保留。

[0942] (A8)

[0943] 在上面的(A4)至(A7)中任一项所述的半导体器件的制造方法中,在形成所述连接

配线和所述重新配线之前,可以将所述第一半导体基板减薄。

[0944] (A9)

[0945] 在上面的(A4)所述的半导体器件的制造方法中,可以将所述连接配线的或所述重新配线的至少一部分形成于所述第一半导体基板的被挖刻的部位。

[0946] (A10)

[0947] 在上面的(A3)所述的半导体器件的制造方法中,在形成所述连接配线和所述重新配线后,可以将所述电极部形成在所述连接配线和所述重新配线上且可以将临时接合基板粘贴至所述电极部。

[0948] (A11)

[0949] 在上面的(A10)所述的半导体器件的制造方法中,在形成所述连接配线和所述重新配线后,可以将所述第一半导体基板减薄。

[0950] (A12)

[0951] 在上面的(A10)所述的半导体器件的制造方法中,在形成所述连接配线和所述重新配线之前,可以将所述第一半导体基板减薄。

[0952] (A13)

[0953] 在上面的(A2)所述的半导体器件的制造方法中,在与所述第一贯通电极和所述第二贯通电极同时形成将所述第一贯通电极电连接至所述第二贯通电极的连接配线后,可以将临时接合基板接合至所述连接配线。在剥离所述临时接合基板后,可以形成将电极部电连接至所述连接配线的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0954] (A14)

[0955] 在上面的(A13)所述的半导体器件的制造方法中,在剥离所述临时接合基板后,还可以形成将所述连接配线连接至所述重新配线的连接导体。

[0956] (A15)

[0957] 在上面的(A2)所述的半导体器件的制造方法中,可以与所述第一贯通电极和所述第二贯通电极一起地形成连接至电极部的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0958] (A16)

[0959] 在上面的(A15)所述的半导体器件的制造方法中,在形成所述重新配线后,可以在所述重新配线上形成绝缘膜。

[0960] (A17)

[0961] 在上面的(A16)所述的半导体器件的制造方法中,可以去除所述绝缘膜的在形成有所述重新配线上的所述电极部的区域内的部分。

[0962] (A18)

[0963] 在上面的(A16)所述的半导体器件的制造方法中,可以去除在形成有所述重新配线上的所述电极部的区域内的绝缘膜直至使所述重新配线露出。

[0964] (A19)

[0965] 在上面的(A1)所述的半导体器件的制造方法中,可以通过所述配线层的金属接合来粘贴所述第一半导体基板与所述第二半导体基板,且可以形成贯穿所述第二半导体基板的贯通电极。

[0966] (A20)

[0967] 在上面的 (A19) 所述的半导体器件的制造方法中,可以与所述贯通电极一起地形成连接至电极部的重新配线,然后将所述第一半导体基板变薄,所述电极部将信号输出至所述半导体器件的外部。

[0968] (A21)

[0969] 在上面的 (A19) 所述的半导体器件的制造方法中,在与所述贯通电极一起地形成连接至电极部的重新配线前,可以将所述第一半导体基板变薄,所述电极部将信号输出至所述半导体器件的外部。

[0970] (A22)

[0971] 在上面的 (A1) 所述的半导体器件的制造方法中,在将所述第一半导体基板与所述第二半导体基板粘贴之后,可以形成第一贯通电极和第二贯通电极作为所述贯通电极。所述第一贯通电极可以贯穿所述第一半导体基板且可以电连接至所述第一半导体基板的配线层。所述第二贯通电极可以贯穿所述第一半导体基板以及所述第一半导体基板的配线层且可以电连接至所述第二半导体基板的配线层。

[0972] (A23)

[0973] 在上面的 (A22) 所述的半导体器件的制造方法中,可以与所述第一贯通电极和所述第二贯通电极同时地形成贯穿所述第一半导体基板和所述第二半导体基板且电连接至电极部的第三贯通电极,所述电极部将信号输出至所述半导体器件的外部。

[0974] (A24)

[0975] 在上面的 (A22) 或 (A23) 所述的半导体器件的制造方法中,在形成所述片上透镜后,可以将临时接合基板粘贴至所述片上透镜。在剥离所述临时接合基板后,可以通过所述密封树脂来连接所述保护基板。

[0976] (A25)

[0977] 在上面的 (A2) 所述的半导体器件的制造方法中,在将所述第一半导体基板与所述第二半导体基板被粘合并随后形成所述第一贯通电极和所述第二贯通电极作为所述贯通电极之前,可以形成第三贯通电极。所述第一贯通电极可以贯穿所述第一半导体基板且可以电连接至所述第一半导体基板的配线层。所述第二贯通电极可以贯穿所述第一半导体基板以及所述第一半导体基板的配线层且可以电连接至所述第二半导体基板的配线层。所述第三贯通电极可以贯穿所述第二半导体基板且可以电连接至所述第二半导体基板的配线层。

[0978] (A26)

[0979] 在上面的 (A1) 所述的半导体器件的制造方法中,在将所述第一半导体基板与所述第二半导体基板粘合后,可以形成第一贯通电极和第二贯通电极作为所述贯通电极。所述第一贯通电极可以贯穿所述第一半导体基板且可以电连接至所述第一半导体基板的配线层和所述第二半导体基板的配线层。所述第二贯通电极可以贯穿所述第一半导体基板和所述第二半导体基板且可以电连接至电极部,所述电极部将信号输出至所述半导体器件的外部。

[0980] (A27)

[0981] 在上面的 (A1) 所述的半导体器件的制造方法中,可以通过所述配线层的金属接合

来粘合所述第一半导体基板与所述第二半导体基板。可以形成贯穿所述第一半导体基板和所述第二半导体基板且电连接至电极部的所述贯通电极,所述电极部将信号输出至所述半导体器件的外部。

[0982] (A28)

[0983] 在上面的(A1)所述的半导体器件的制造方法中,可以通过镶嵌法形成连接至电极部的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0984] (A29)

[0985] 在上面的(A1)所述的半导体器件的制造方法中,可以通过半加成法形成连接至电极部的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0986] (B1)

[0987] 一种半导体器件的制造方法,所述方法包括:将形成有第一配线层的第一半导体基板与形成有第二配线层的第二半导体基板粘合以使所述第一半导体基板的所述第一配线层面对所述第二半导体基板的与所述第二配线层侧相反的表面;形成电连接至所述第一配线层和所述第二配线层的贯通电极,然后形成滤色器和片上透镜;且通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上。

[0988] (B2)

[0989] 在上面的(B1)所述的半导体器件的制造方法中,在将所述第一半导体基板与所述第二半导体基板粘合后,可以形成第一贯通电极和第二贯通电极作为所述贯通电极。所述第一贯通电极可以贯穿所述第一半导体基板且可以电连接至所述第一半导体基板的配线层。所述第二贯通电极可以贯穿所述第二半导体基板以及所述第二半导体基板的配线层并且可以电连接至所述第一半导体基板的配线层。

[0990] (B3)

[0991] 上面的(B1)或(B2)所述的半导体器件的制造方法还可以包括:在将所述保护基板连接至所述密封树脂之后,形成连接至电极部的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0992] (B4)

[0993] 在上面的(B3)所述的半导体器件的制造方法中,在将所述第二半导体基板减薄之后,可以在与所述第一半导体基板的接合面上形成遮光膜。

[0994] (B5)

[0995] 上面的(B2)所述的半导体器件的制造方法还可以包括:在将所述第一半导体基板与所述第二半导体基板粘贴之前,形成连接至电极部的重新配线,所述电极部将信号输出至所述半导体器件的外部。

[0996] (B6)

[0997] 在上面的(B5)所述的半导体器件的制造方法中,在所述重新配线上形成焊盘部,所述焊盘部由预定的连接导体形成且连接至将信号输出至所述半导体器件的外部的所述电极部。

[0998] (B7)

[0999] 在上面的(B6)所述的半导体器件的制造方法中,可以通过通孔连接所述焊盘部与所述重新配线。

[1000] (B8)

[1001] 上面的 (B1) 所述的半导体器件的制造方法还可以包括: 在将所述第一半导体基板与所述第二半导体基板粘合之前, 形成电极部和连接至所述电极部的重新配线, 所述电极部将信号输出至所述半导体器件的外部。

[1002] (B9)

[1003] 在上面的 (B1) 所述的半导体器件的制造方法中, 可以通过镶嵌法形成连接至电极部的重新配线, 所述电极部将信号输出至所述半导体器件的外部。

[1004] (B10)

[1005] 在上面的 (B1) 所述的半导体器件的制造方法中, 可以通过半加成法形成连接至电极部的重新配线, 所述电极部将信号输出至所述半导体器件的外部。

[1006] (C1)

[1007] 一种半导体器件的制造方法, 所述方法包括: 在形成有第一配线层的第一半导体基板中, 在与形成有所述第一半导体基板的所述第一配线侧相反的表面上形成滤色器和片上透镜; 在形成有第二配线层的第二半导体基板中形成贯穿所述第二半导体基板的贯通电极; 且将形成有所述滤色器和所述片上透镜的第一半导体基板与形成有所述贯通电极的第二半导体基板粘合以使两者的配线层彼此面对。

[1008] (C2)

[1009] 在上面的 (C1) 所述的半导体器件的制造方法中, 可以通过所述第一配线层与所述第二配线层的金属接合来粘合所述第一半导体基板与所述第二半导体基板。

[1010] (C3)

[1011] 在上面的 (C2) 所述的半导体器件的制造方法中, 在将所述滤色器和所述片上透镜形成在与形成有所述第一半导体基板的所述第一配线层的侧相反的表面上之后, 可以通过密封树脂将保护所述片上透镜的保护基板连接至所述片上透镜上。

[1012] (C4)

[1013] 上面的 (C3) 所述的半导体器件的制造方法还可以包括: 在所述保护基板的表面上形成保护膜。

[1014] (C5)

[1015] 在上面的 (C1) 所述的半导体器件的制造方法中, 当在所述第二半导体基板中形成贯穿所述第二半导体基板的贯通电极时, 还可以形成电连接至电极部的重新配线, 所述电极部将信号输出至所述半导体器件的外部。

[1016] (C6)

[1017] 在上面的 (C5) 所述的半导体器件的制造方法中, 还可以形成位于与所述重新配线相同的层中的不与任何配线层电连接的虚拟配线。

[1018] 本领域技术人员应当理解, 依据设计要求和其它因素, 可以在本发明随附的权利要求或其等同物的范围内进行各种修改、组合、次组合以及改变。

[1019] 附图标记列表

[1020] 1 固态成像器件

[1021] 11 下基板 (逻辑基板)

[1022] 12 上基板 (像素传感器基板)

- [1023] 13 层叠基板
- [1024] 15 滤色器
- [1025] 16 片上透镜
- [1026] 17 玻璃密封树脂
- [1027] 18 玻璃保护基板
- [1028] 21 像素区域
- [1029] 22 控制电路
- [1030] 23 逻辑电路
- [1031] 32 像素
- [1032] 51 光电二极管
- [1033] 81 硅基板
- [1034] 83 配线层
- [1035] 86 绝缘膜
- [1036] 88 硅贯通电极
- [1037] 91 焊接掩模
- [1038] 101 硅基板
- [1039] 103 配线层
- [1040] 105 芯片贯通电极
- [1041] 106 连接配线
- [1042] 109 硅贯通电极
- [1043] 151 硅贯通电极
- [1044] 152 芯片贯通电极
- [1045] 153 连接配线
- [1046] 154 重新配线
- [1047] 171 连接导体
- [1048] 181 芯片贯通电极
- [1049] 191 芯片贯通电极
- [1050] 211 虚拟配线
- [1051] 300 成像装置
- [1052] 302 固态成像器件
- [1053] 421 盖膜
- [1054] 431 焊盘
- [1055] 441 绝缘膜
- [1056] 443 通孔
- [1057] 801 存储基板

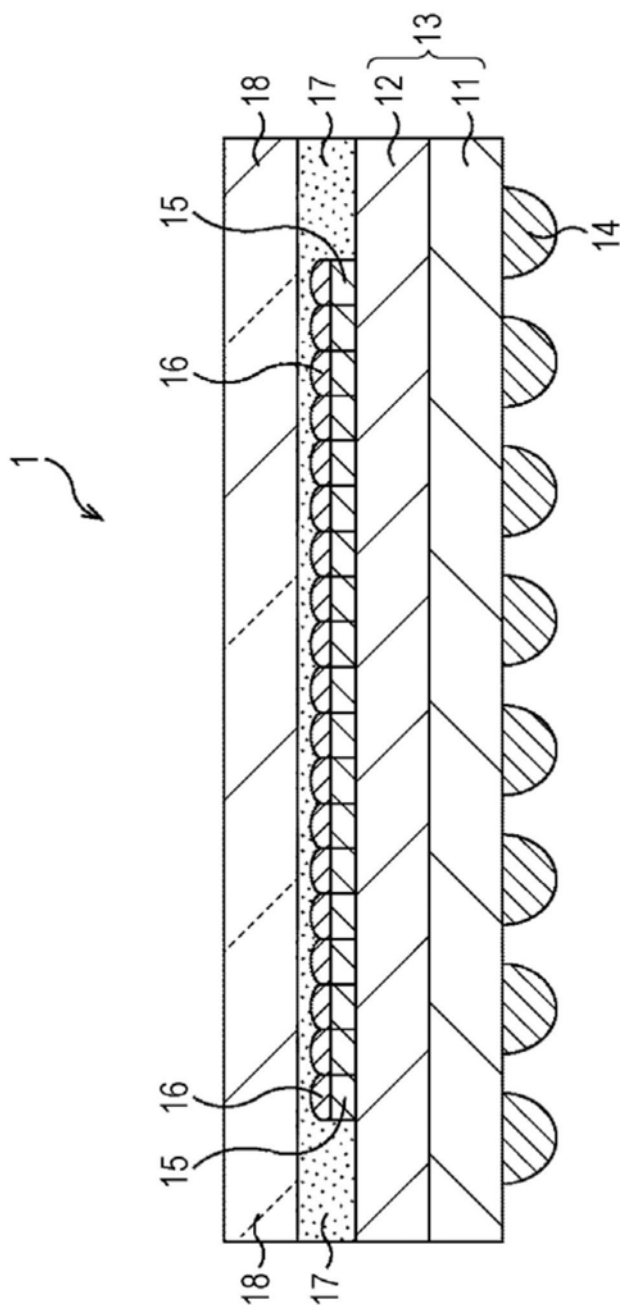


图1

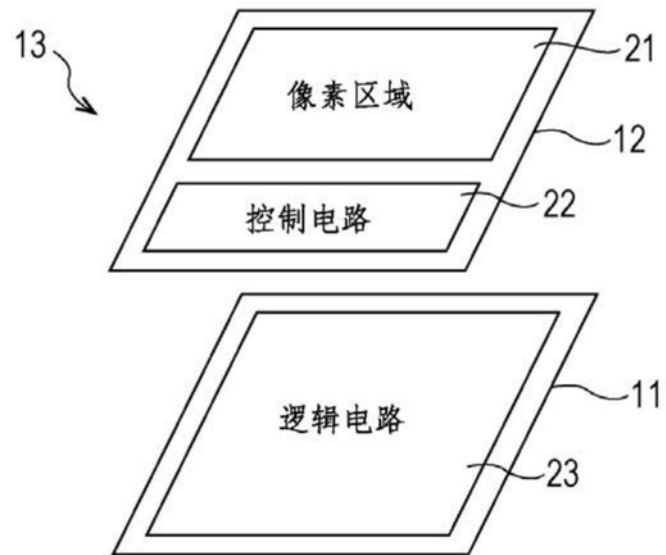


图2A

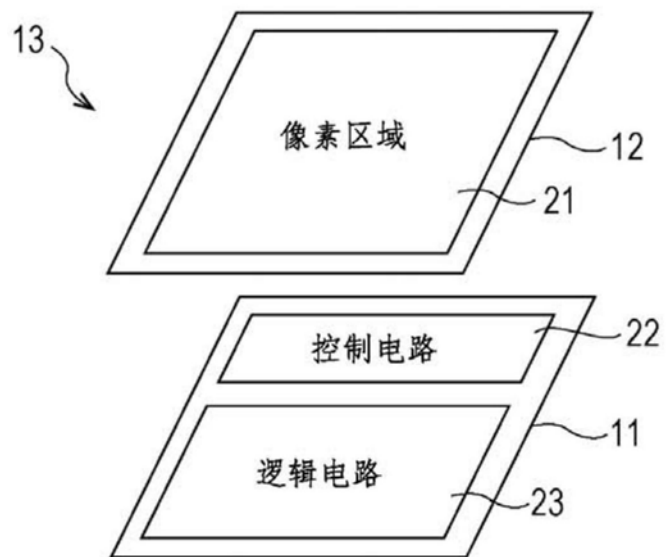


图2B

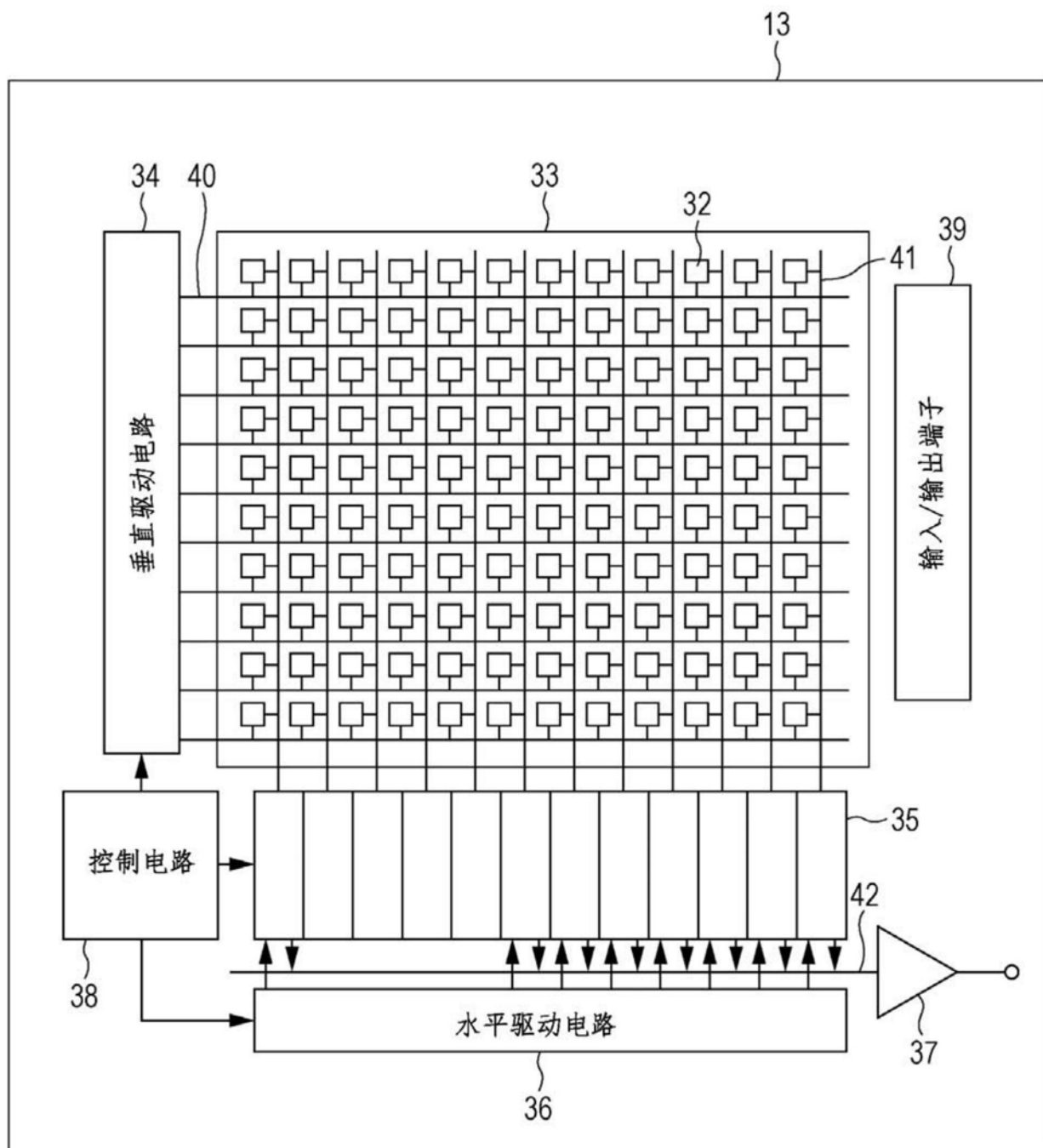


图3

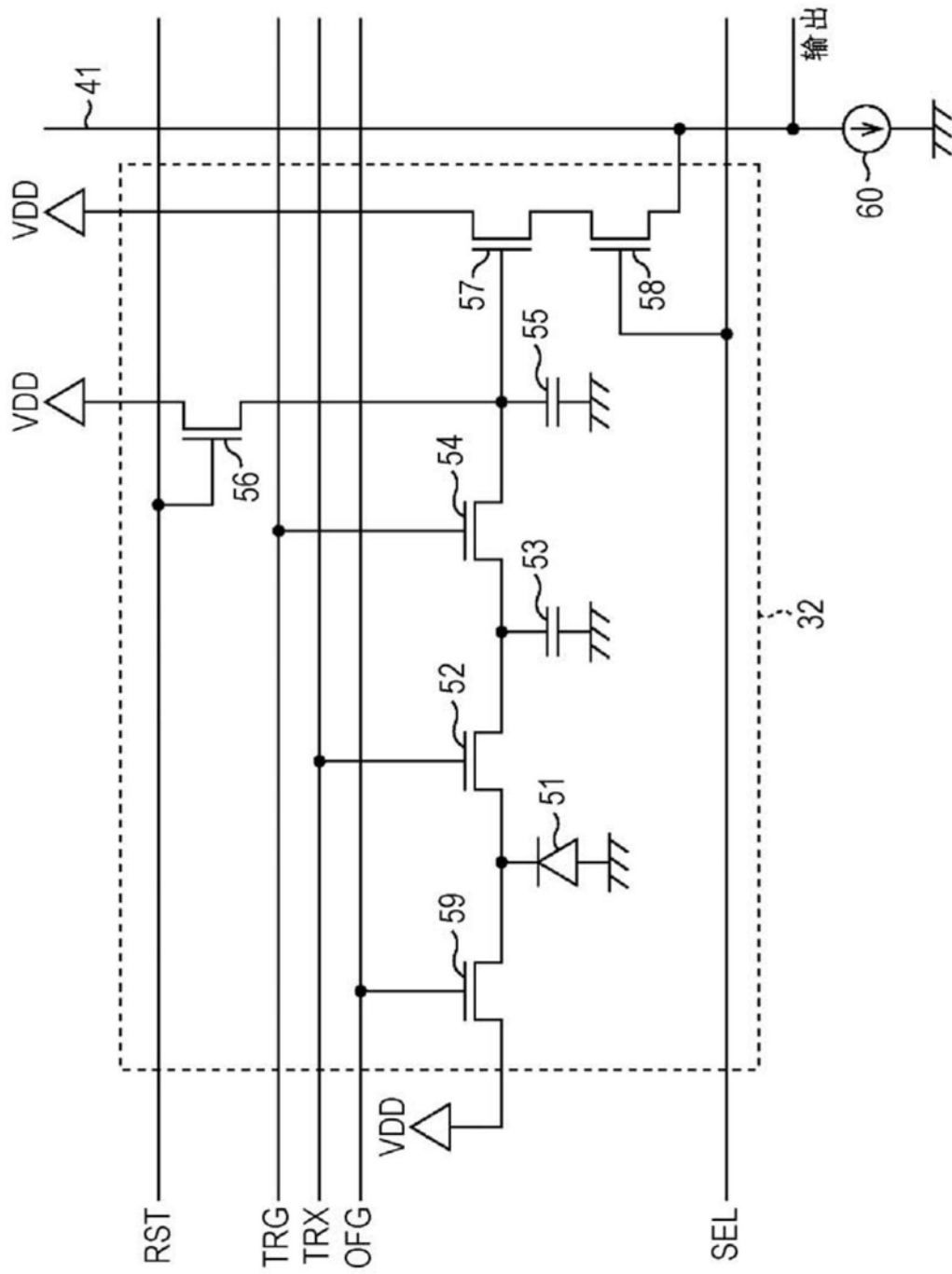


图4

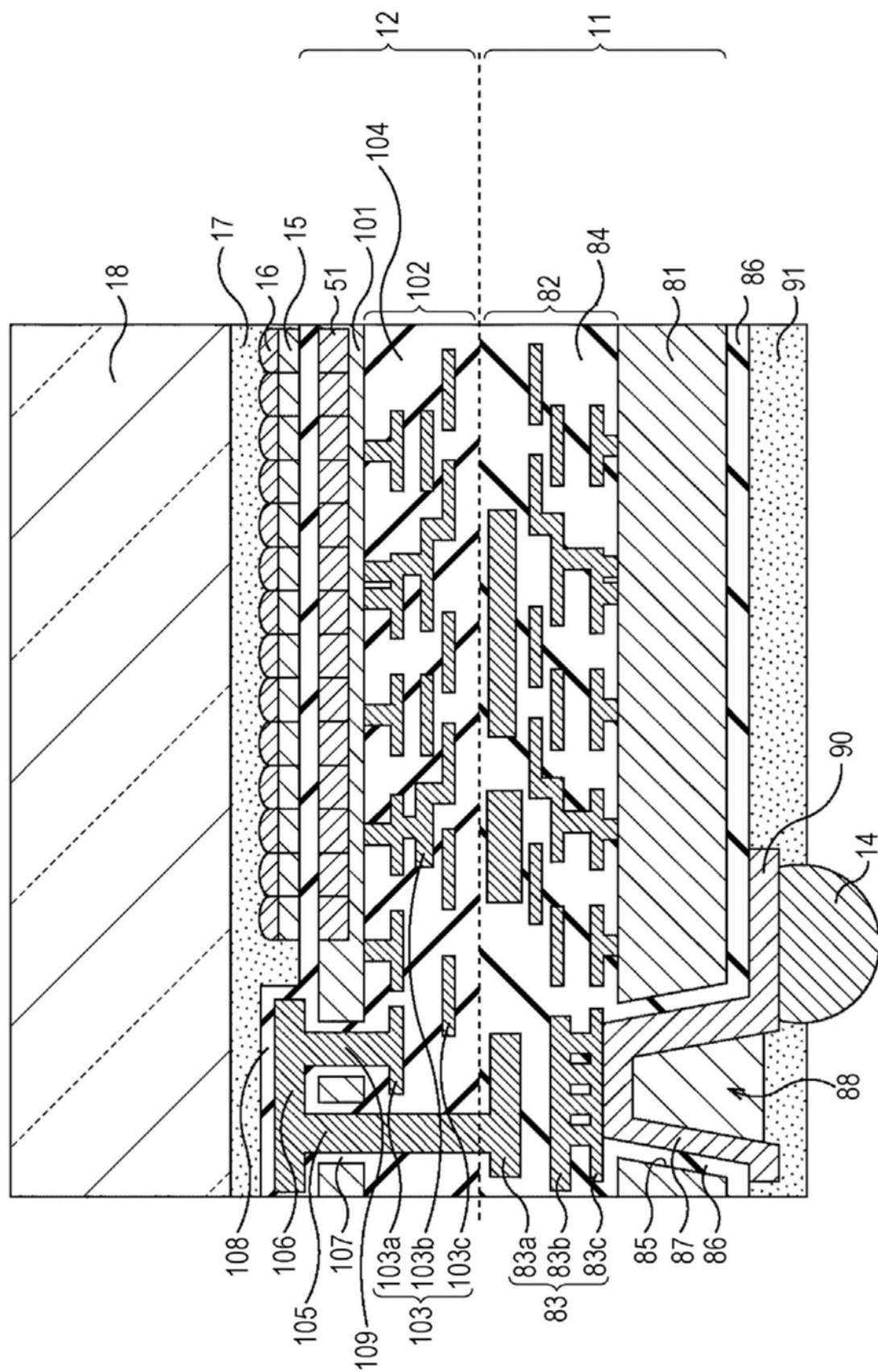


图5

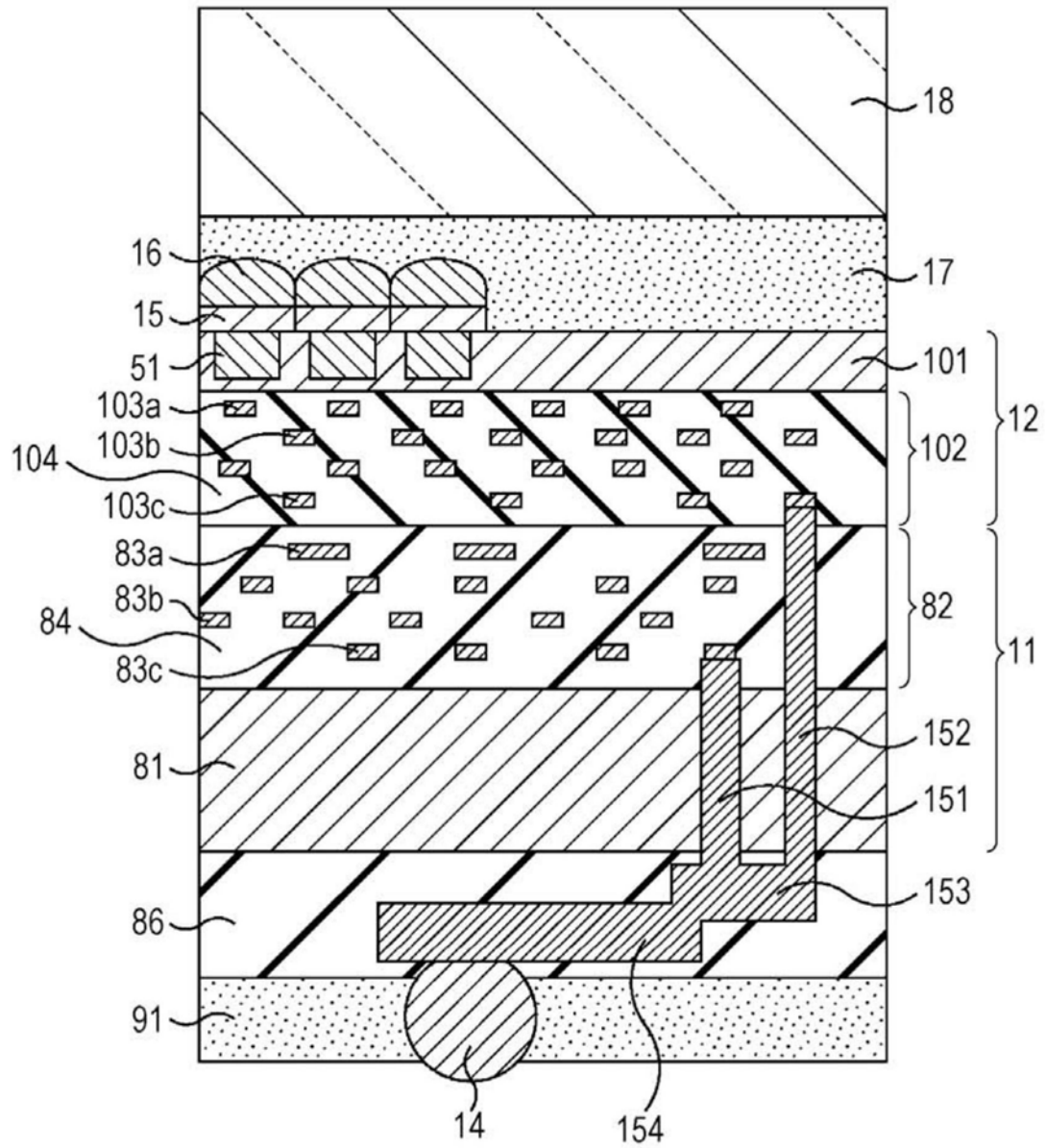


图6

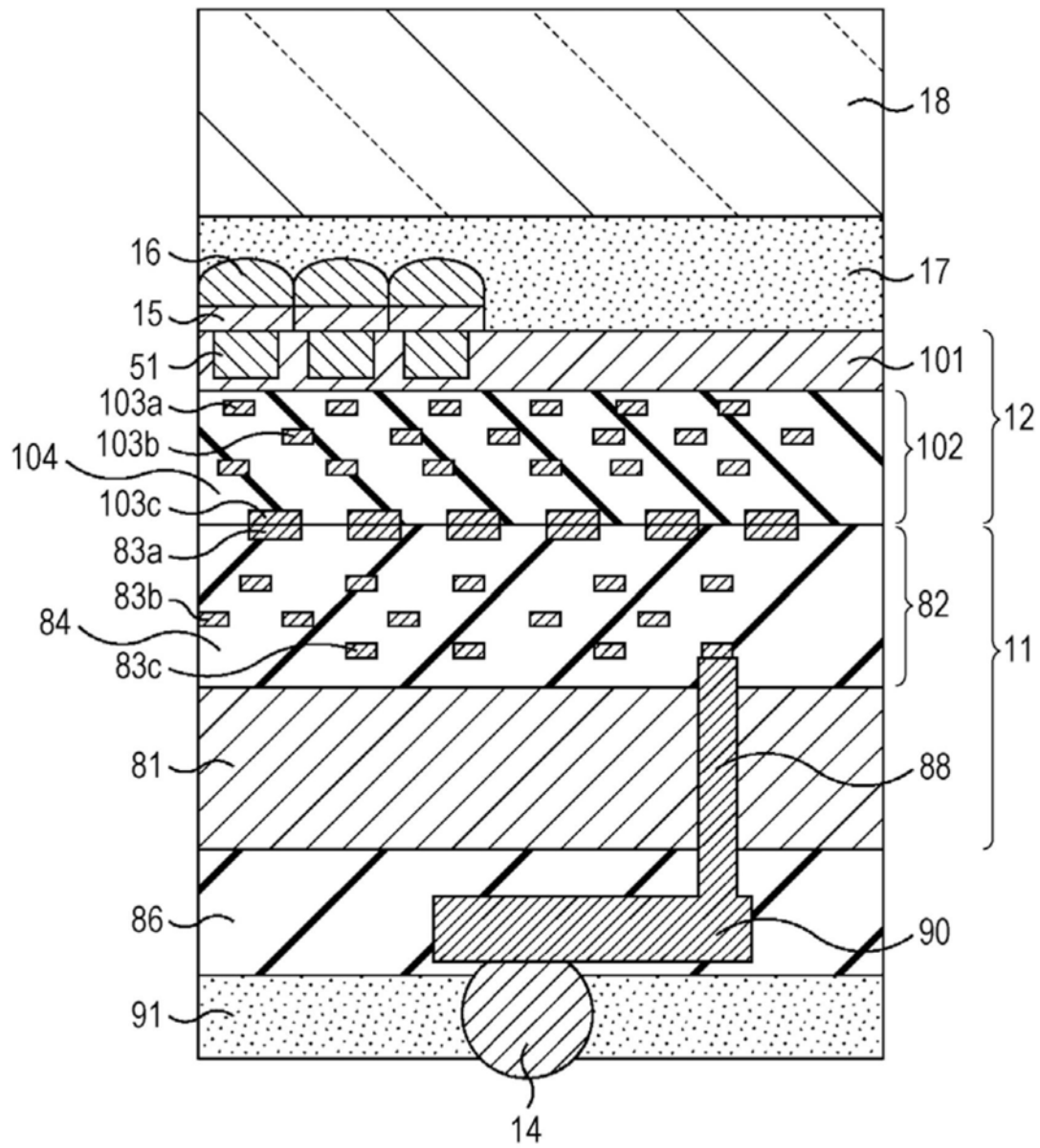


图7

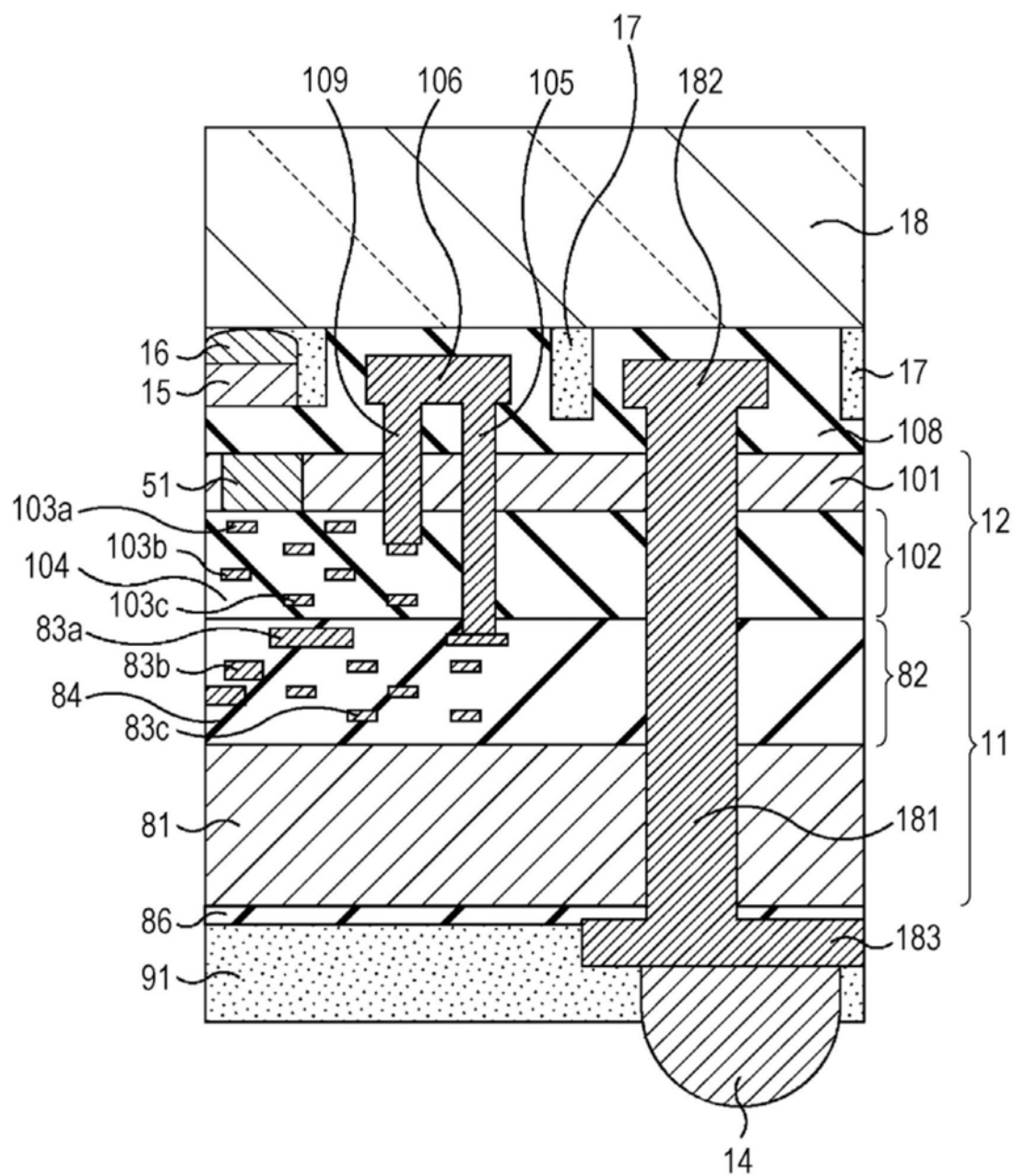


图9

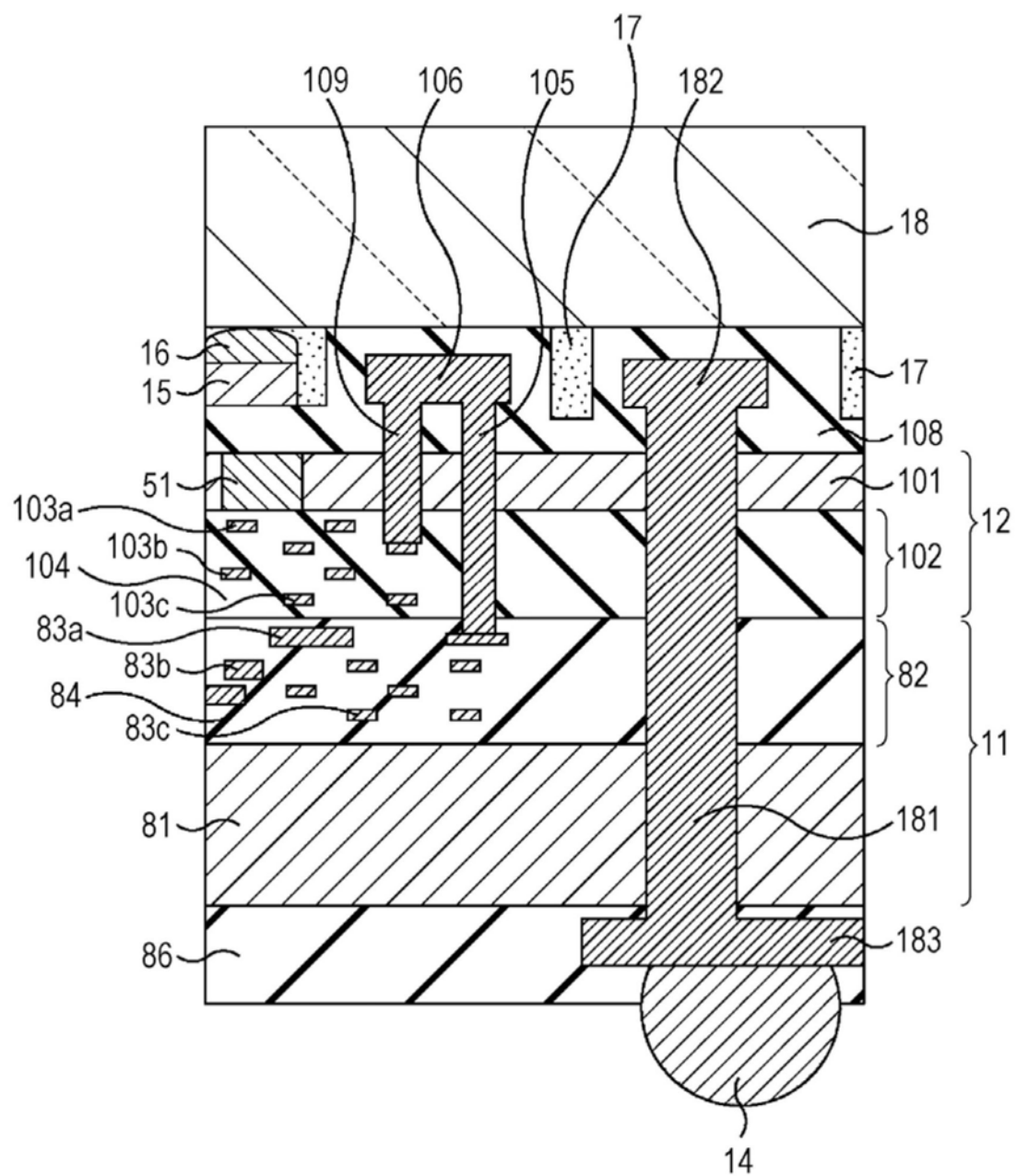


图10

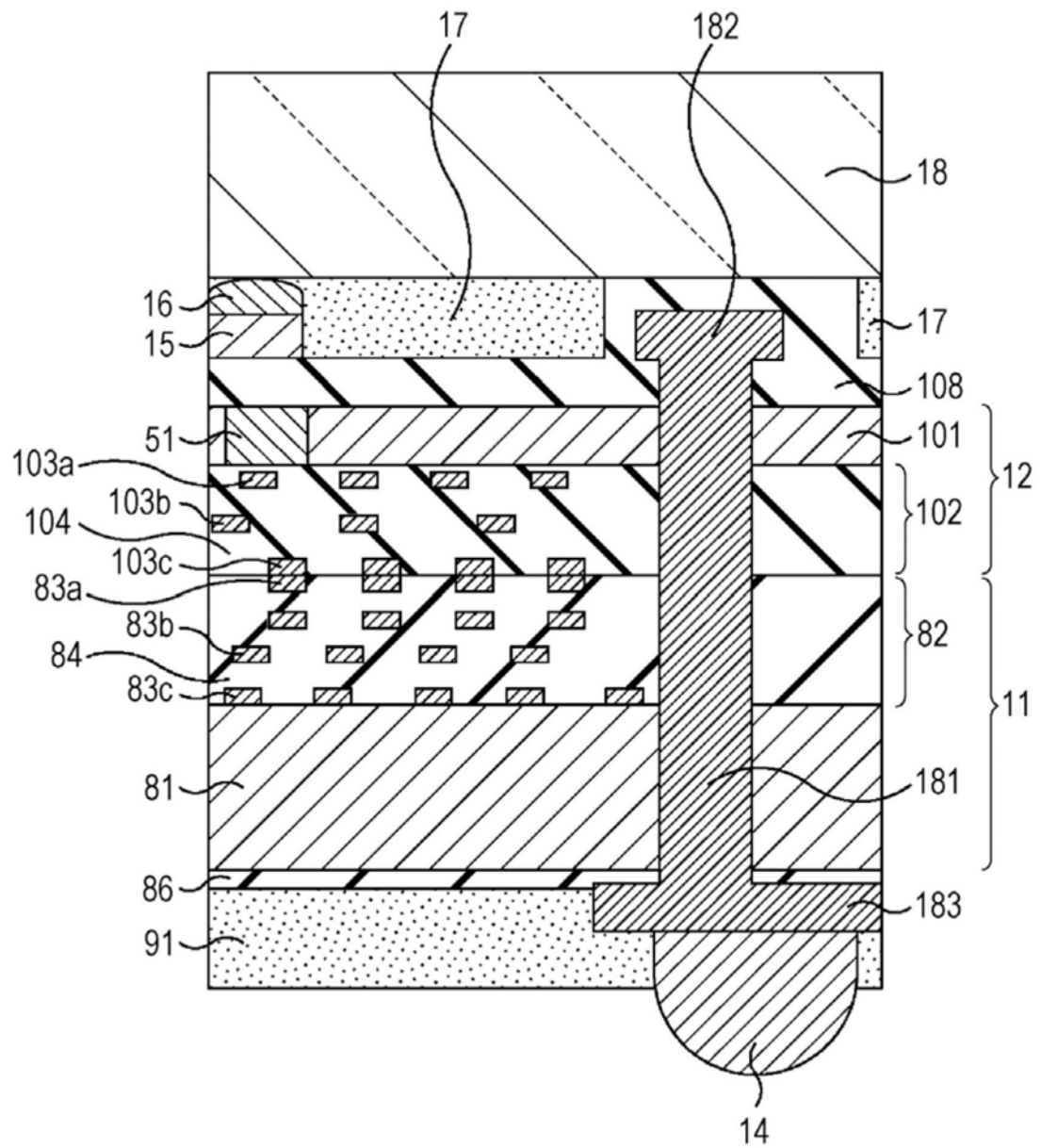


图12

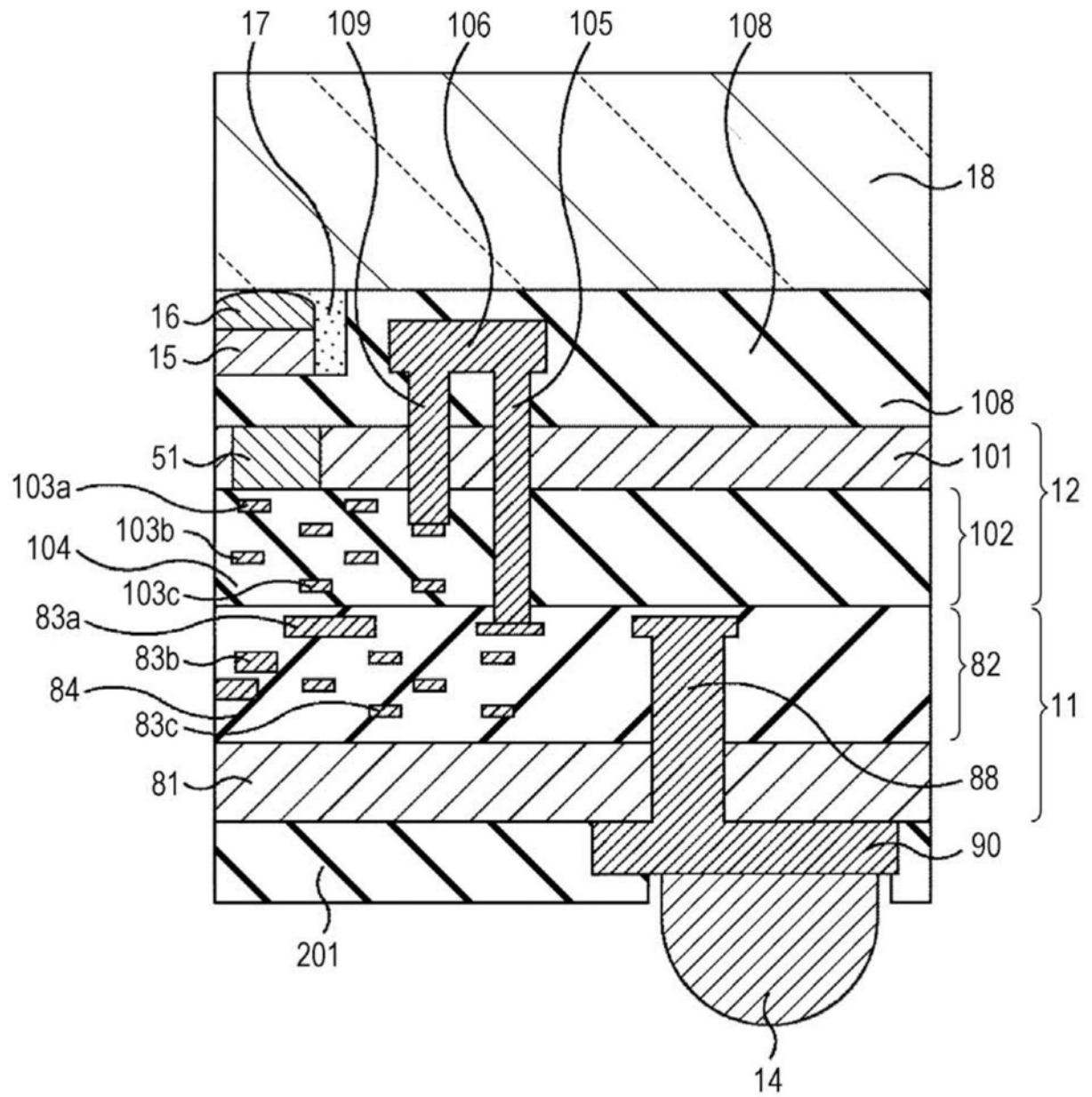


图13

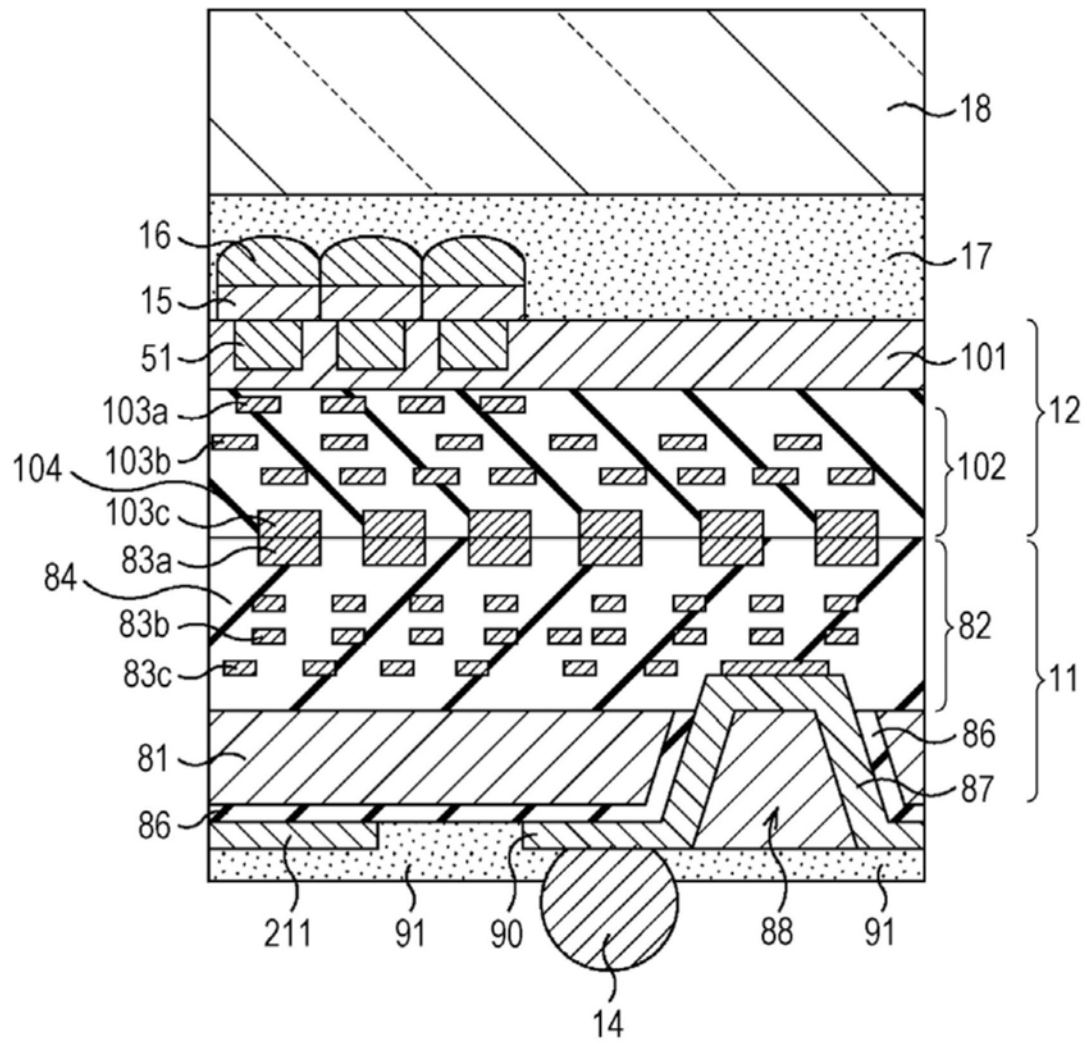


图14

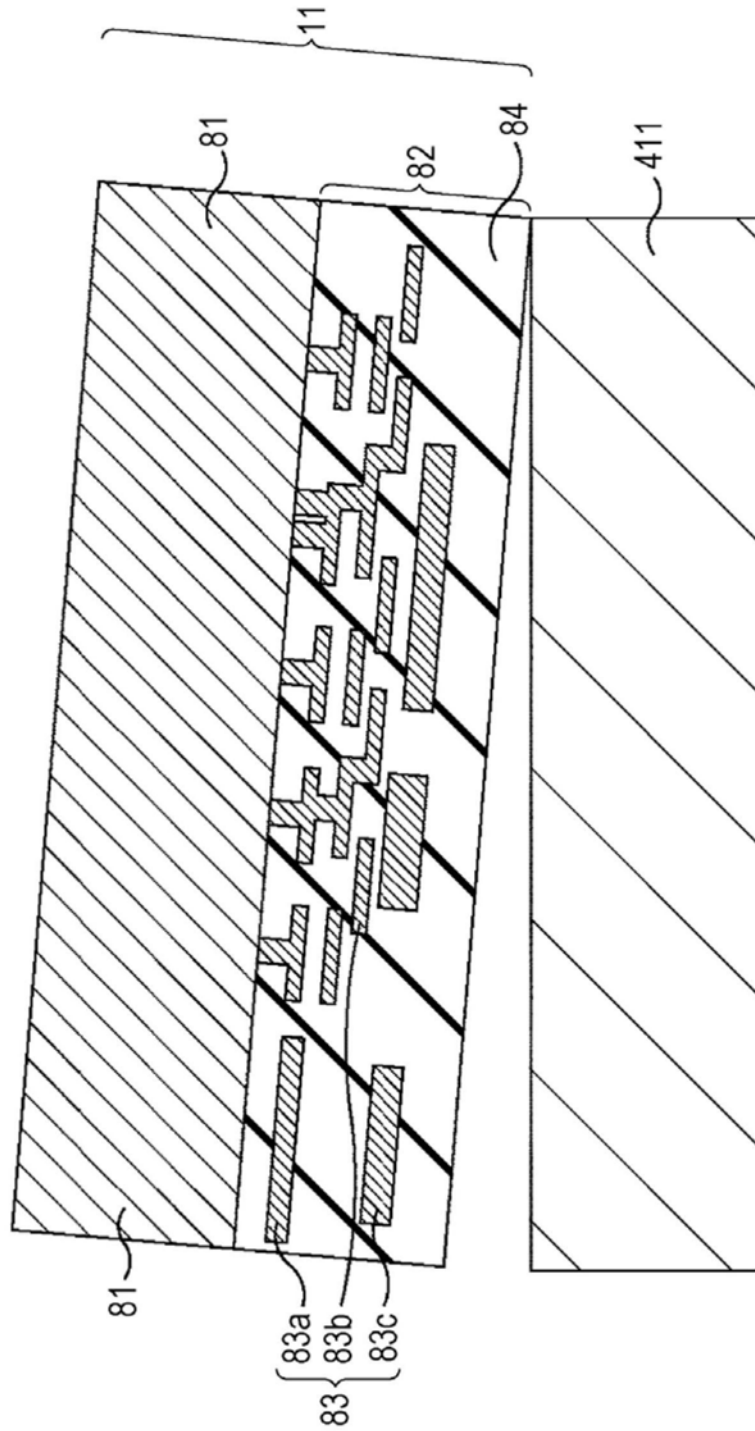


图16

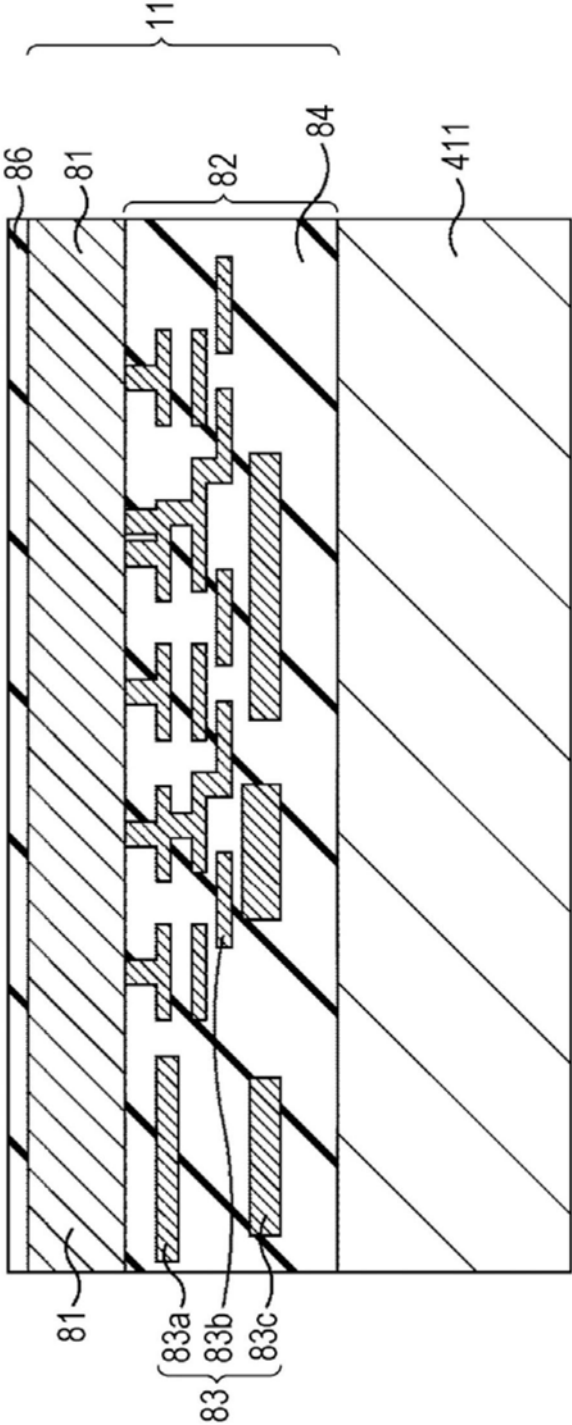


图17

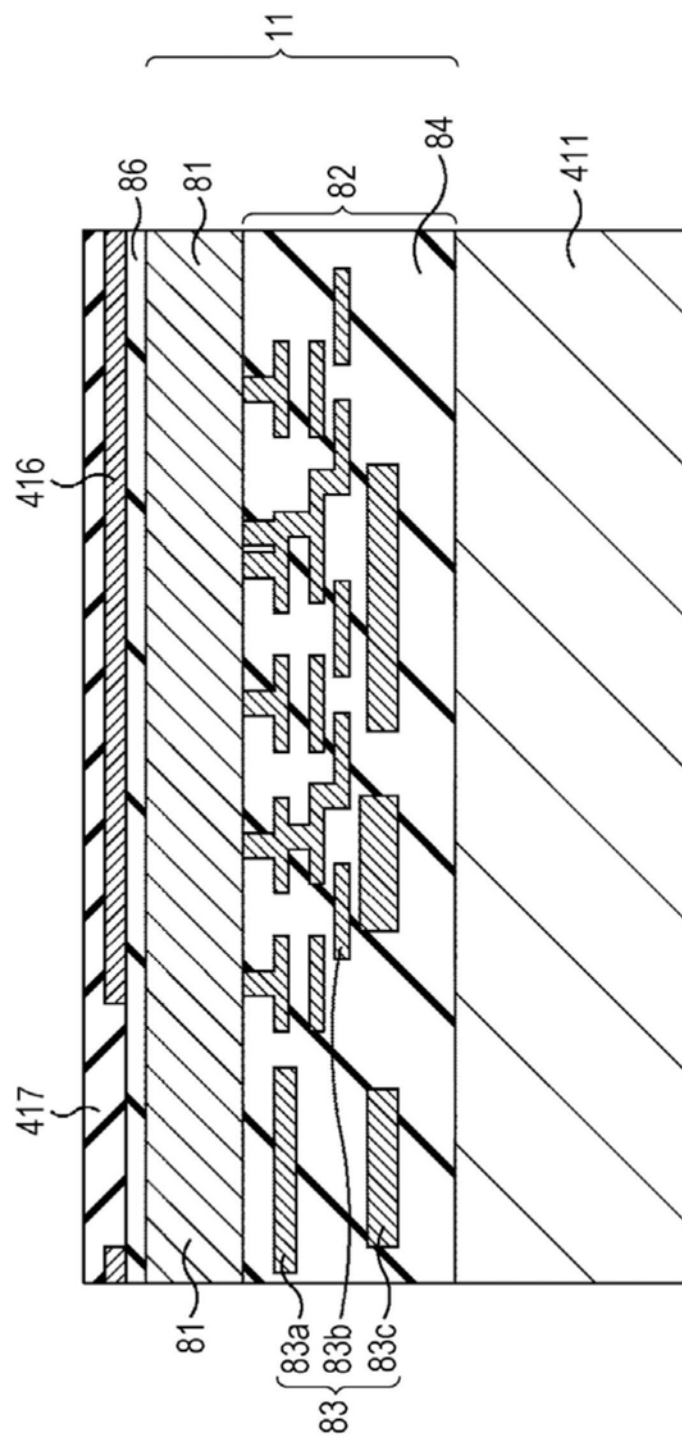


图18

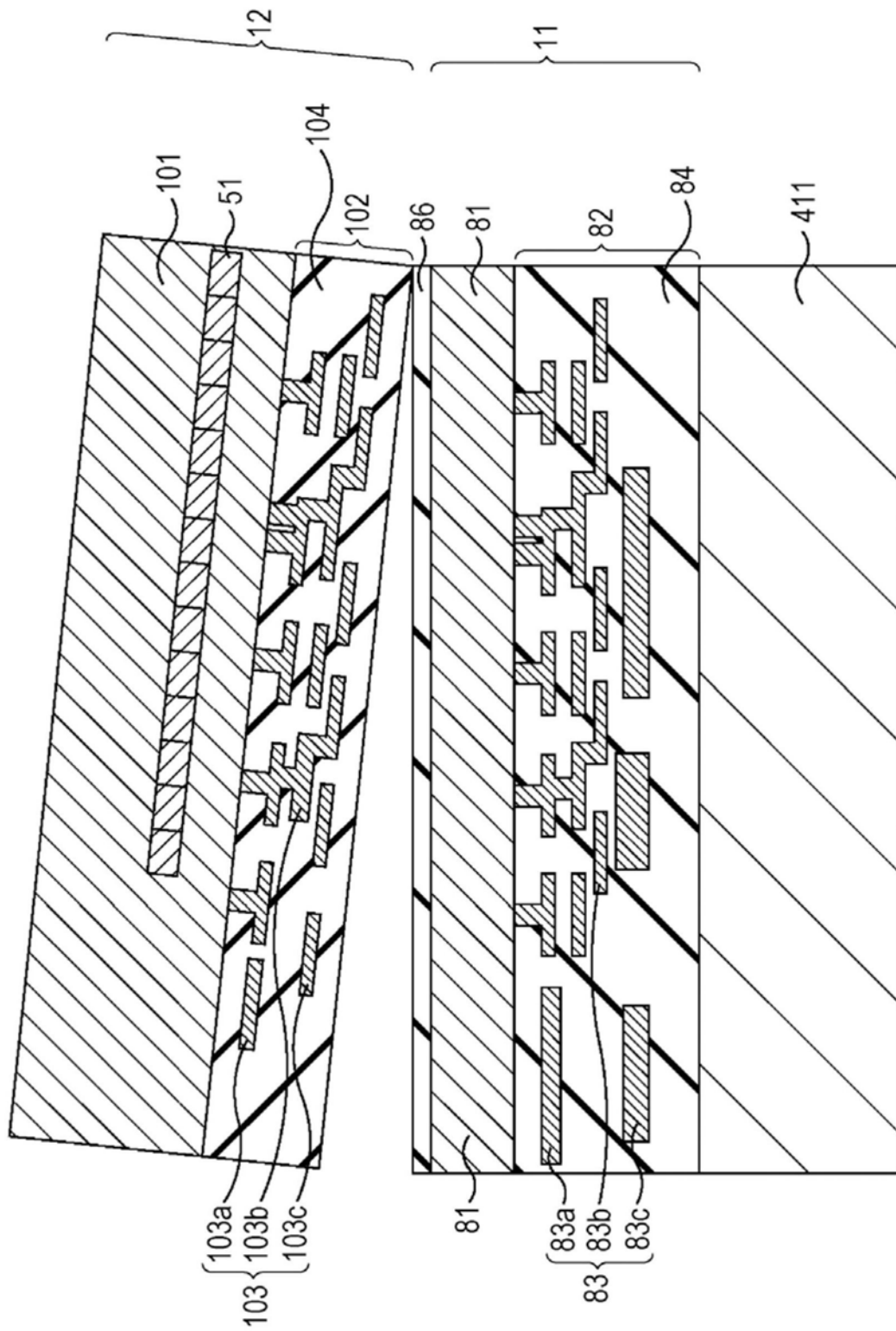


图19

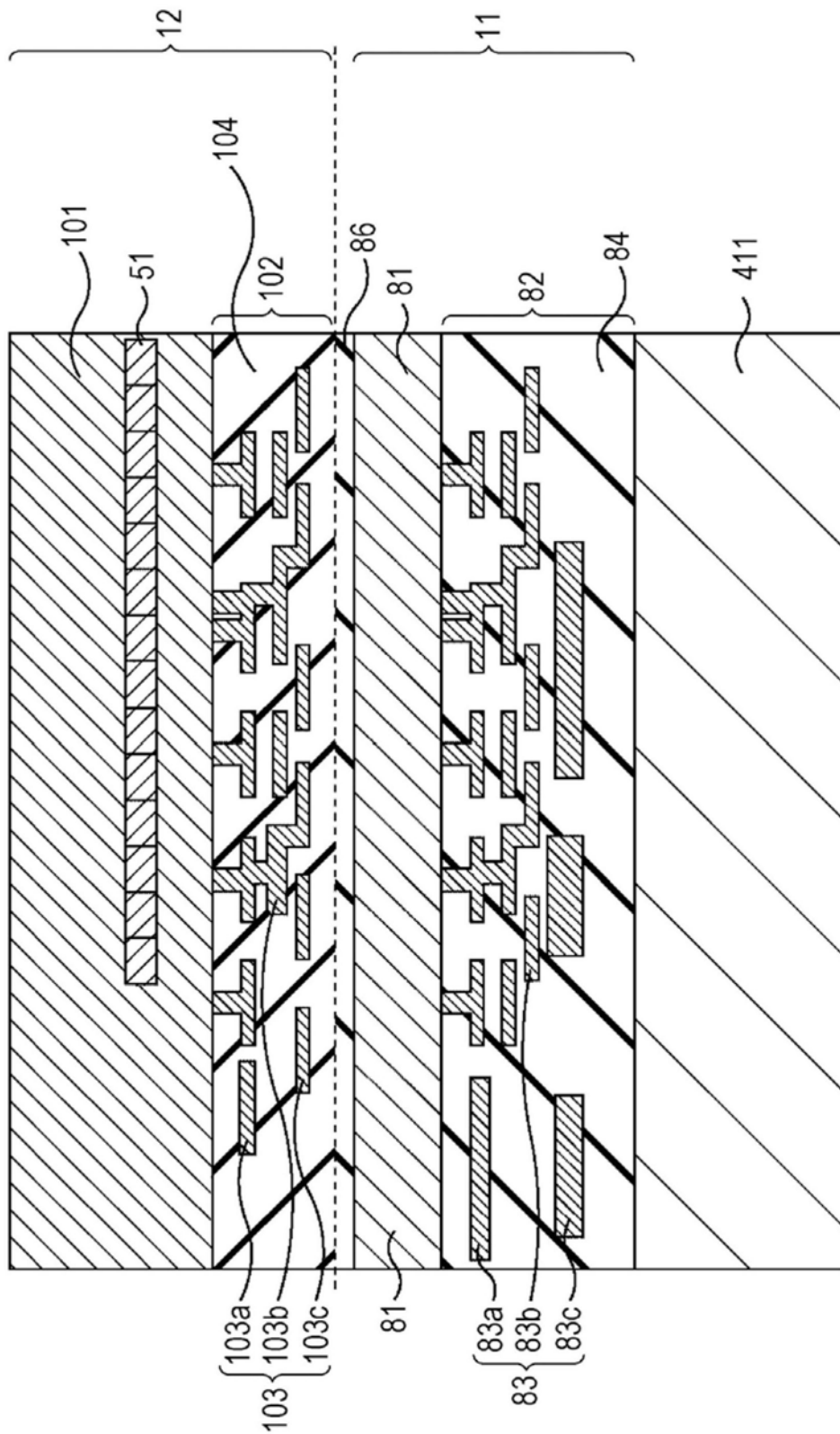


图20

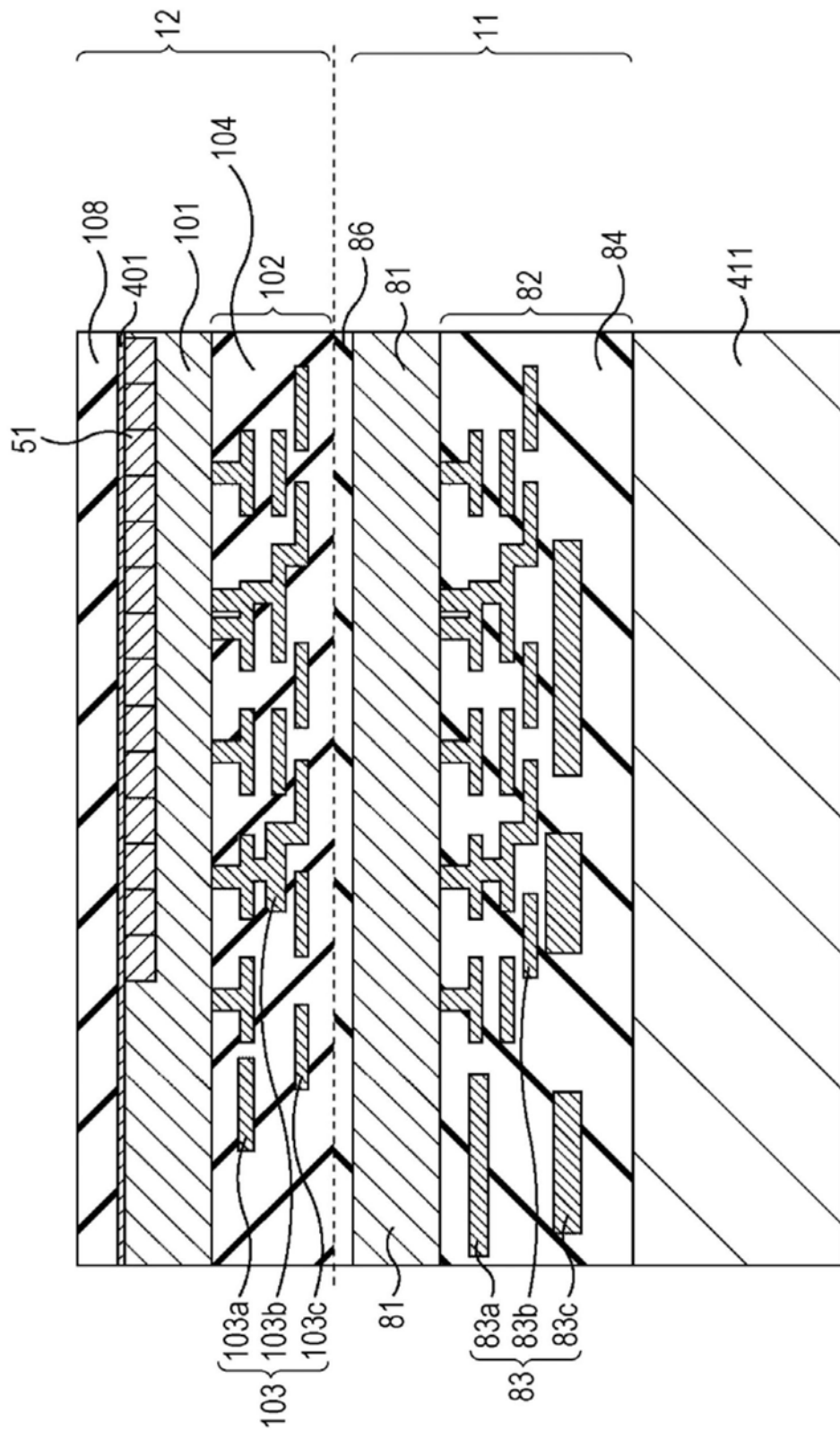


图21

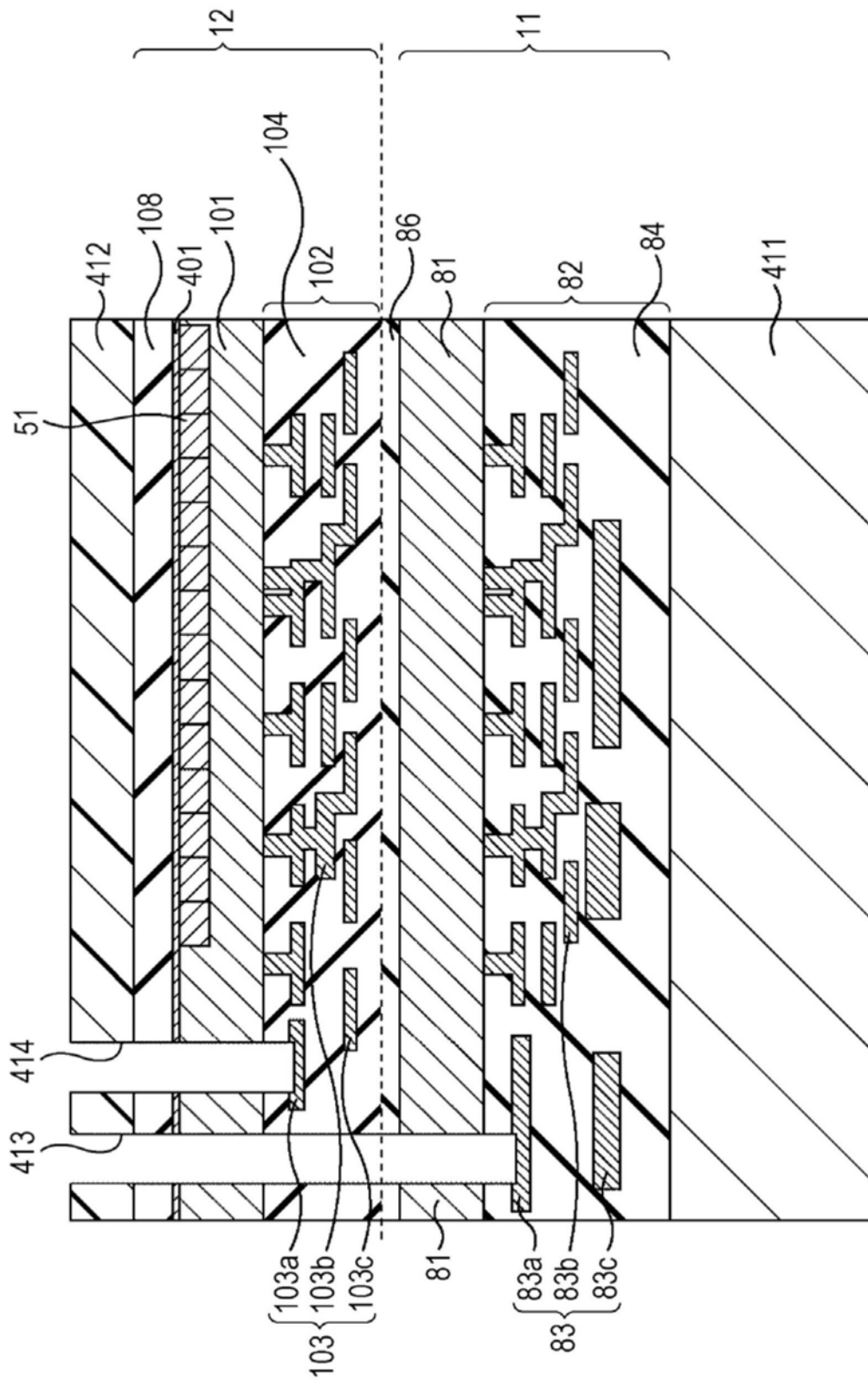


图22

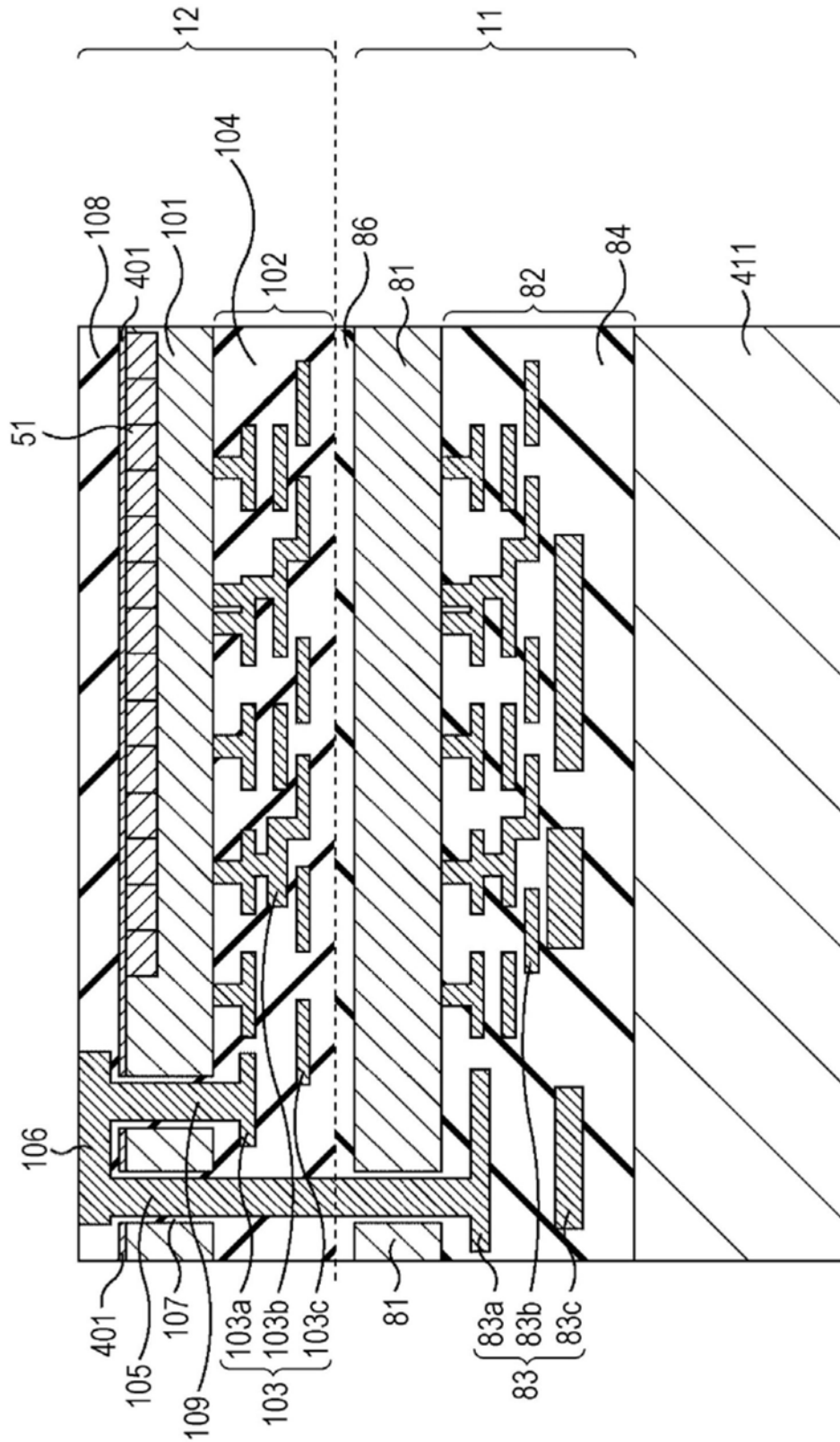


图24

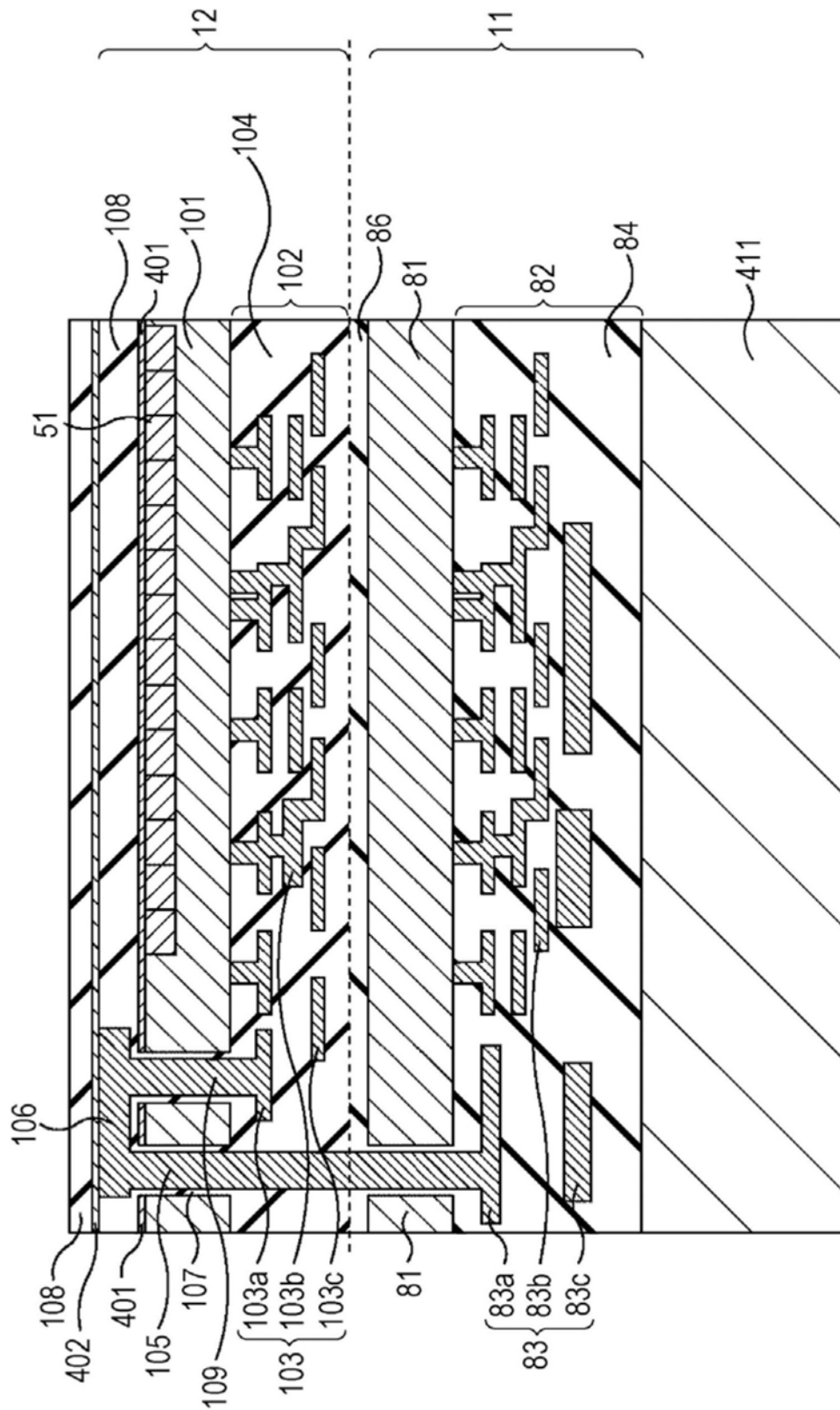


图25

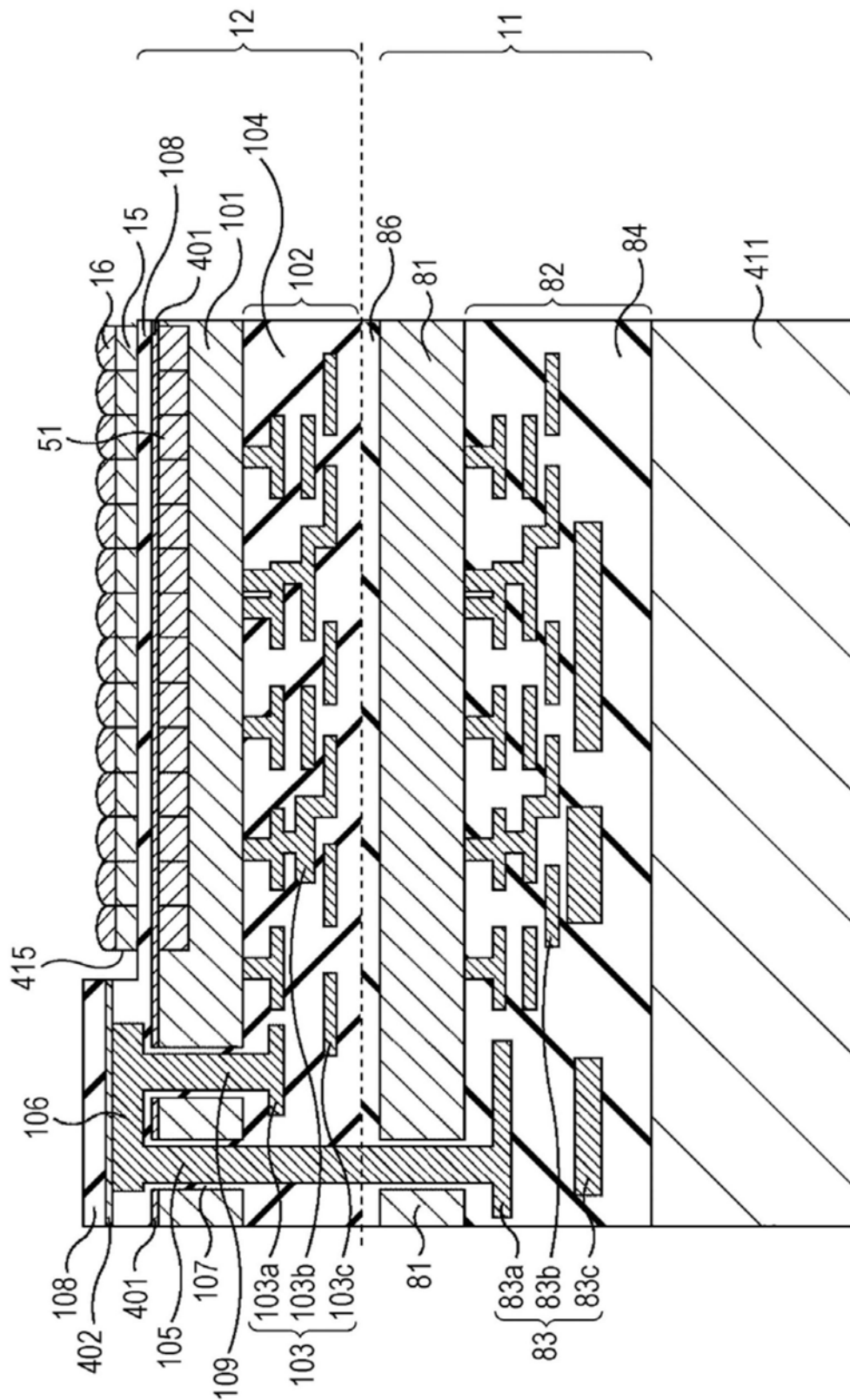


图27

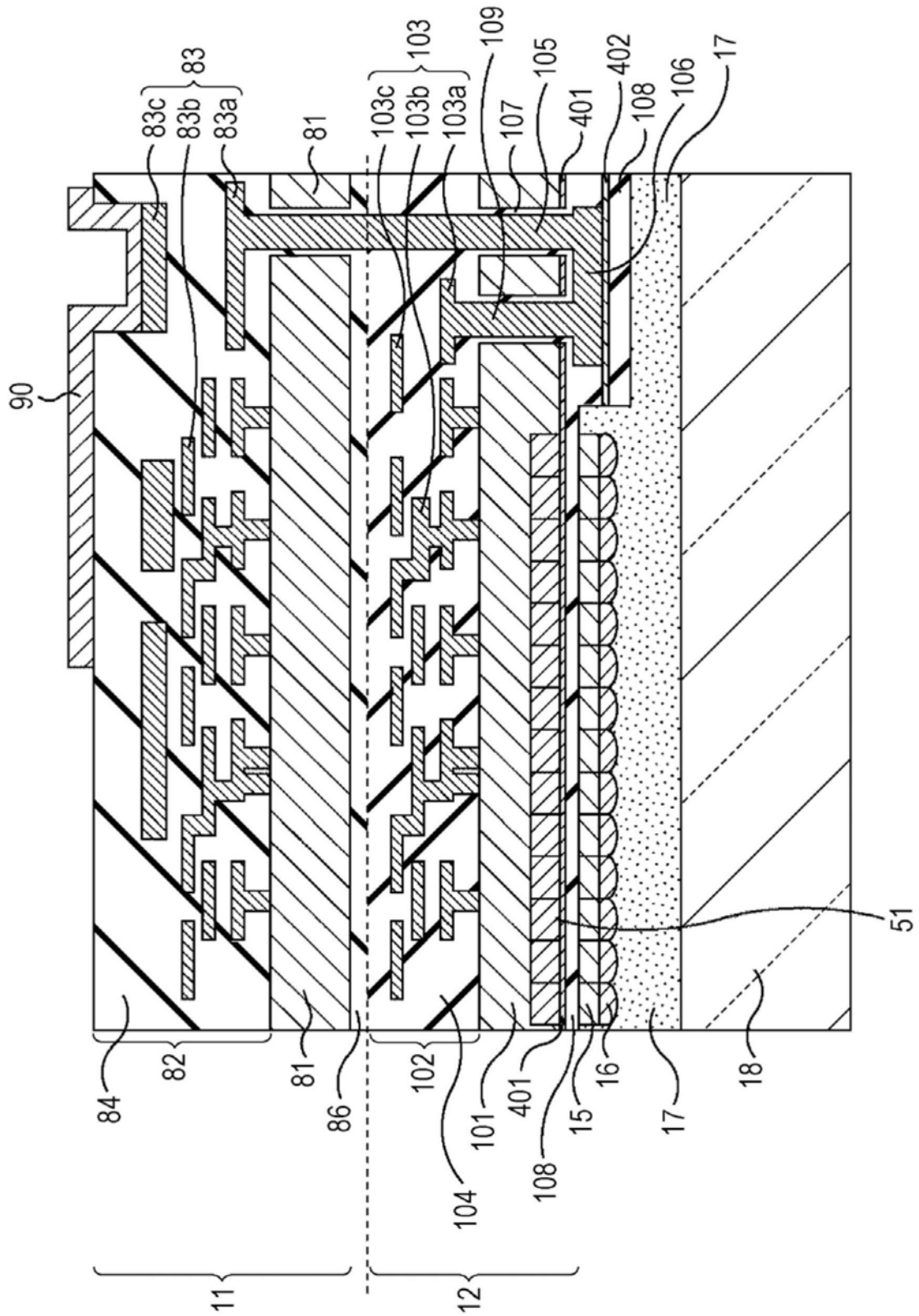


图29

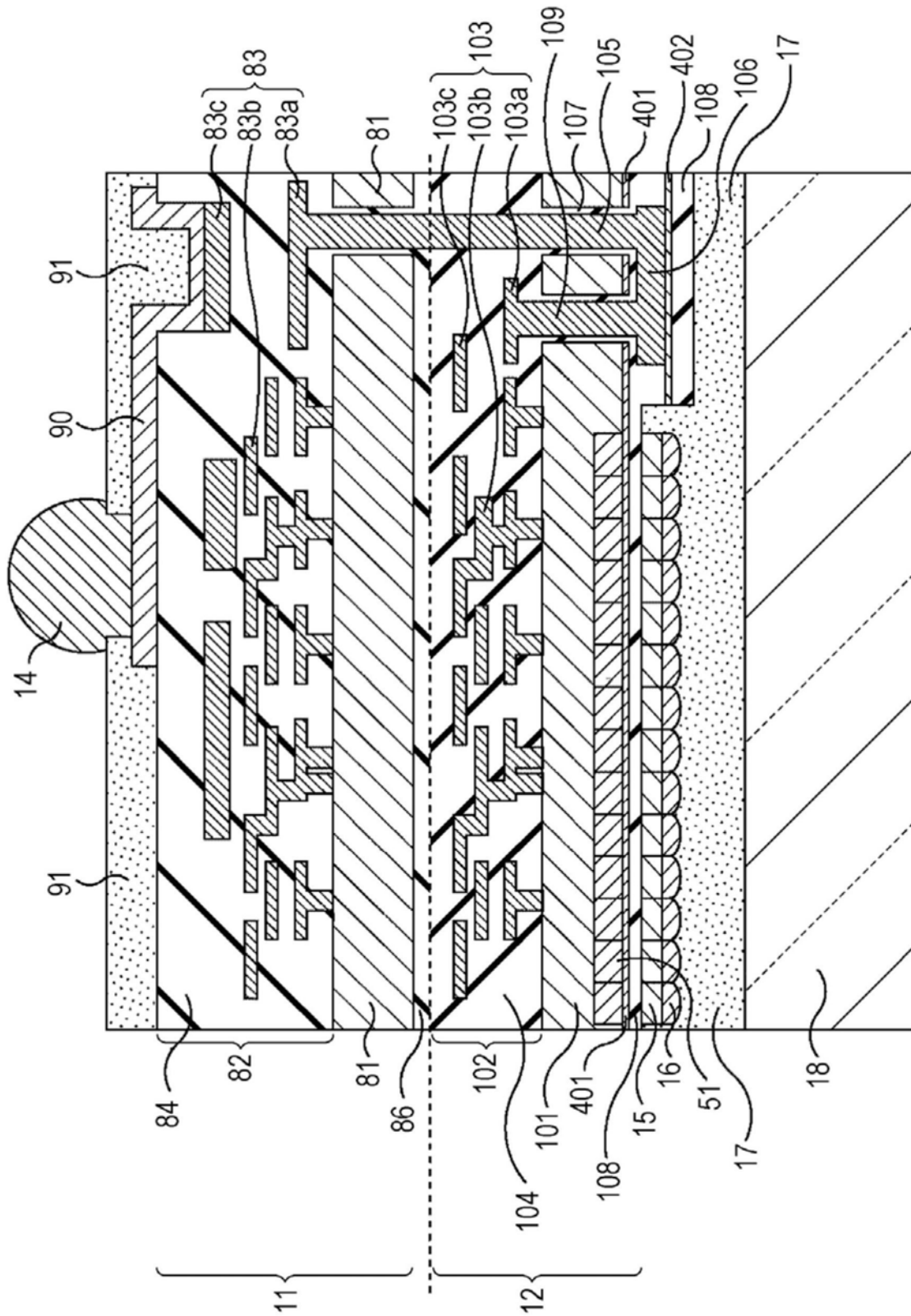


图30

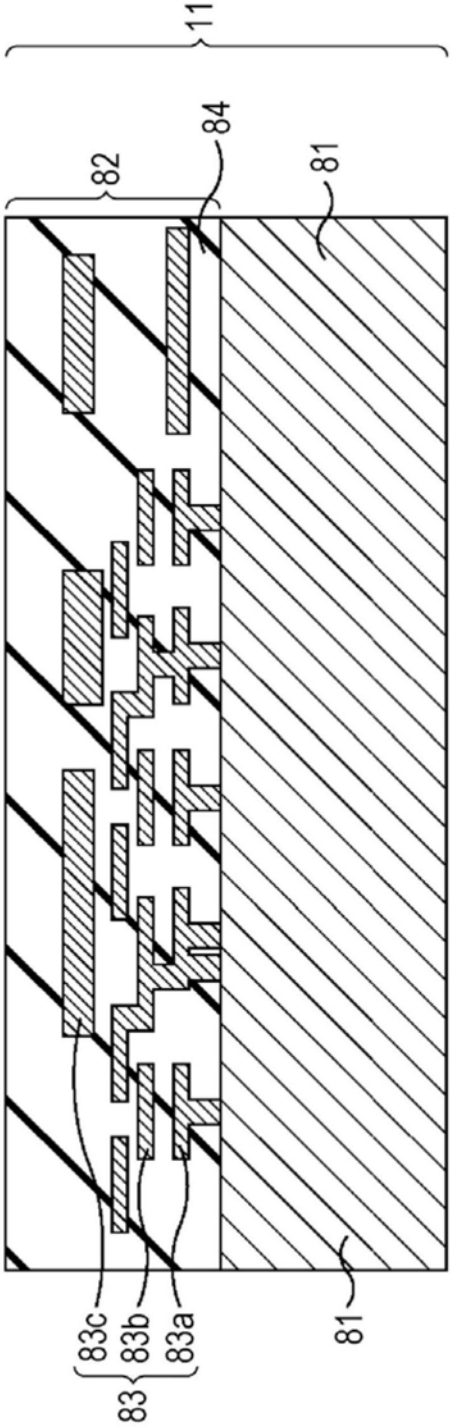


图31

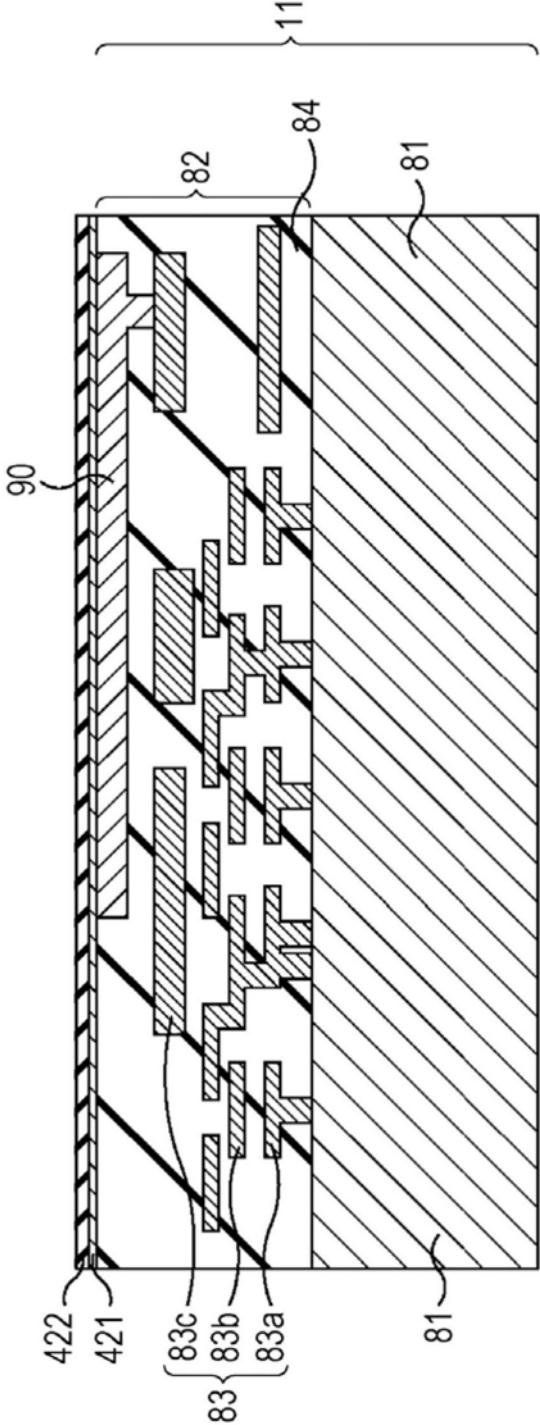


图32

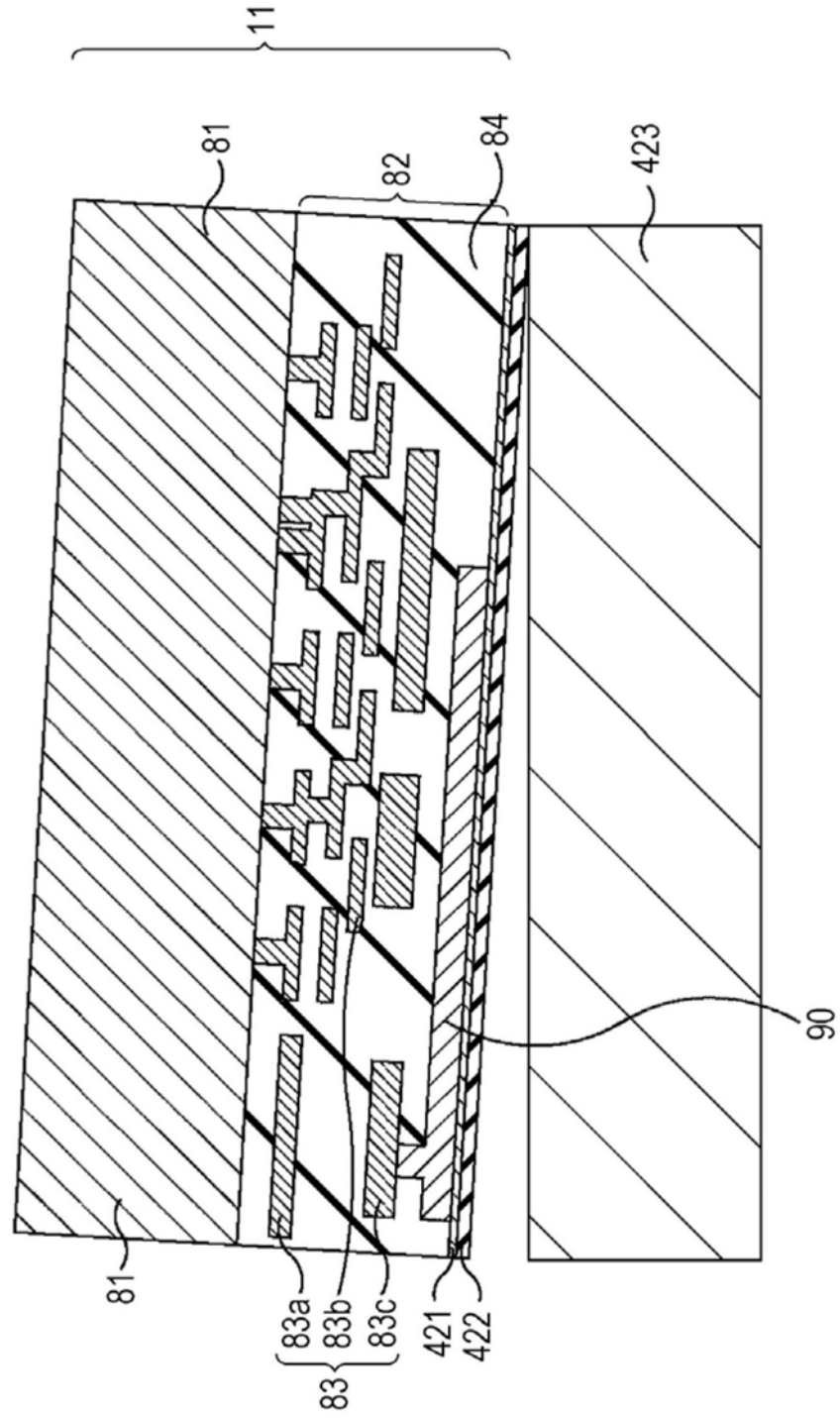


图33

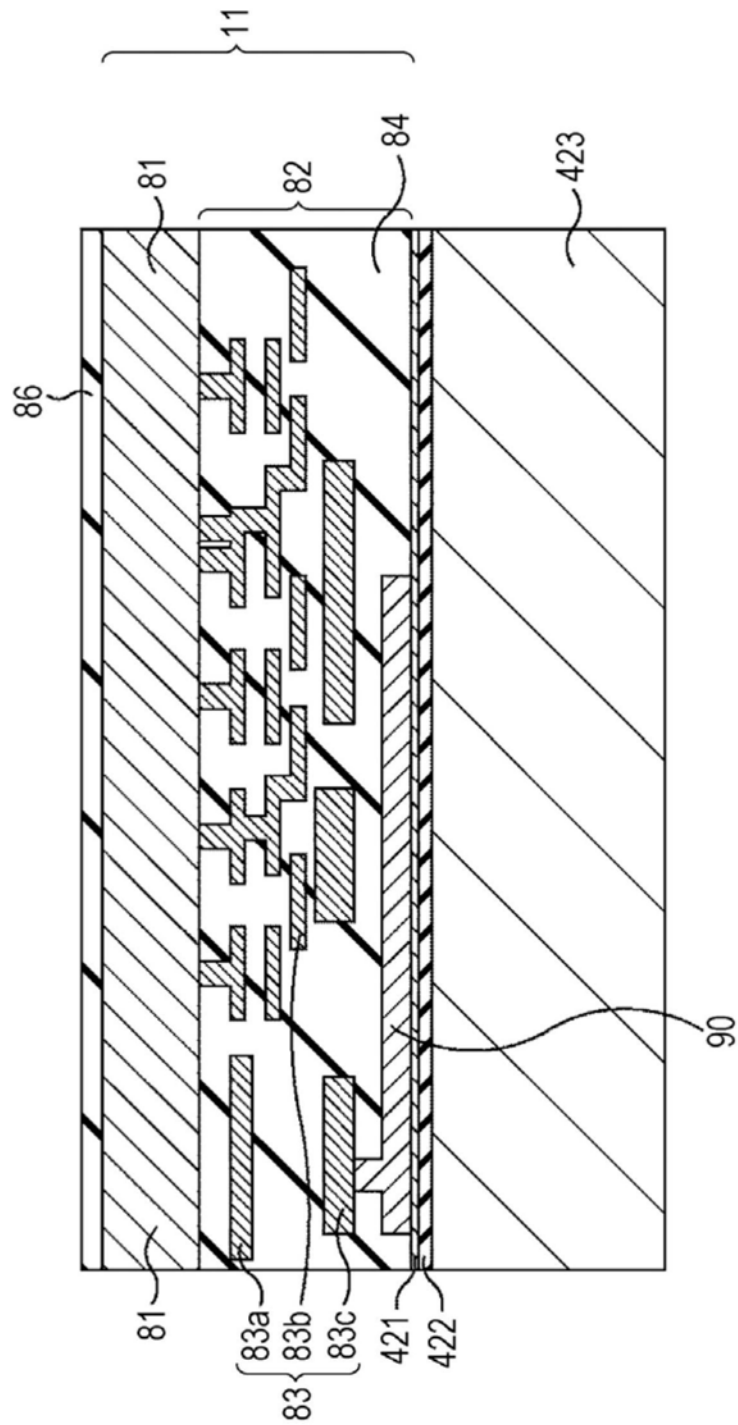


图34

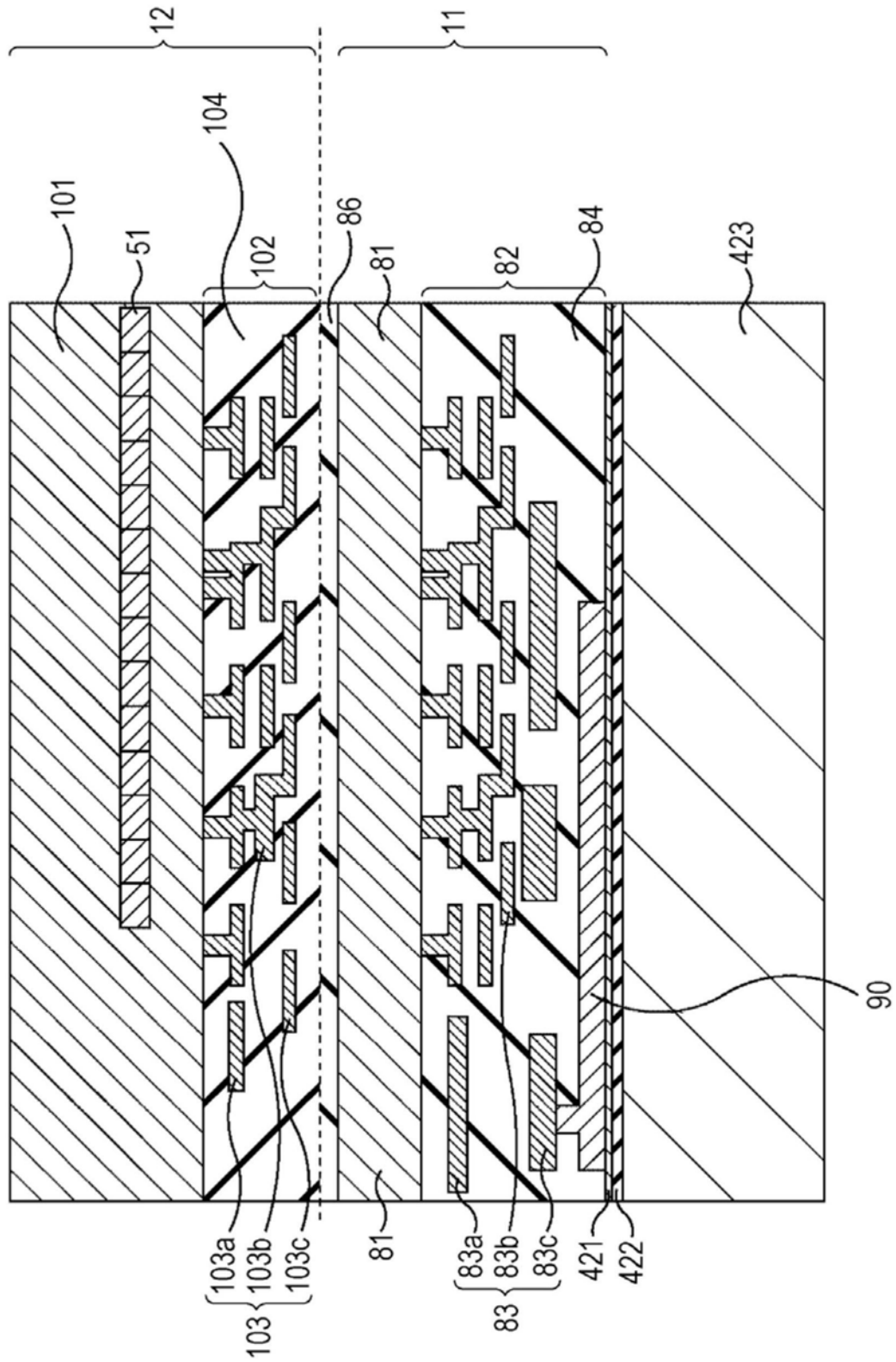


图35

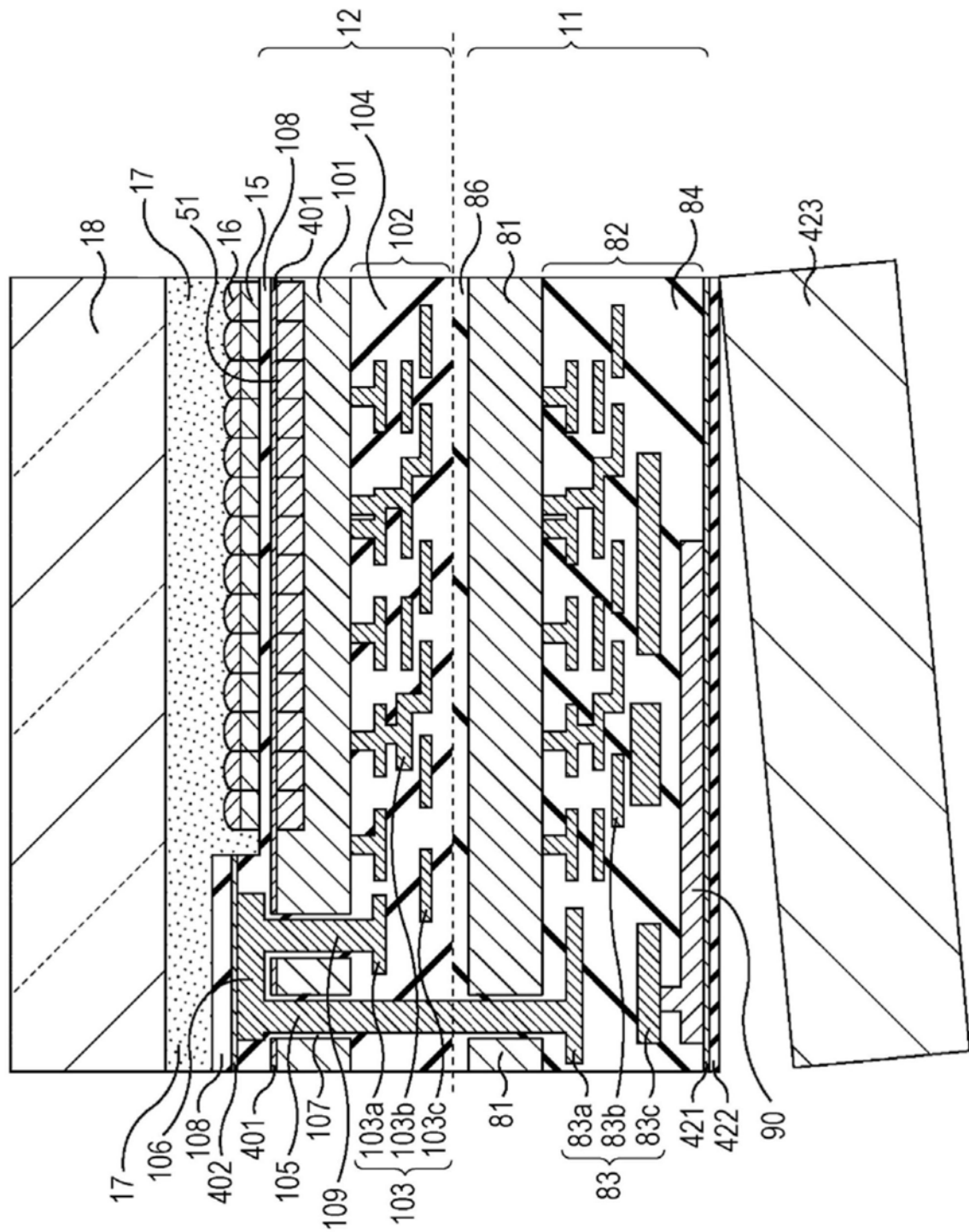


图37

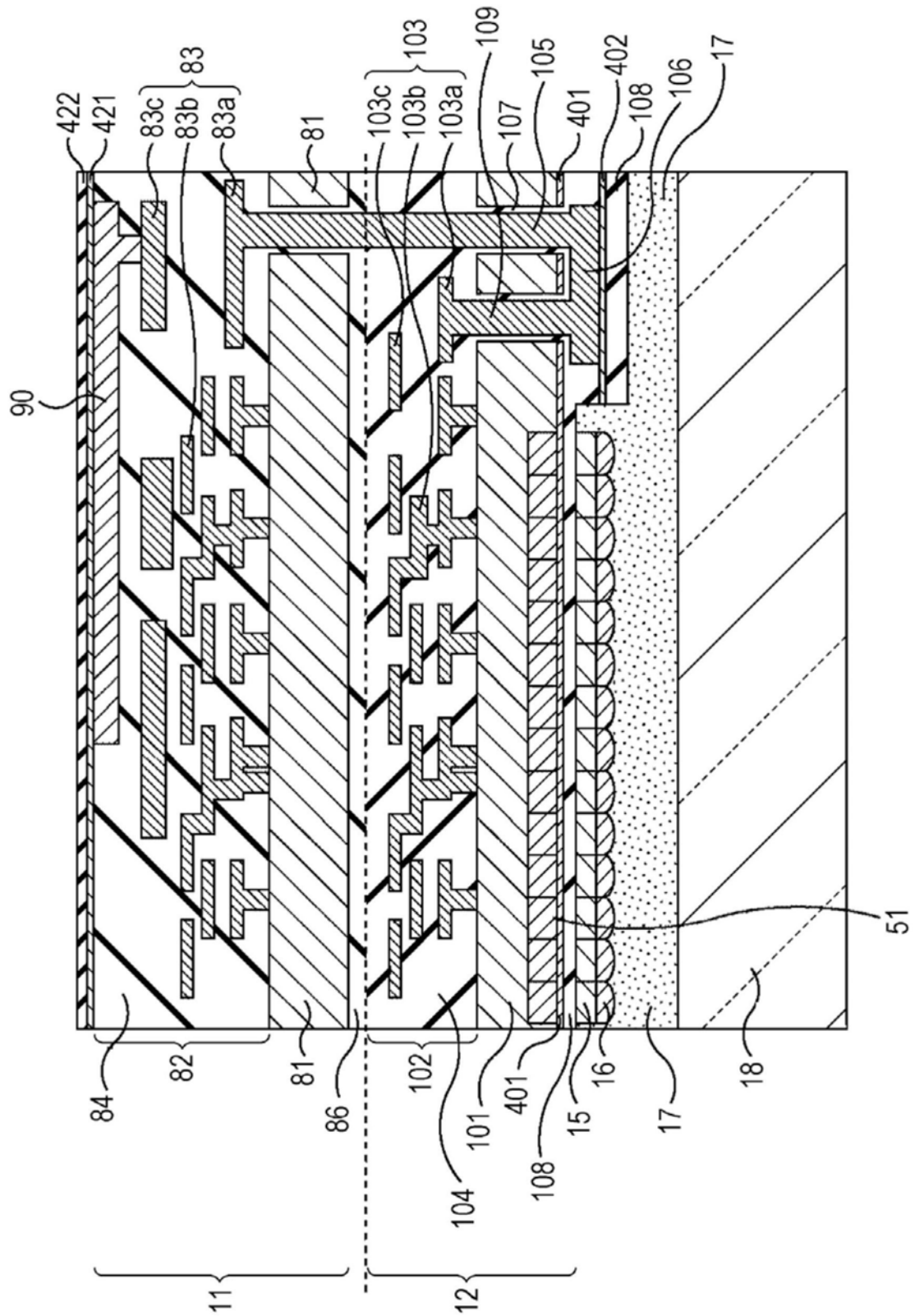


图38

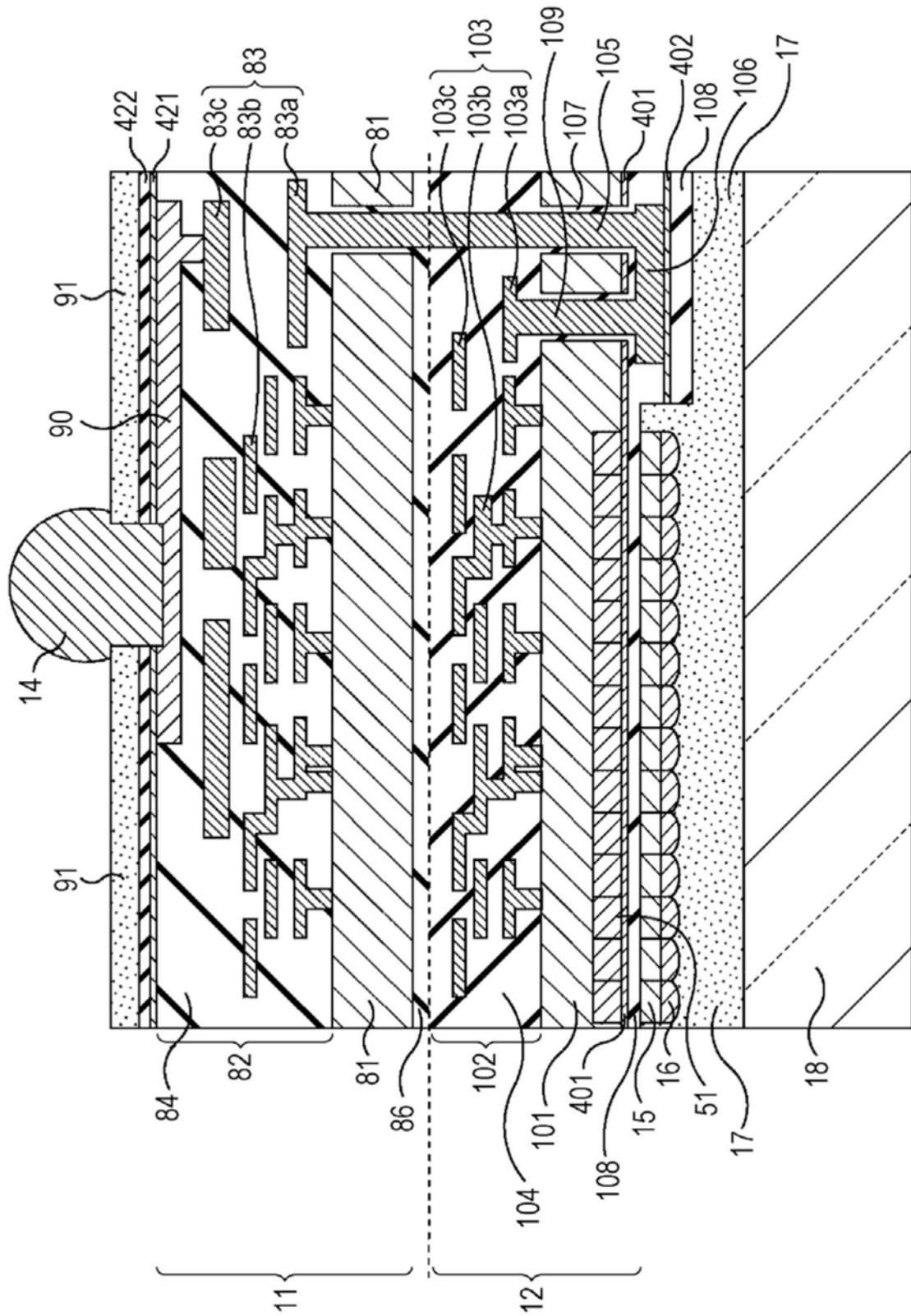


图39

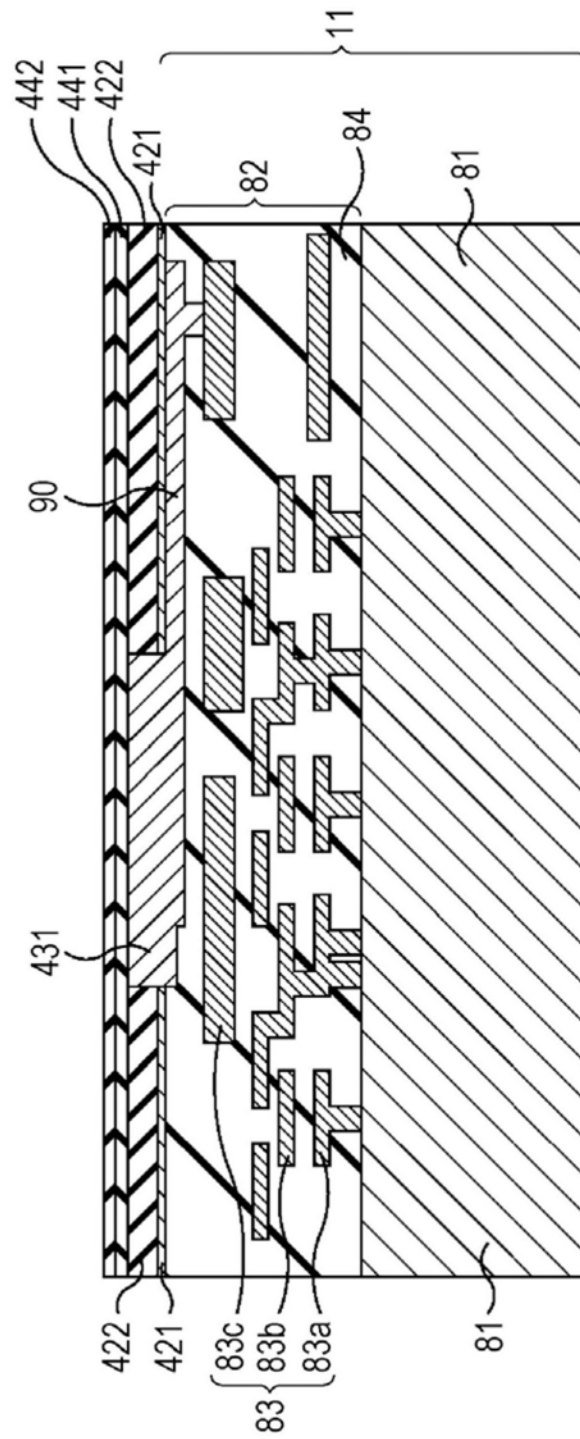


图41

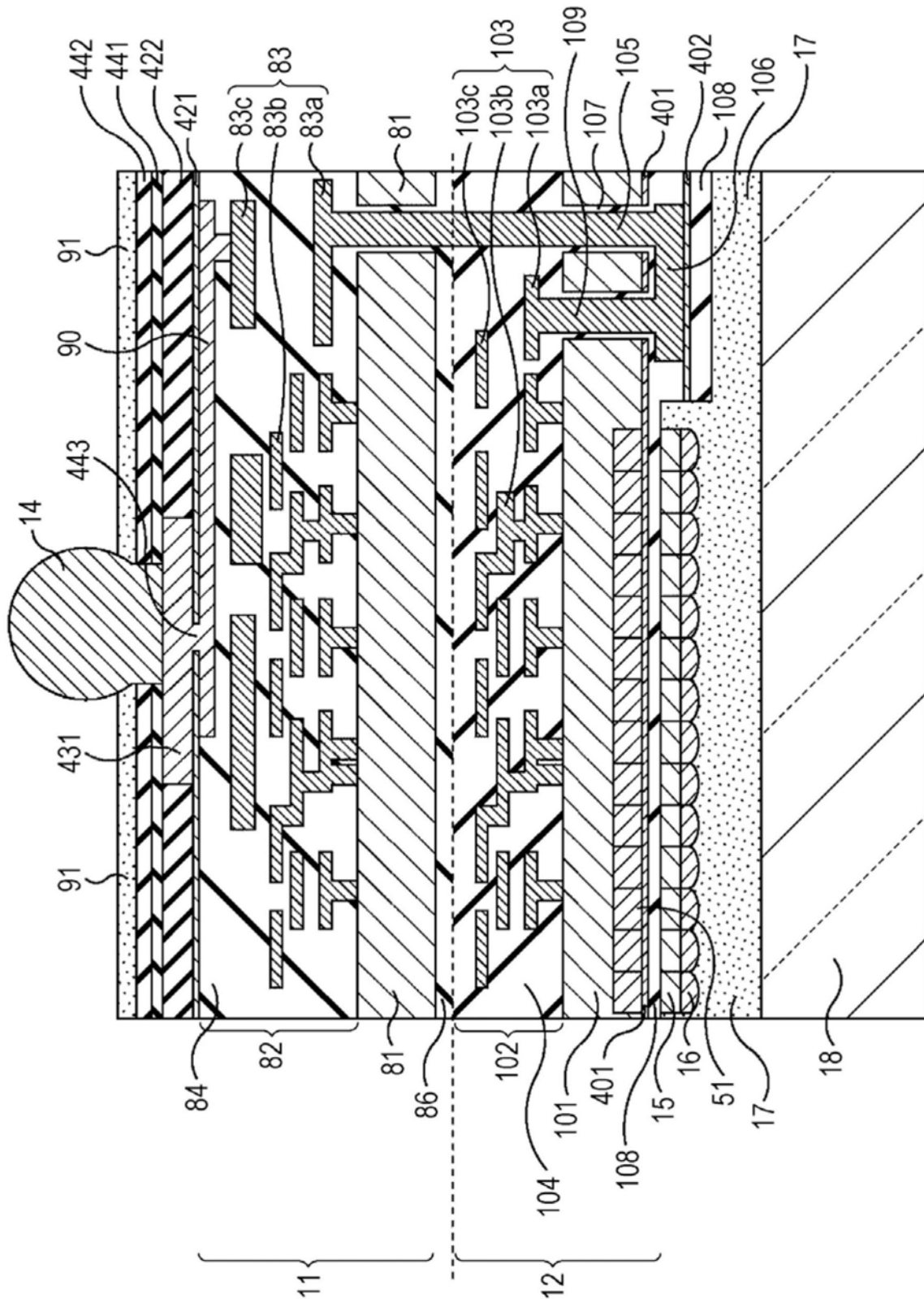


图42

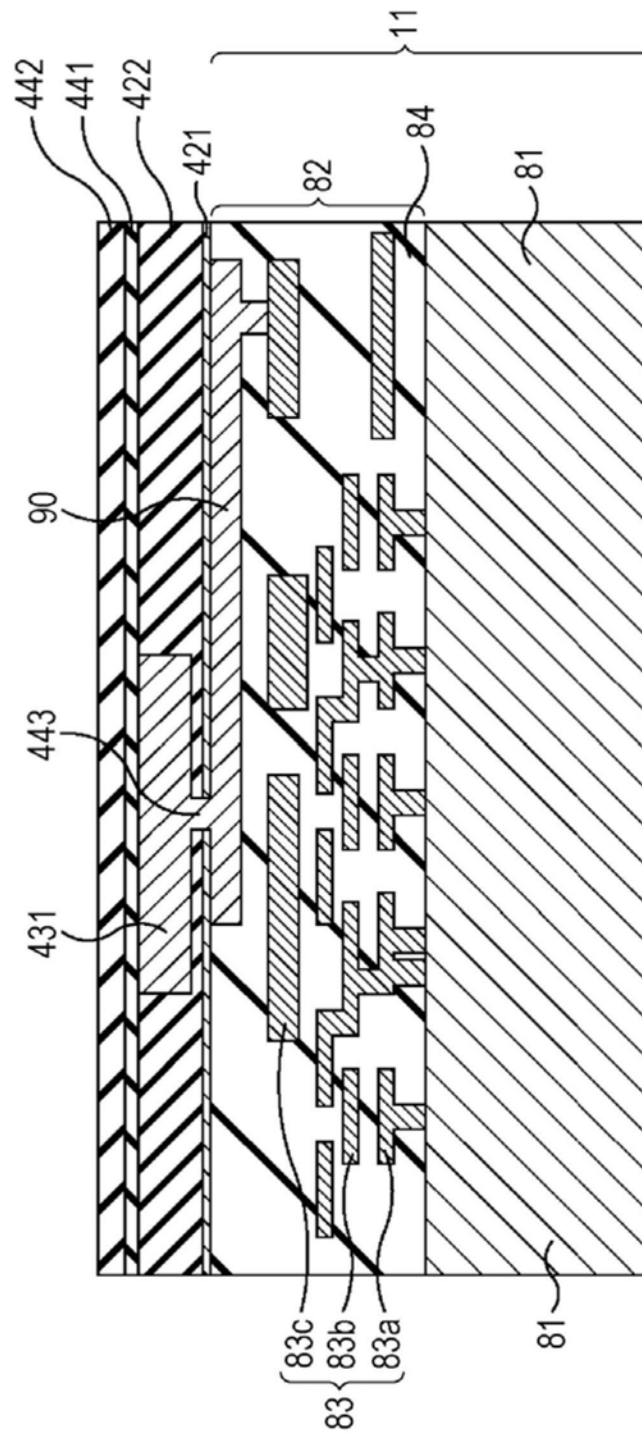


图43

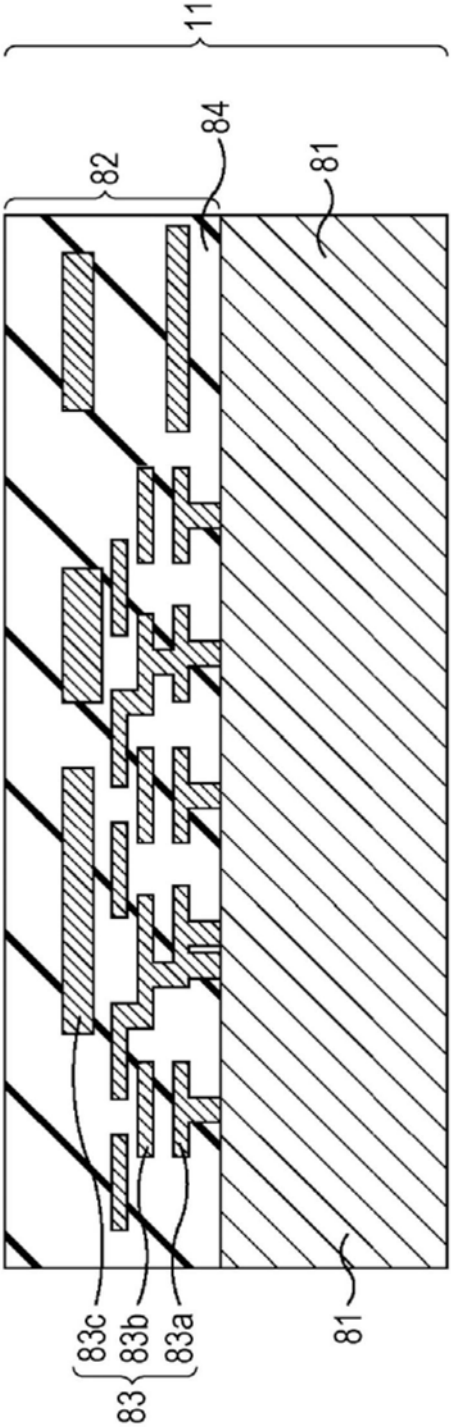


图44

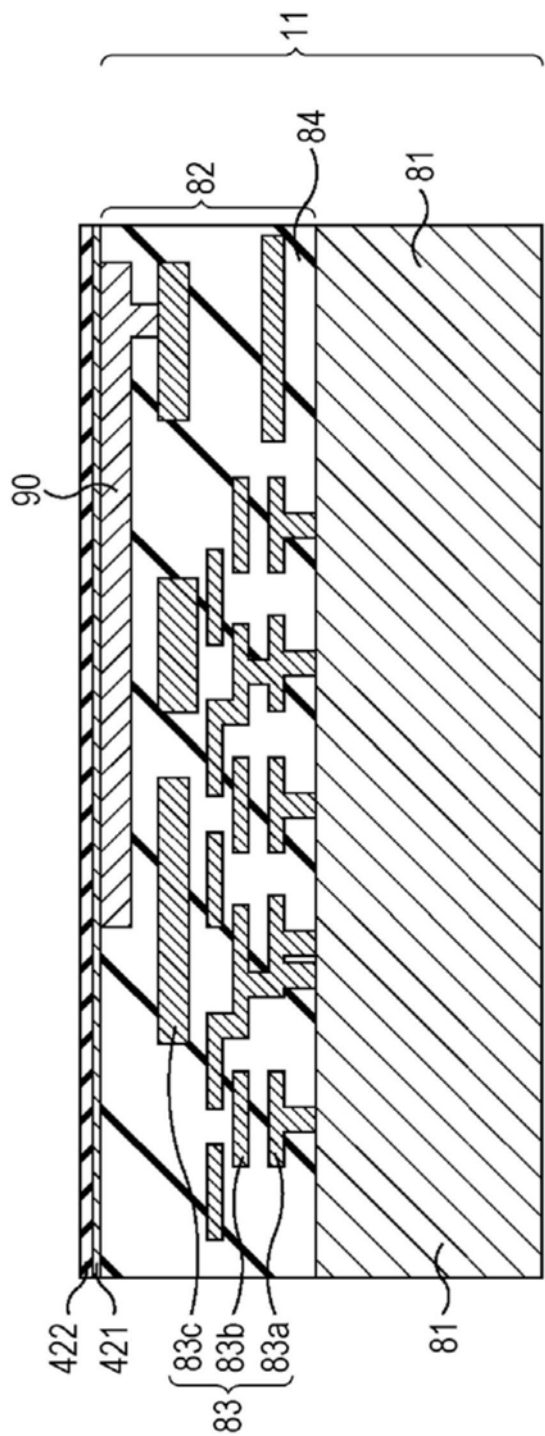


图45

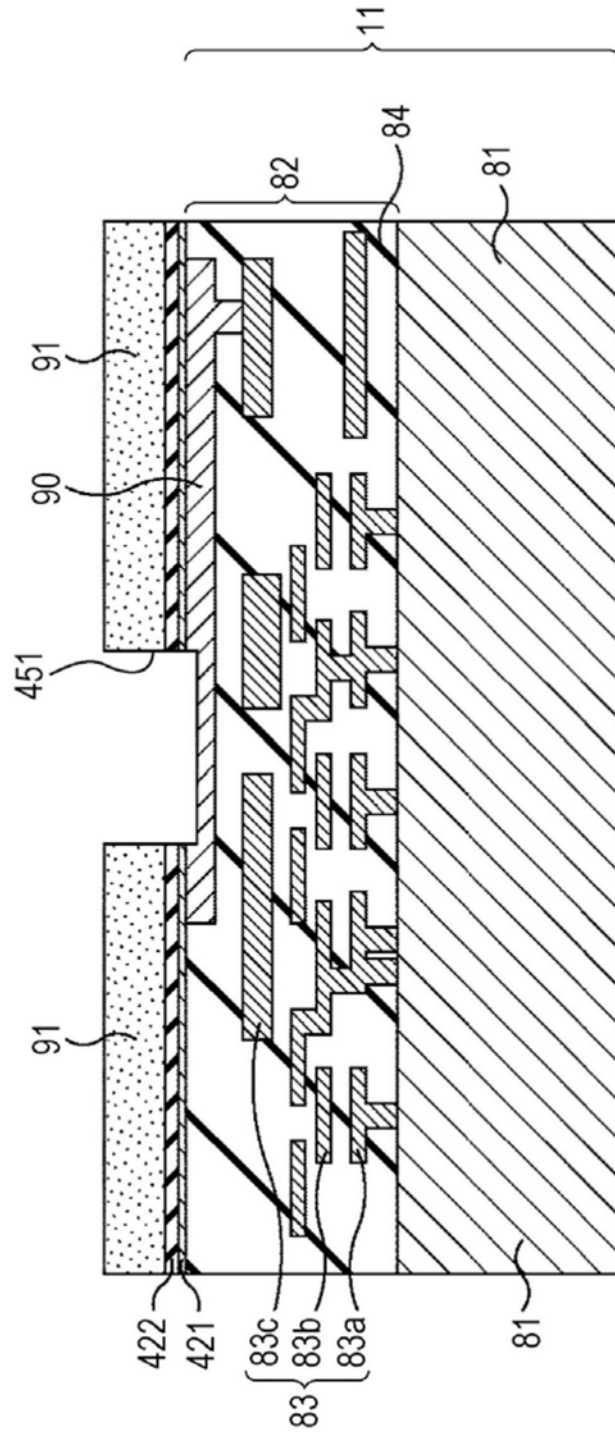


图46

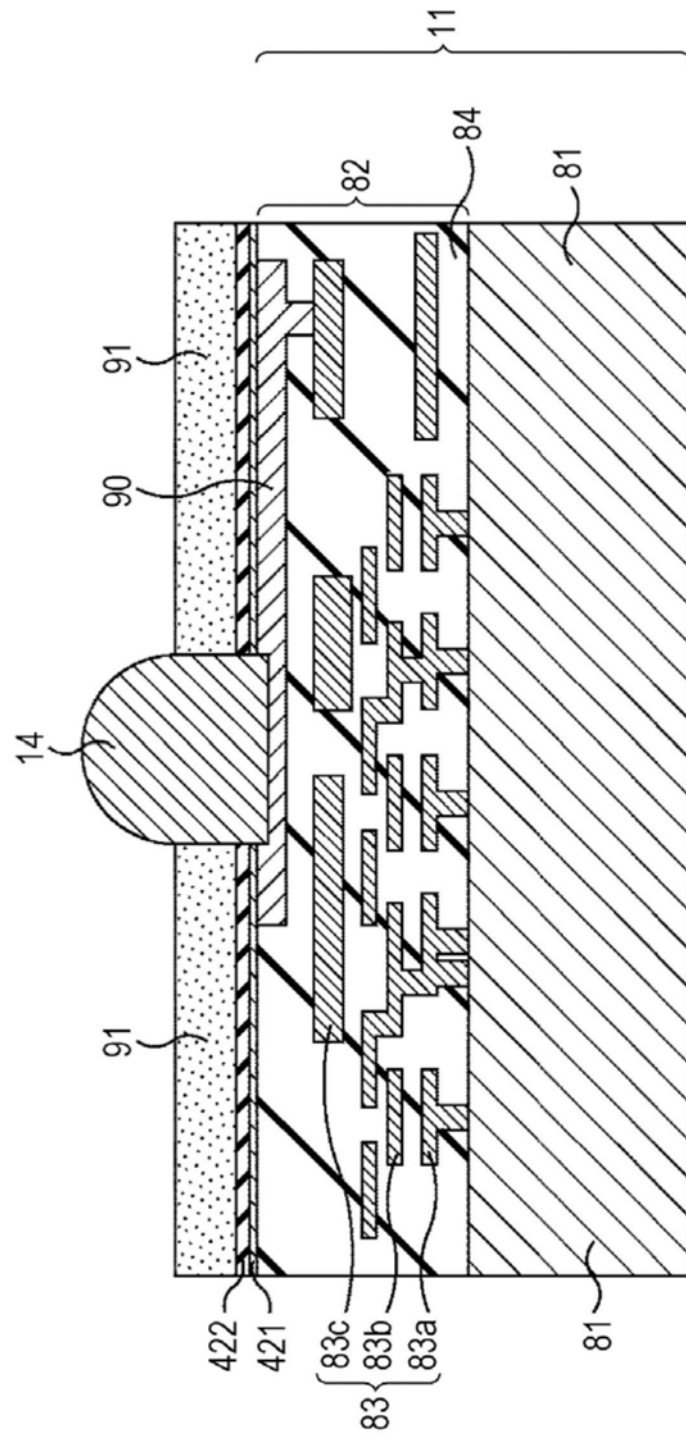


图47

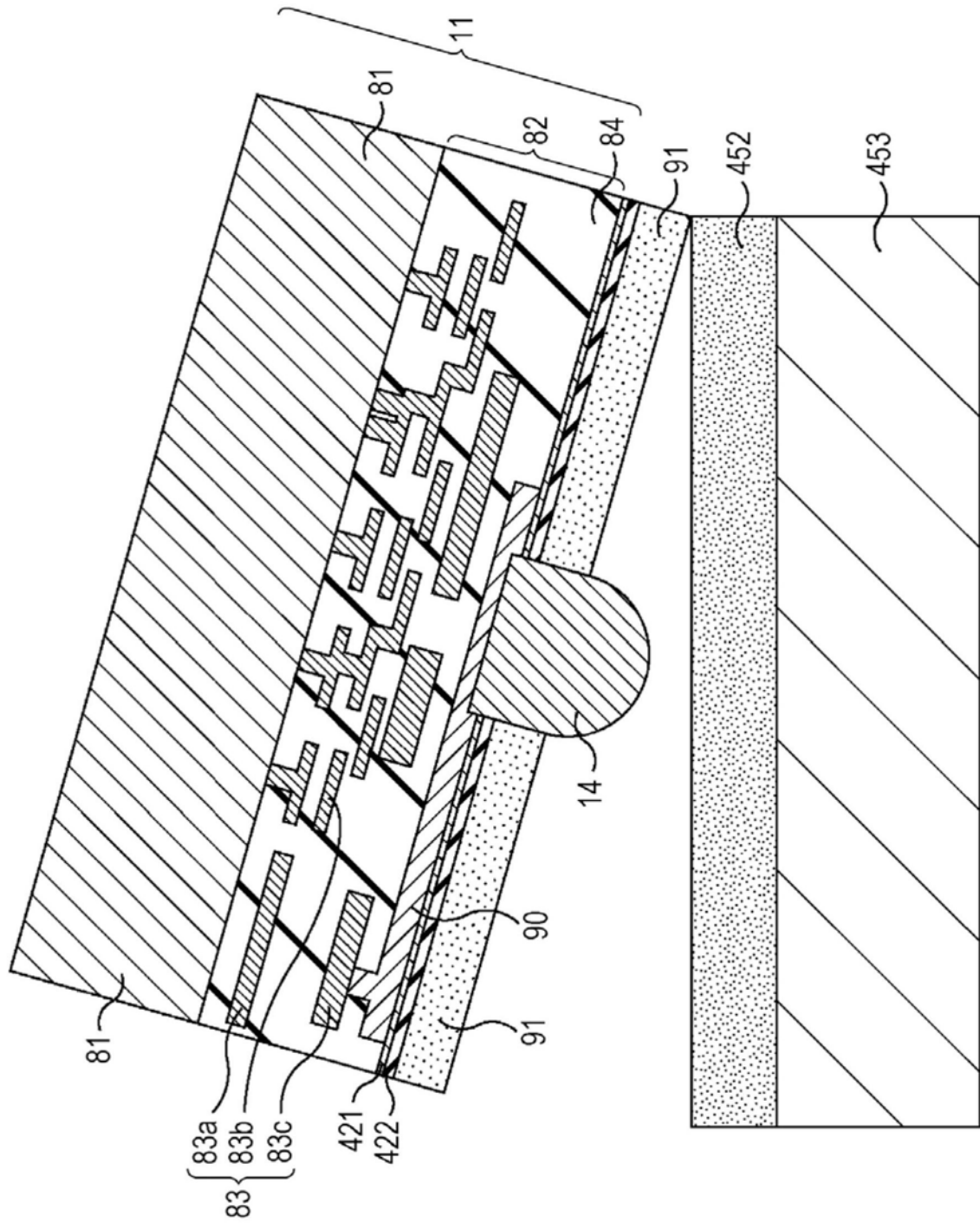


图48

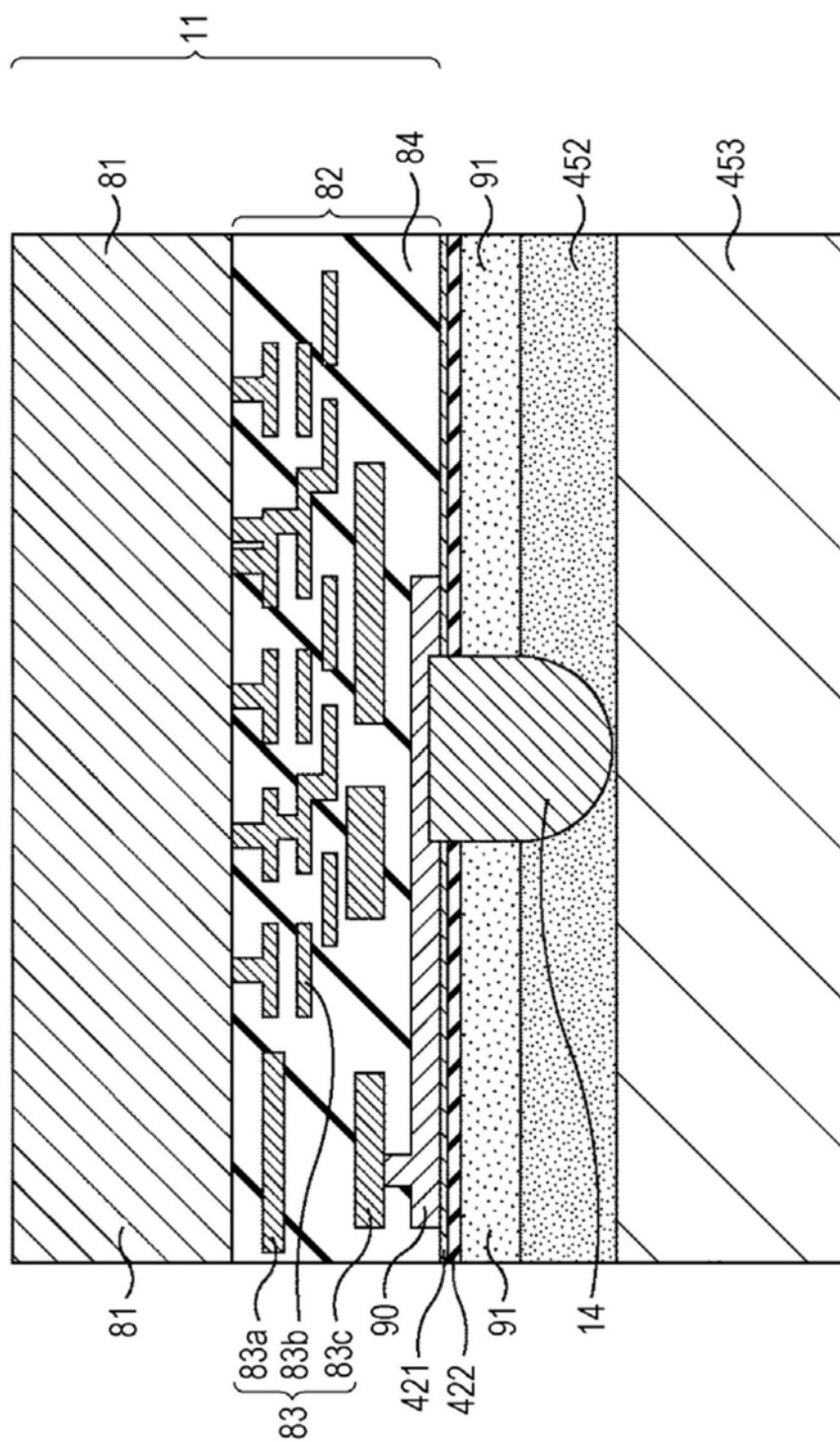


图49

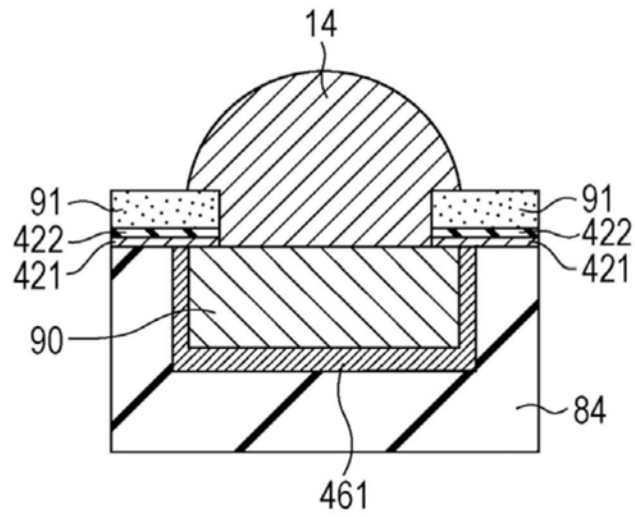


图50

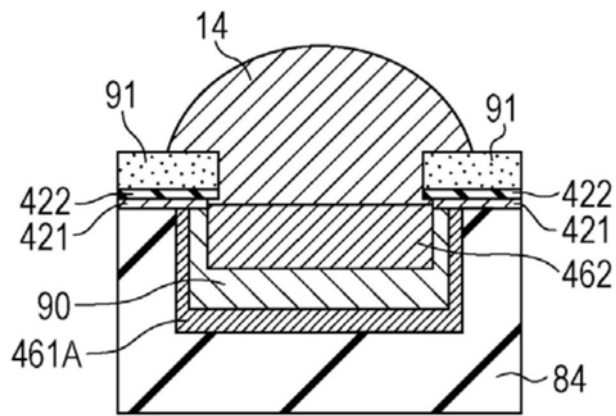


图51A

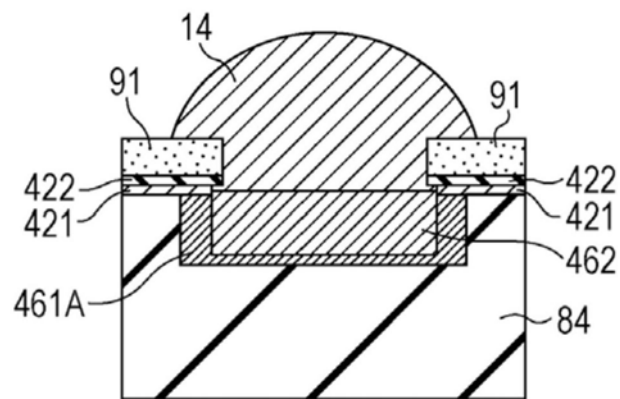


图51B

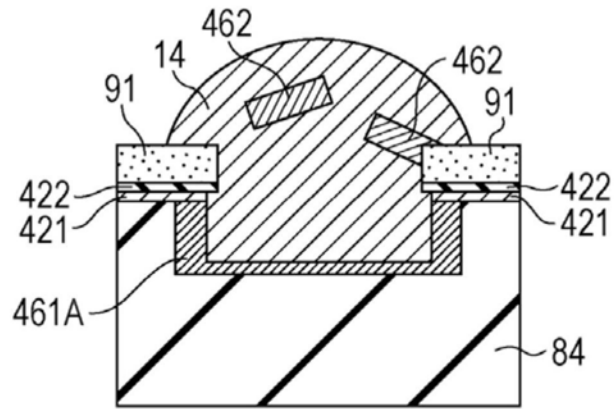


图51C

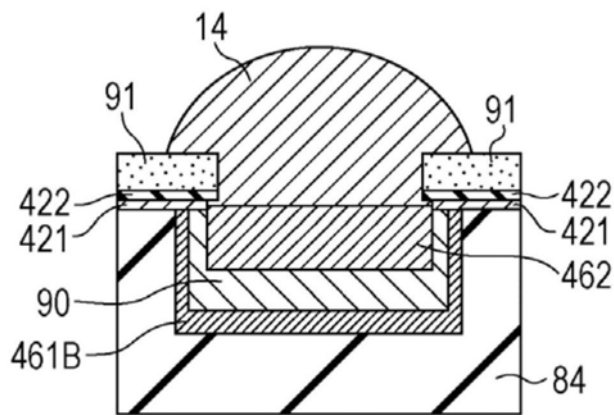


图52A

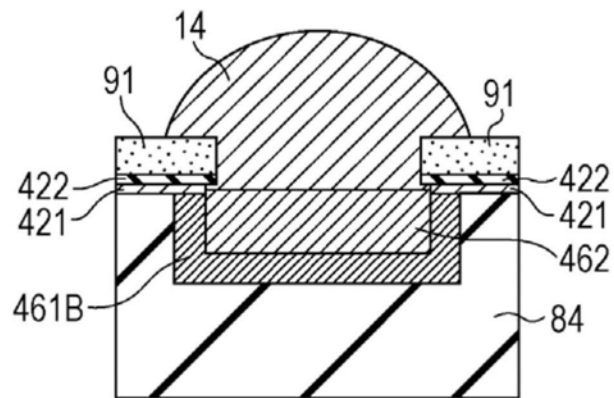


图52B

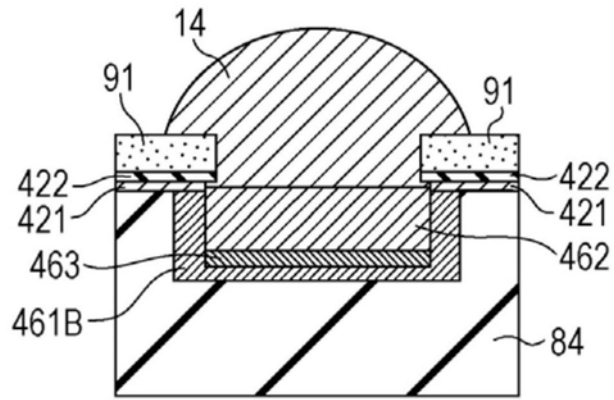


图52C

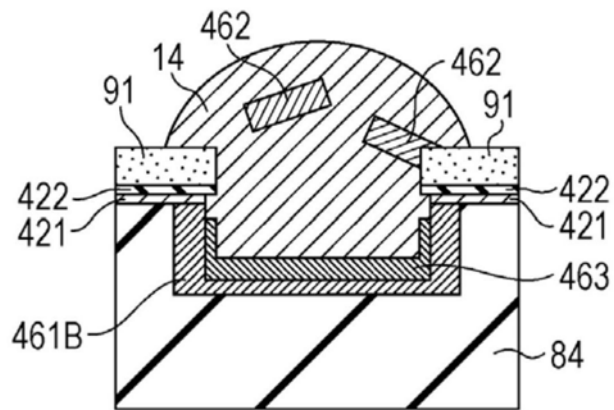


图52D

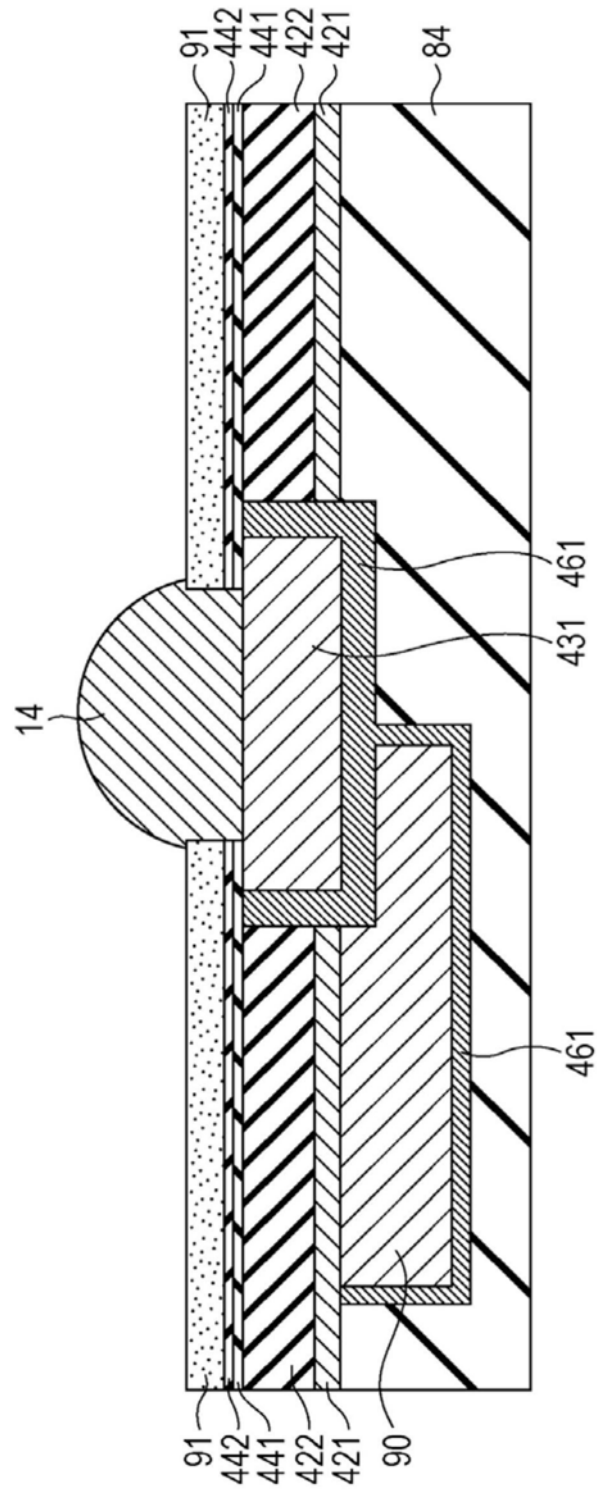


图53

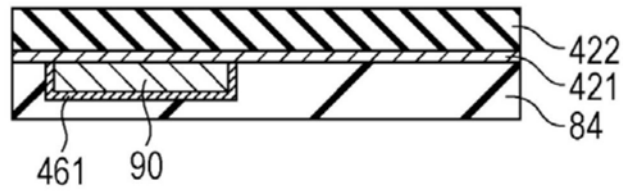


图54A

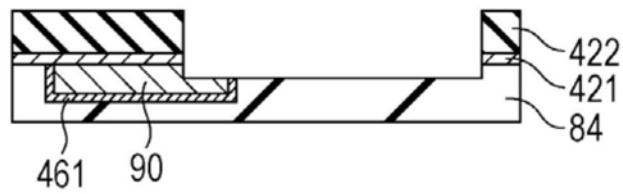


图54B

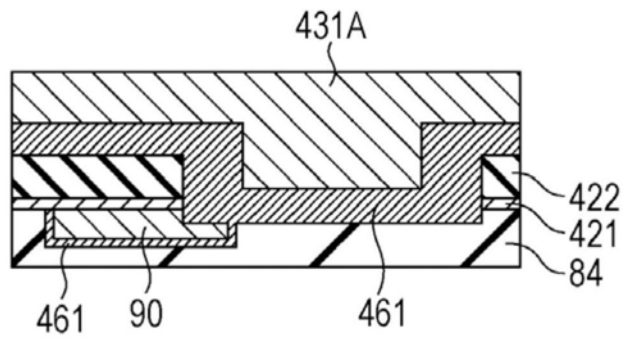


图54C

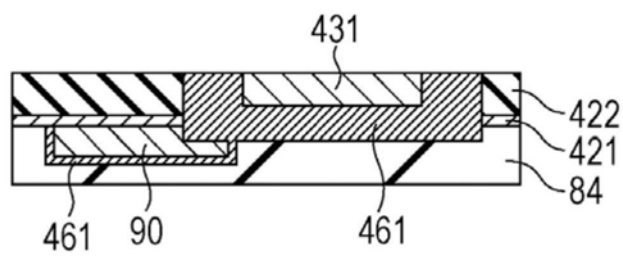


图54D

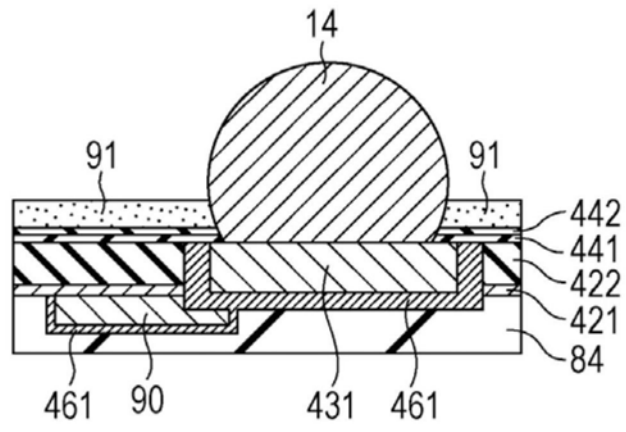


图54E

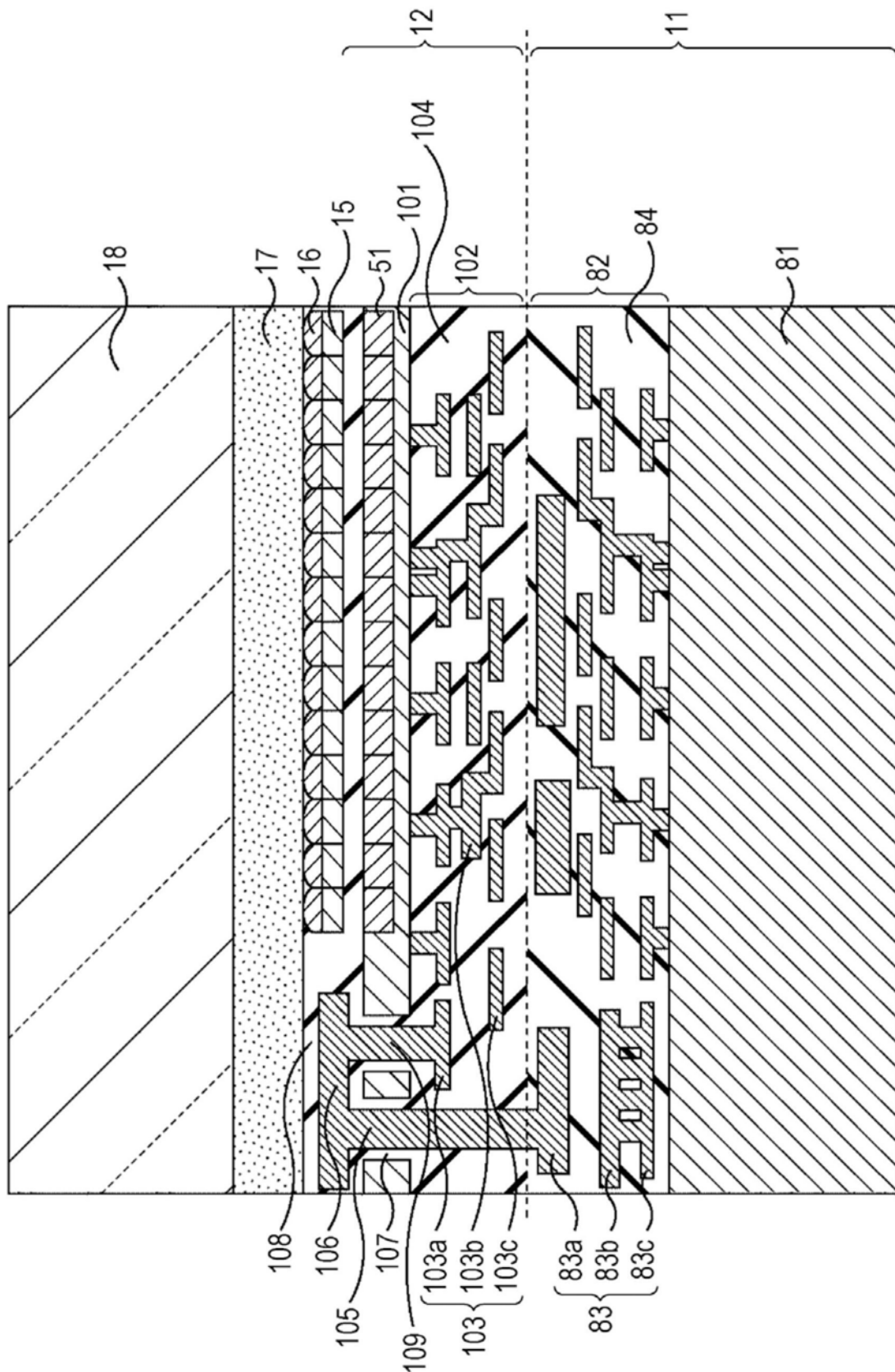


图56

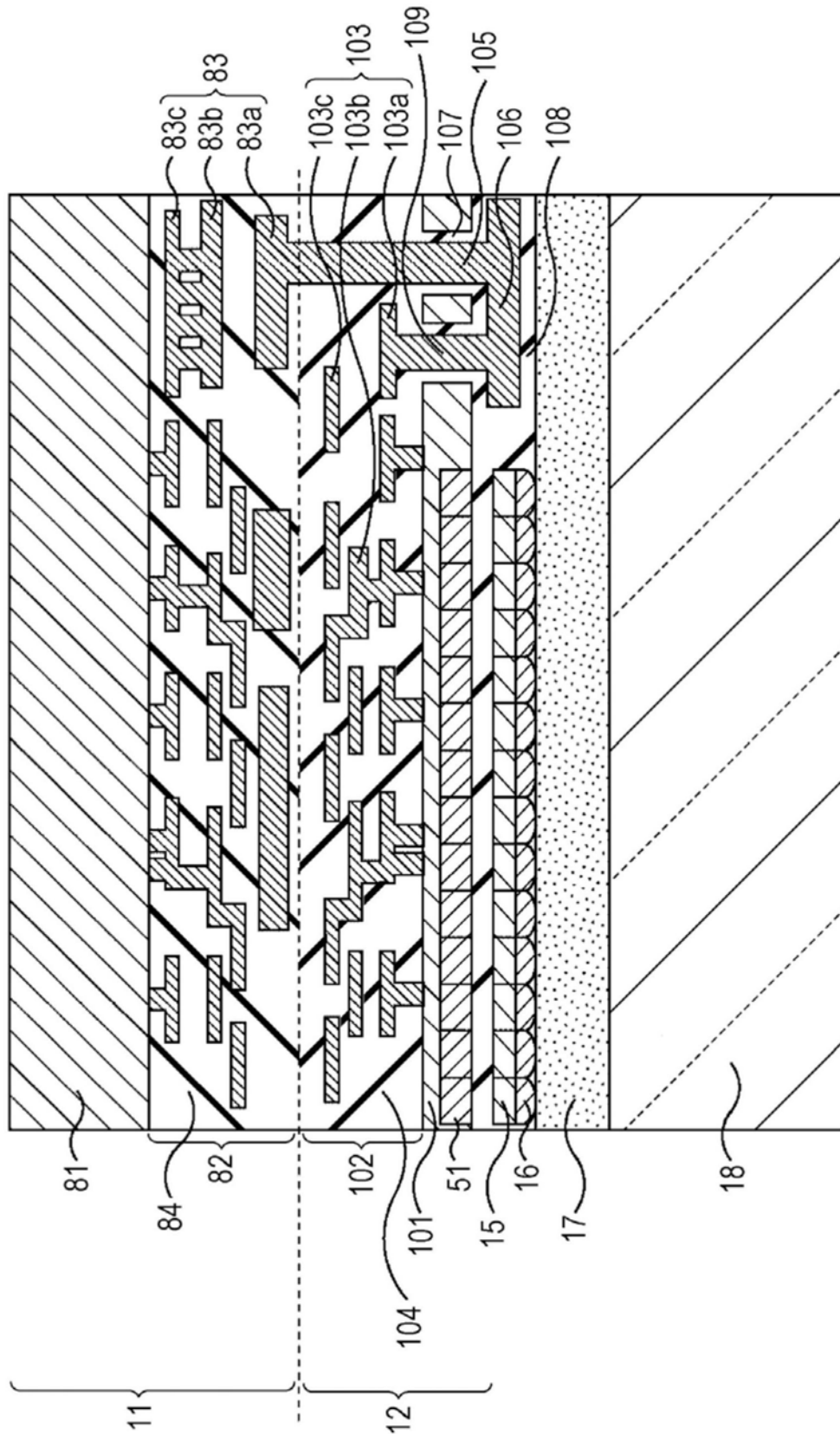


图57

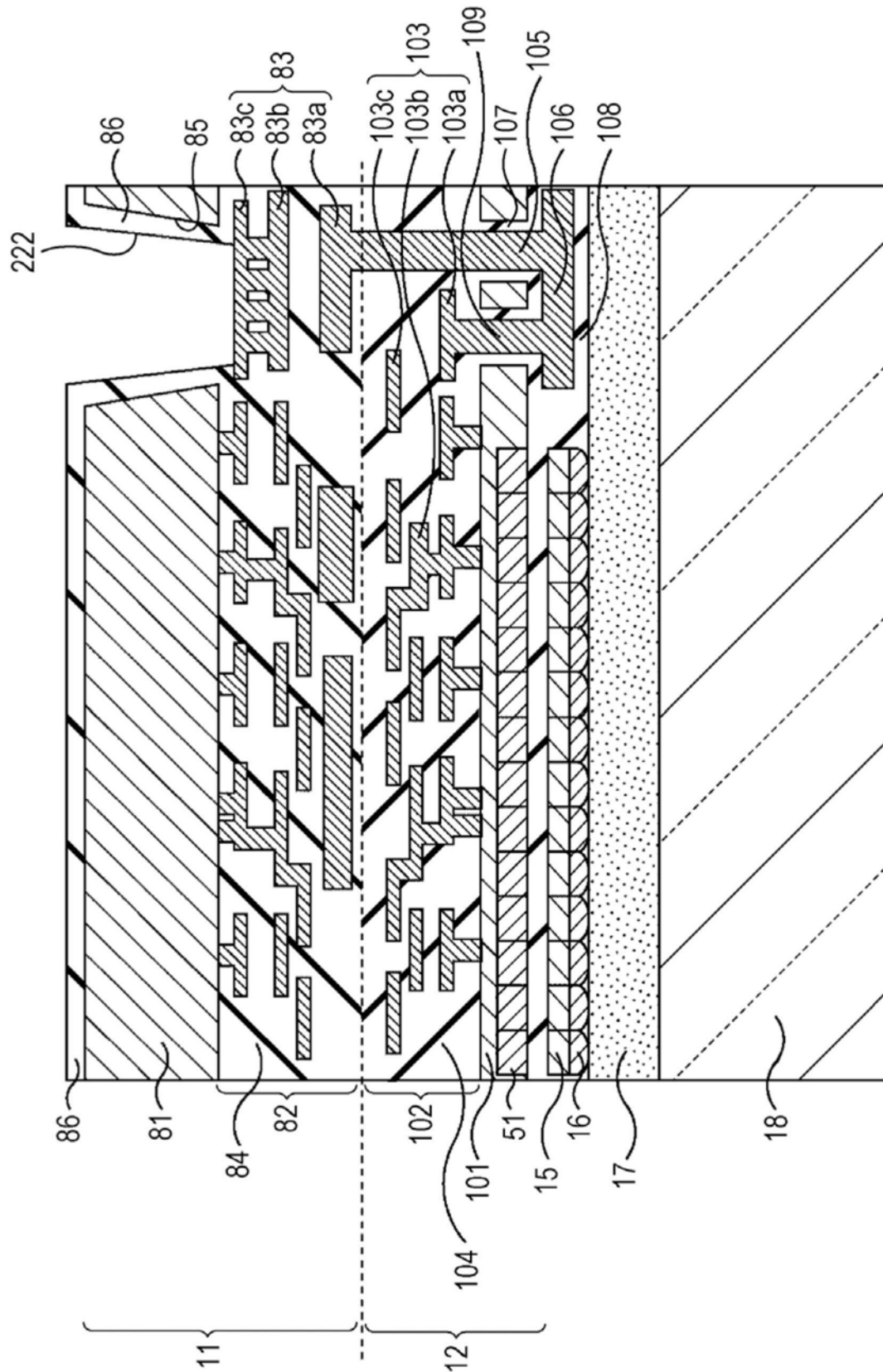


图60

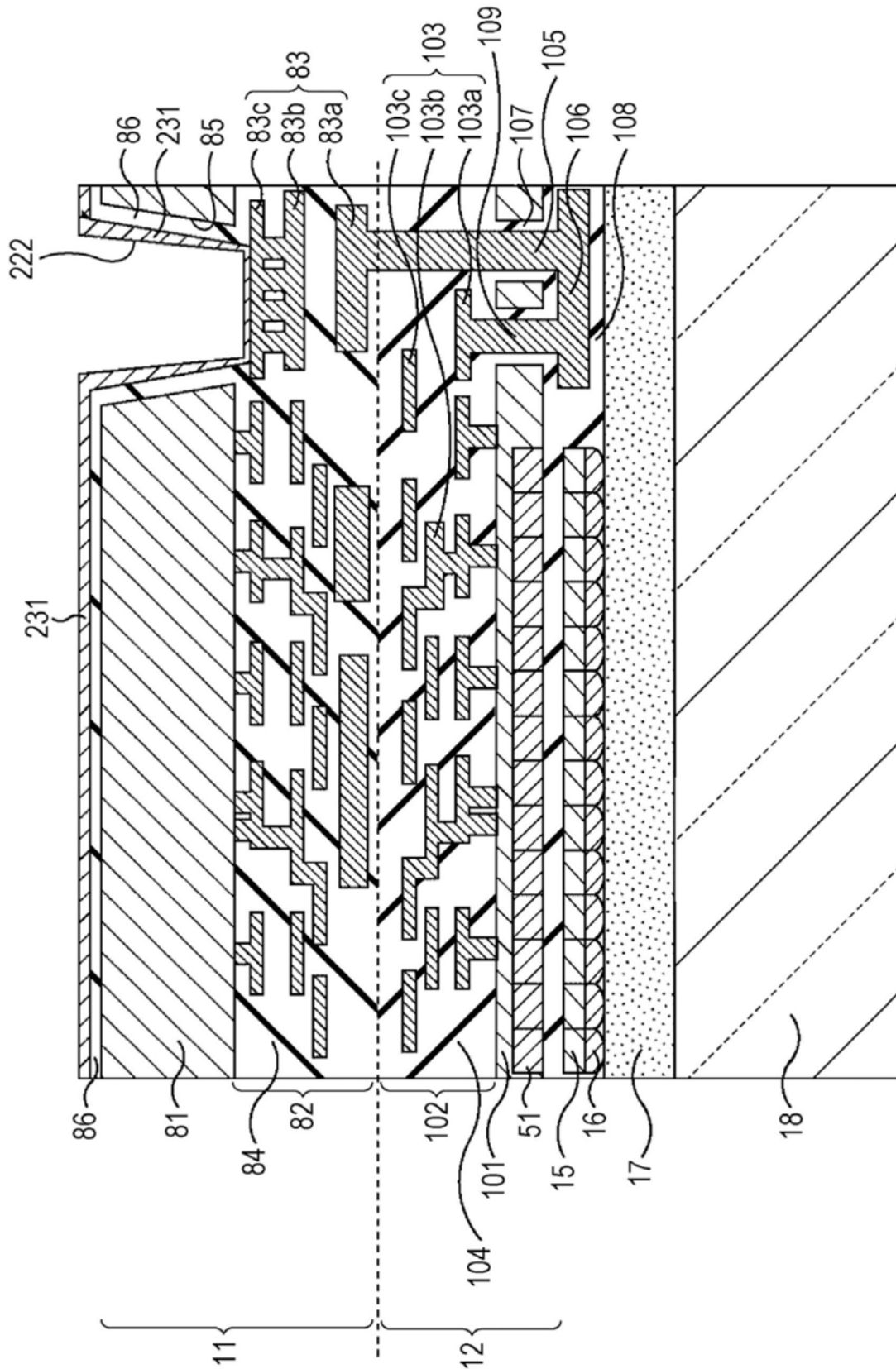


图61

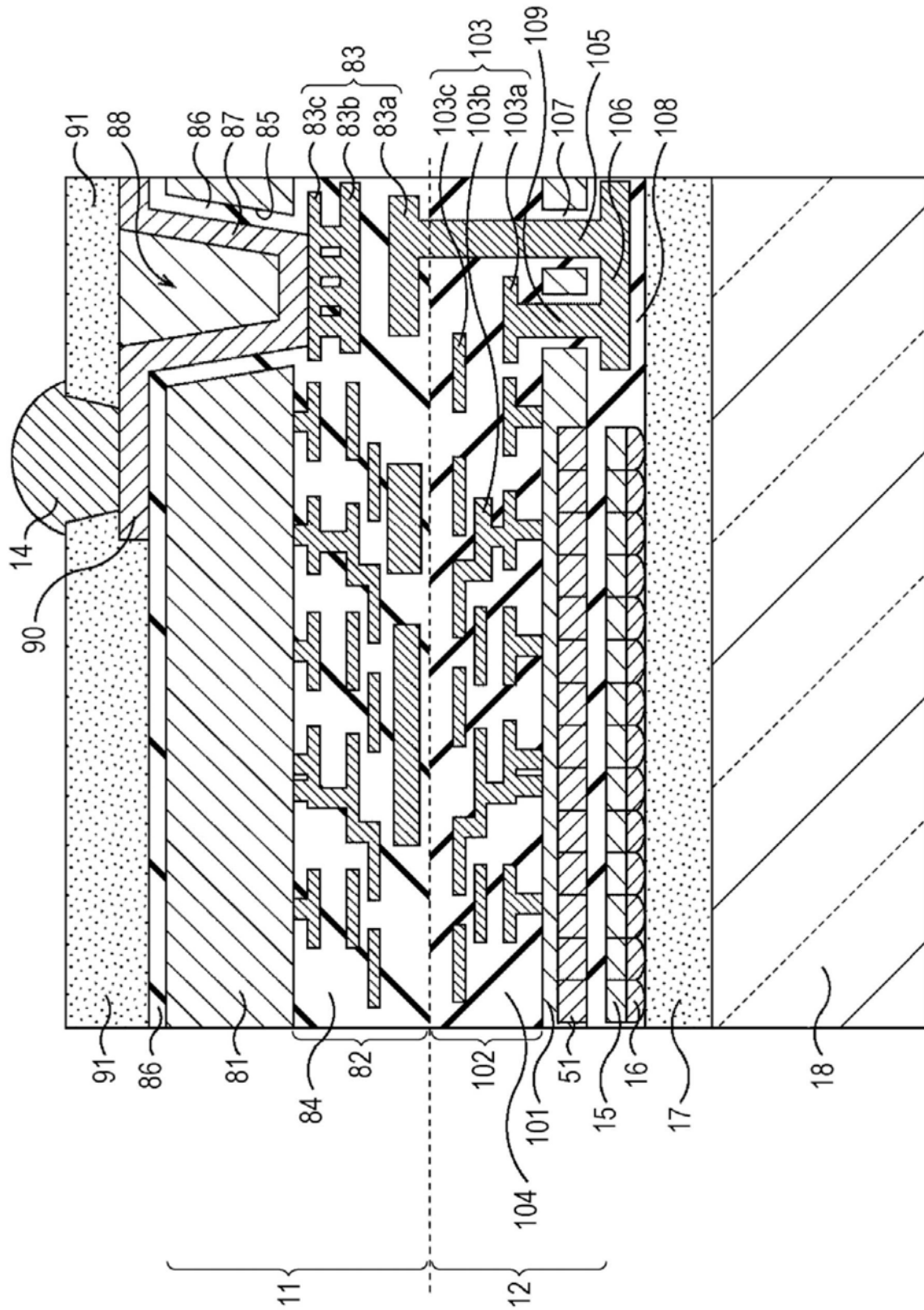


图65

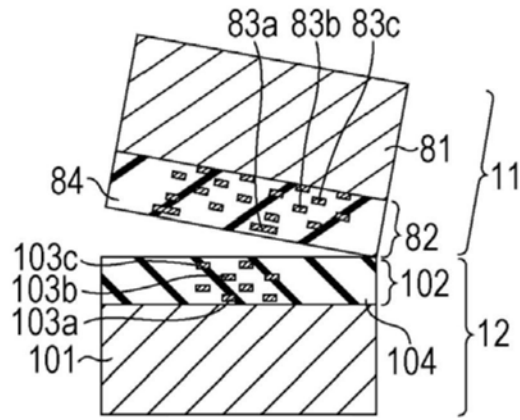


图66A

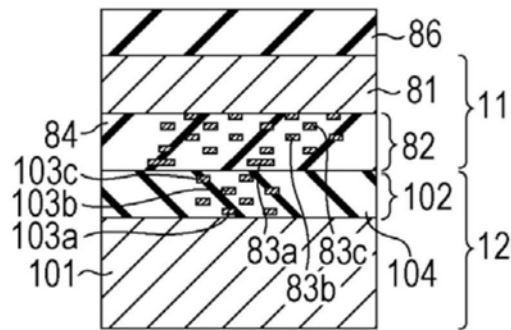


图66B

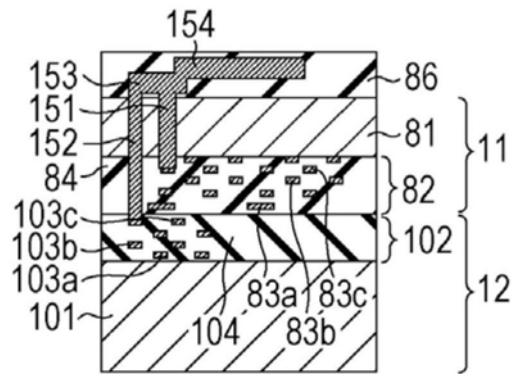


图66C

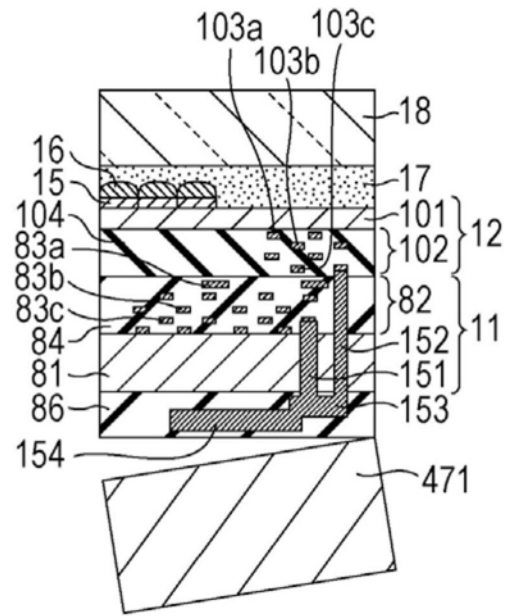


图67B

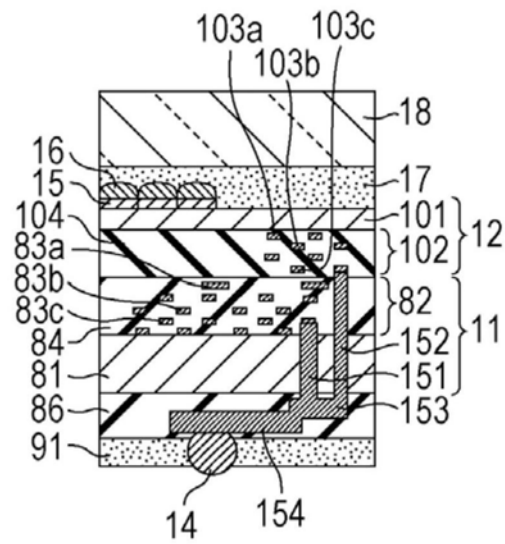


图67C

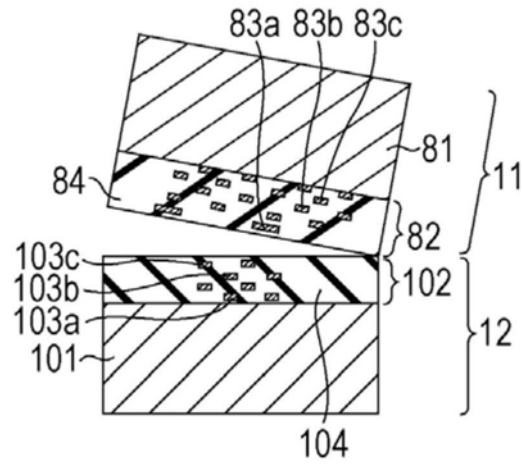


图68A

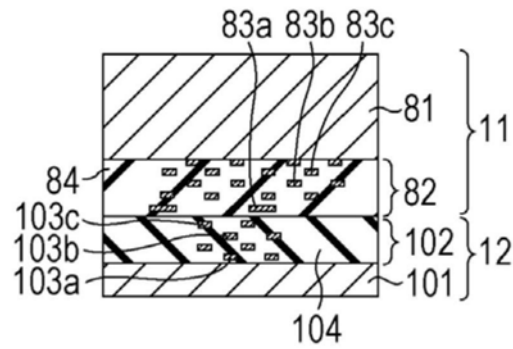


图68B

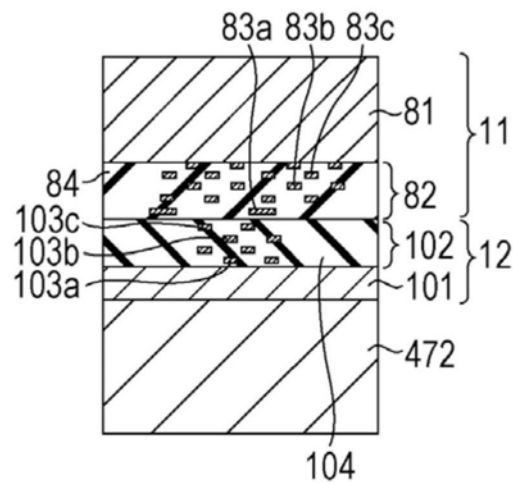


图68C

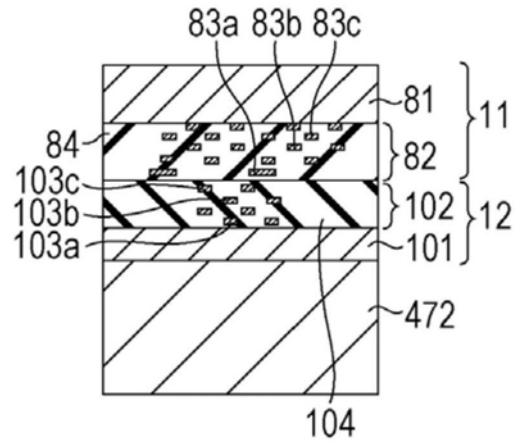


图68D

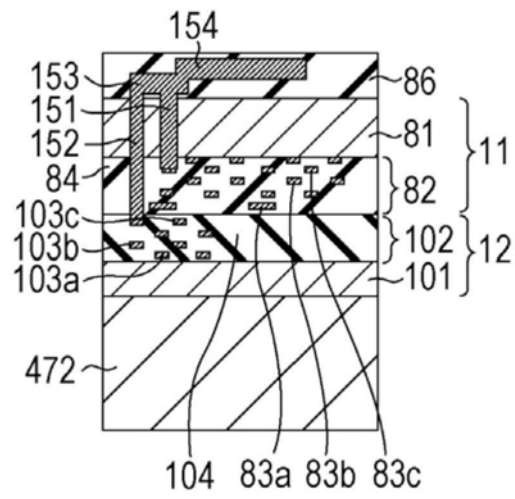


图69A

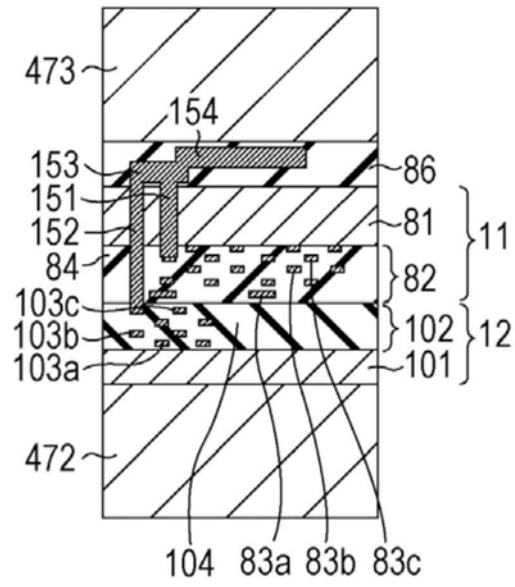


图69B

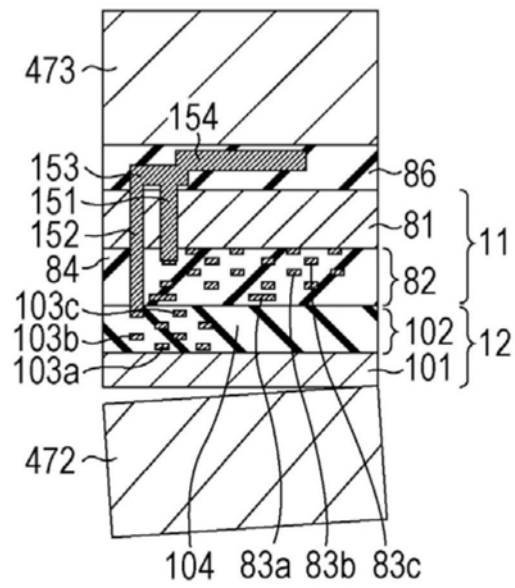


图69C

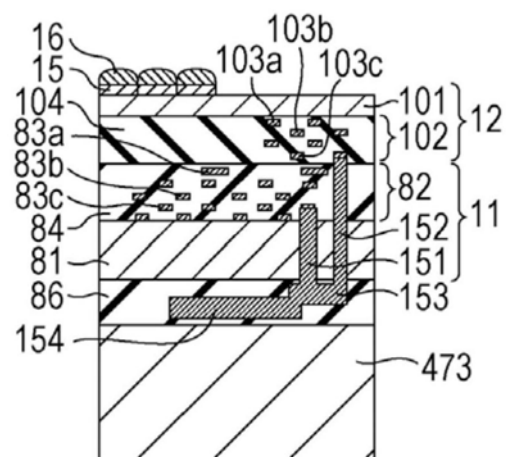


图70A

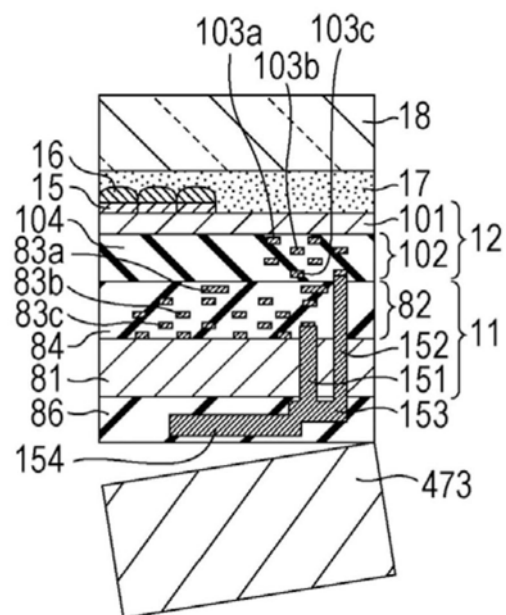


图70B

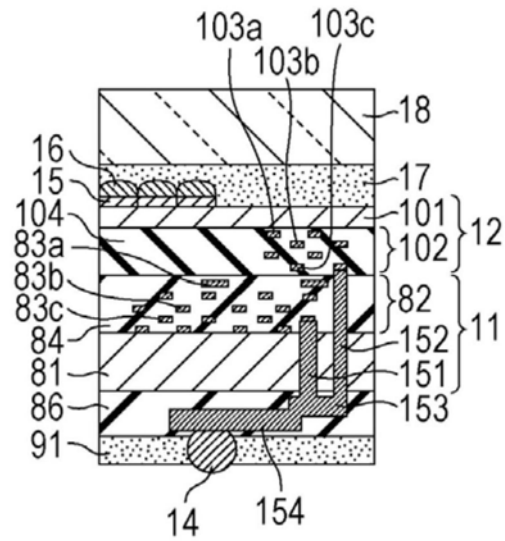


图70C

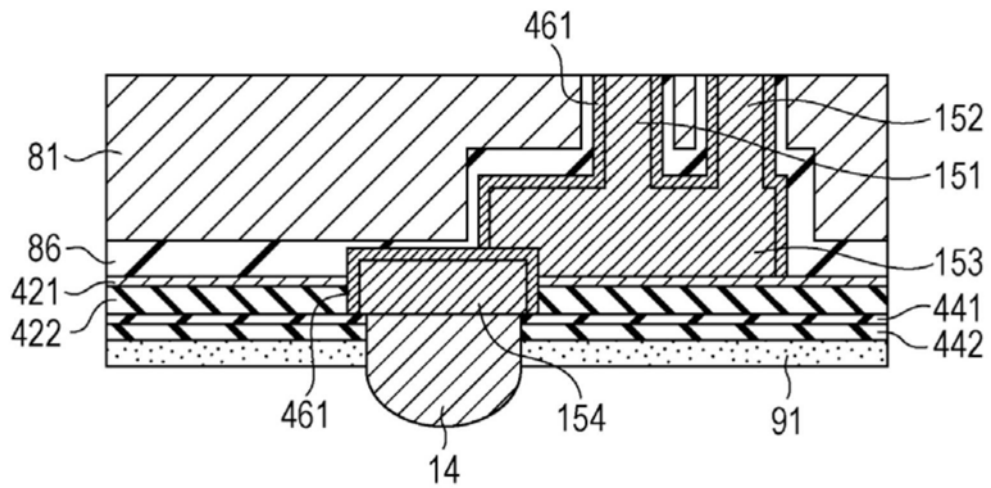


图71A

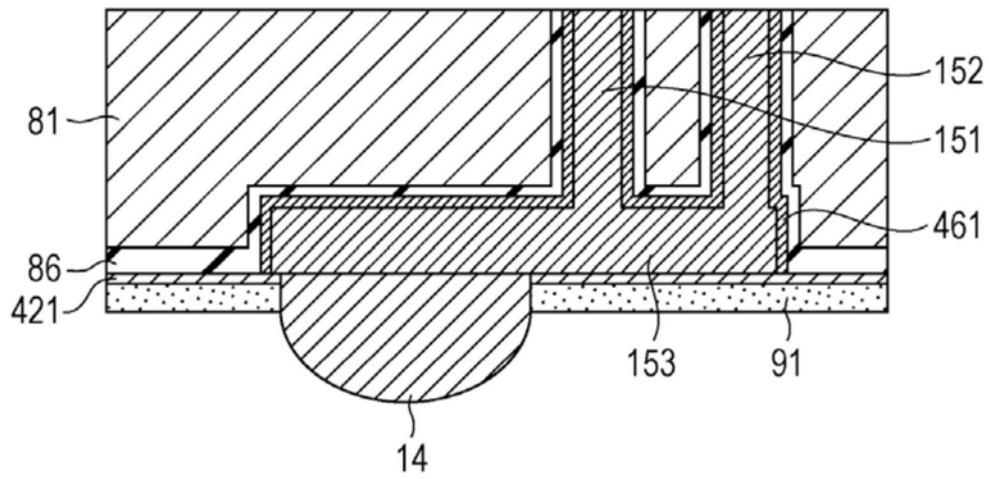


图71B

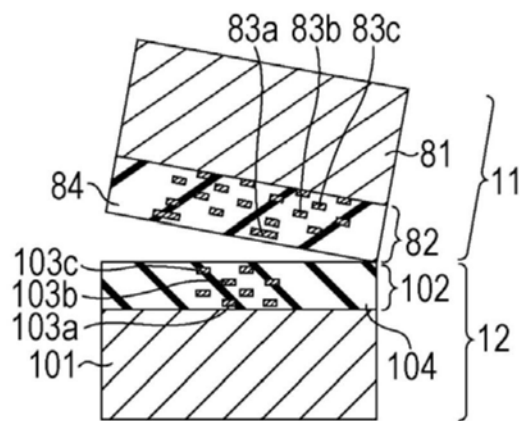


图72A

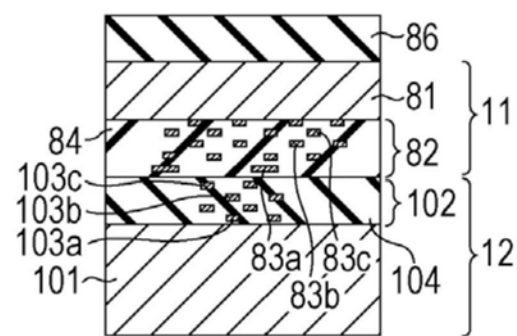


图72B

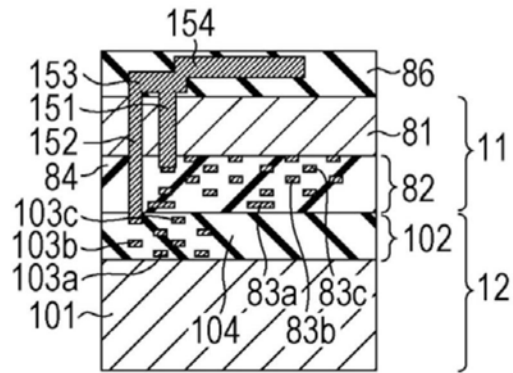


图72C

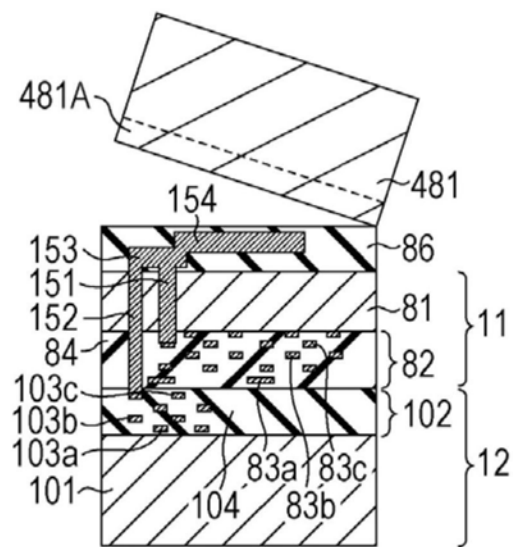


图72D

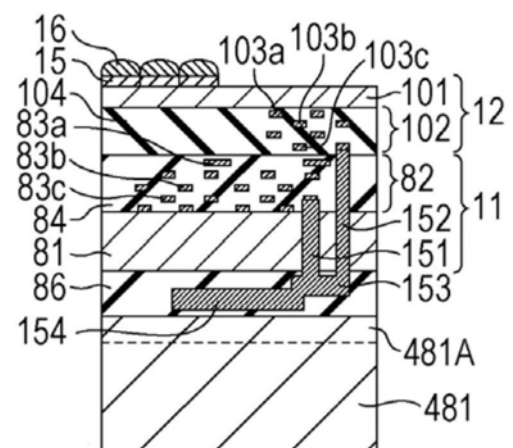


图73A

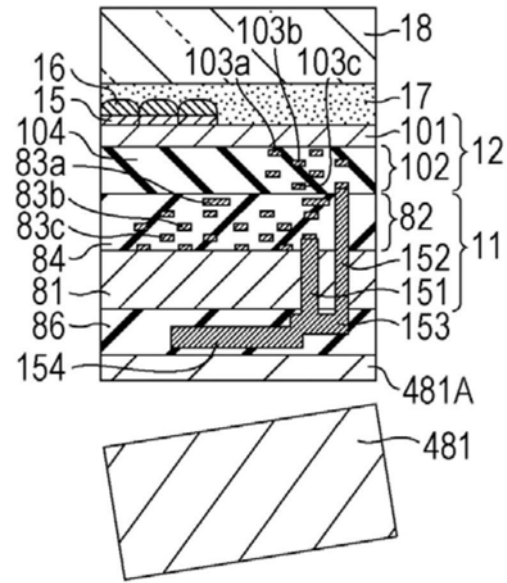


图73B

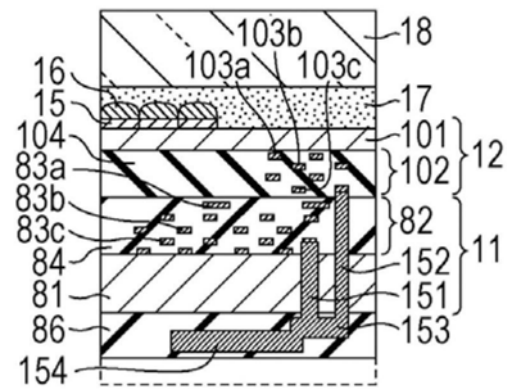


图73C

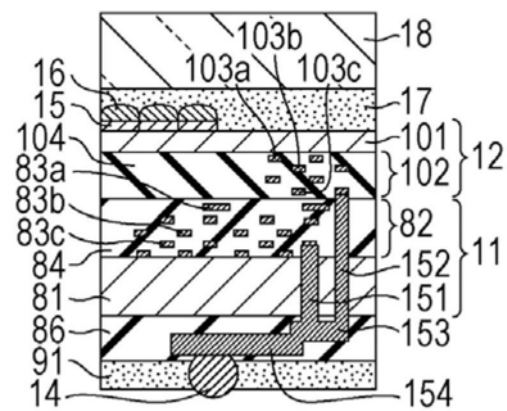


图73D

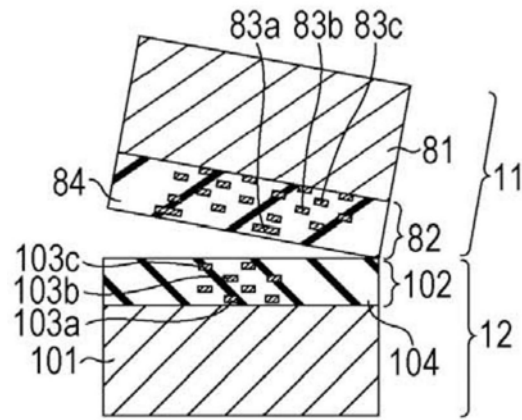


图74A

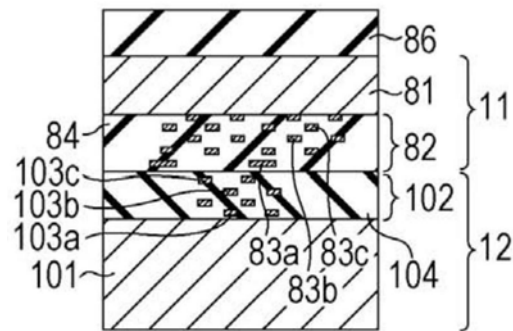


图74B

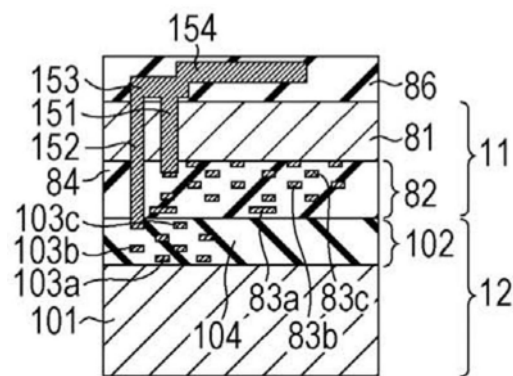


图74C

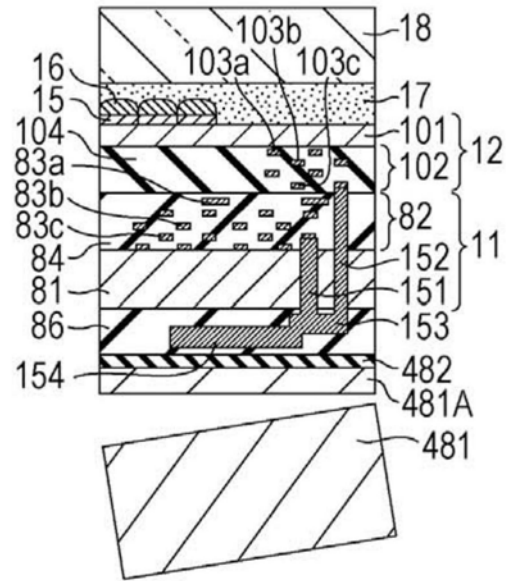


图75B

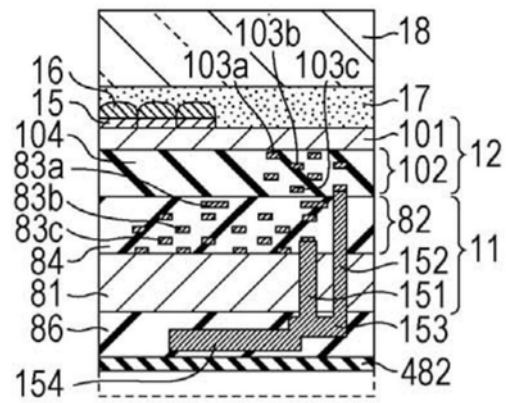


图75C

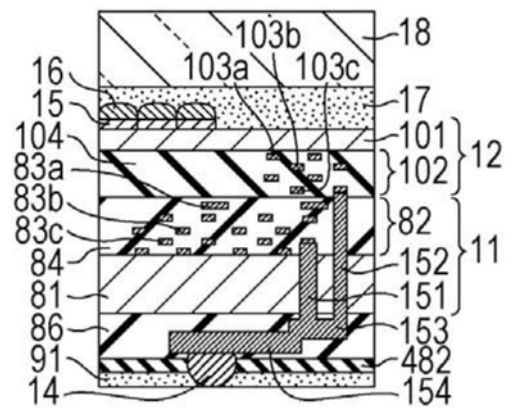


图75D

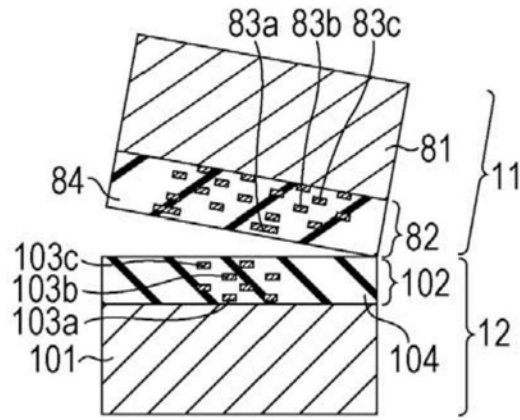


图76A

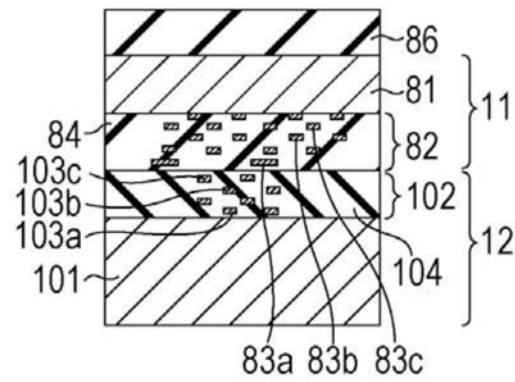


图76B

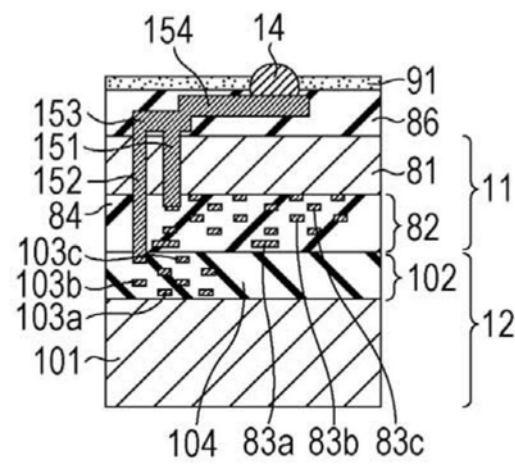


图76C

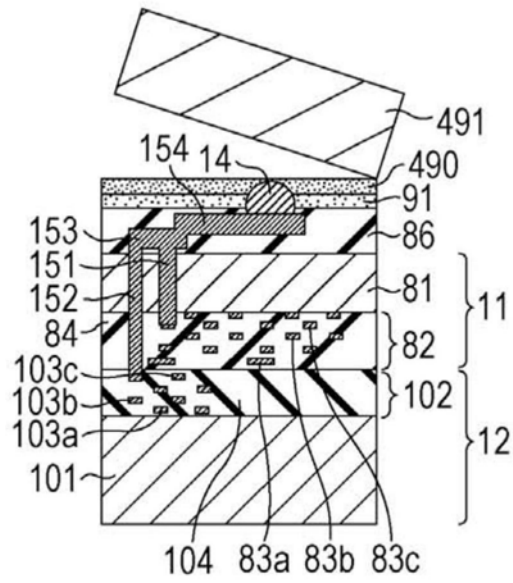


图76D

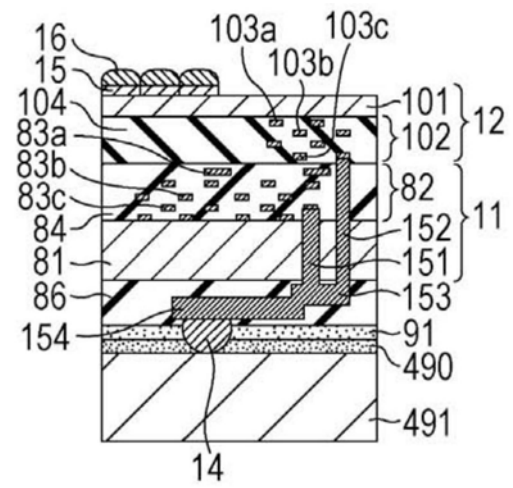


图77A

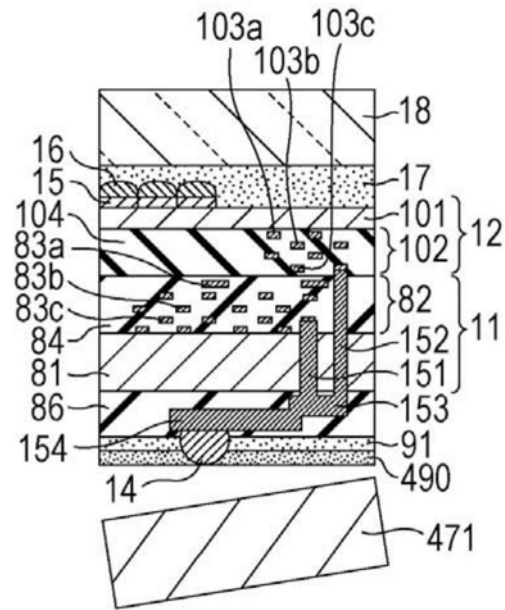


图77B

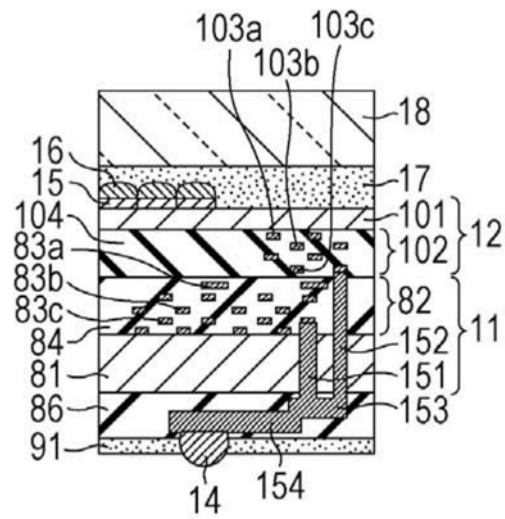


图77C

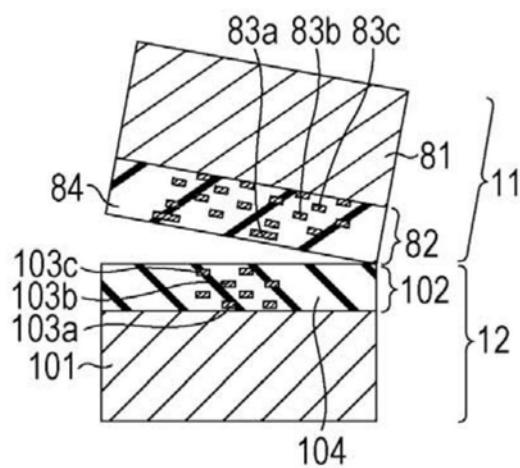


图78A

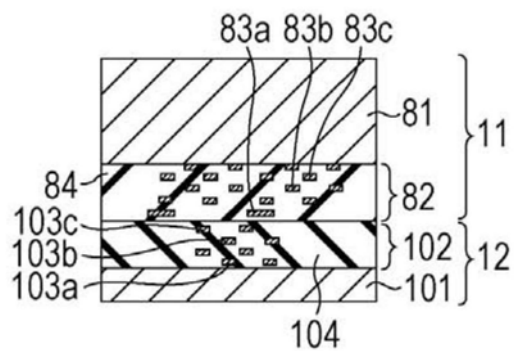


图78B

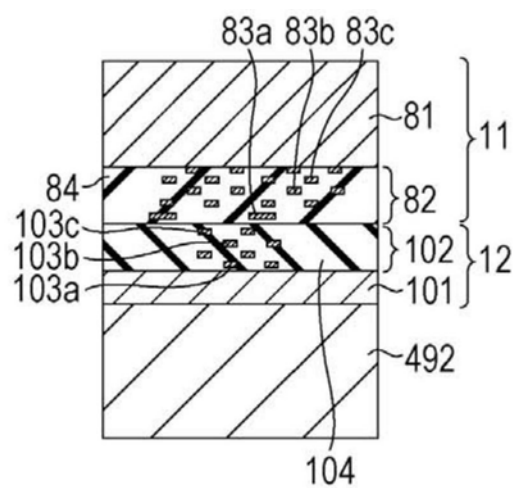


图78C

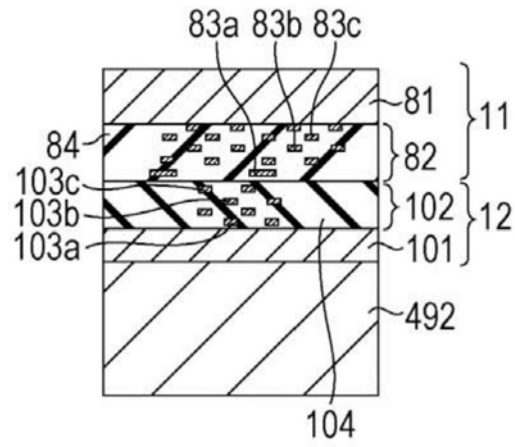


图78D

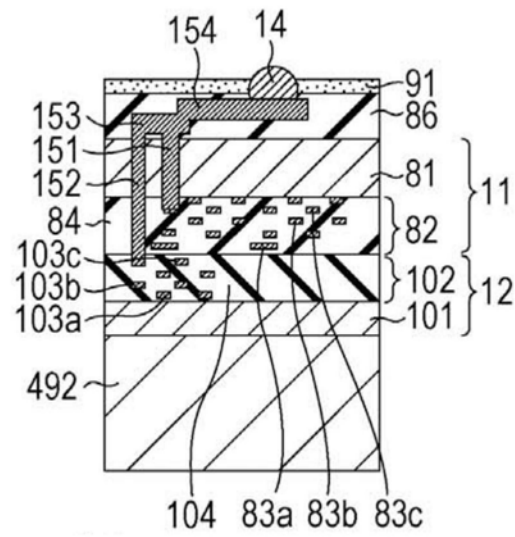


图79A

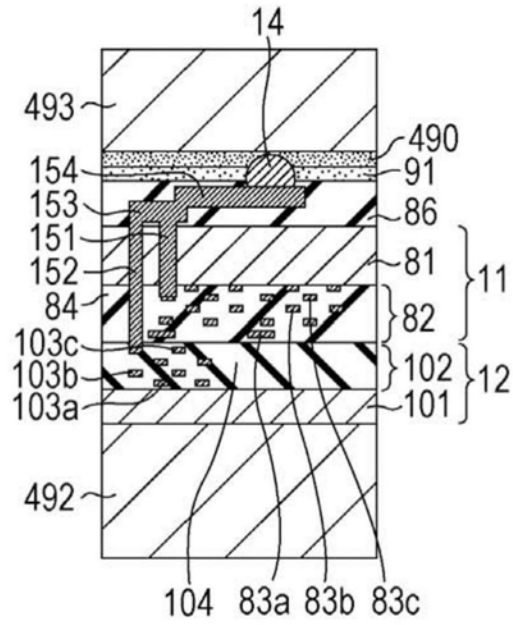


图79B

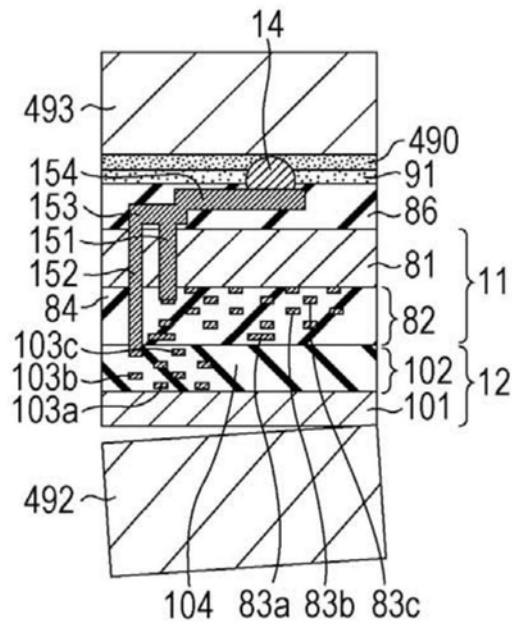


图79C

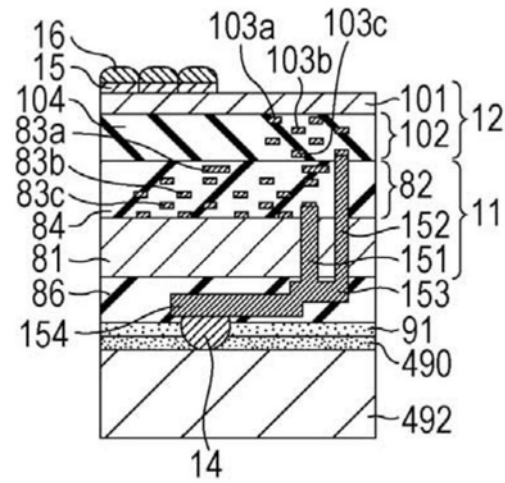


图80A

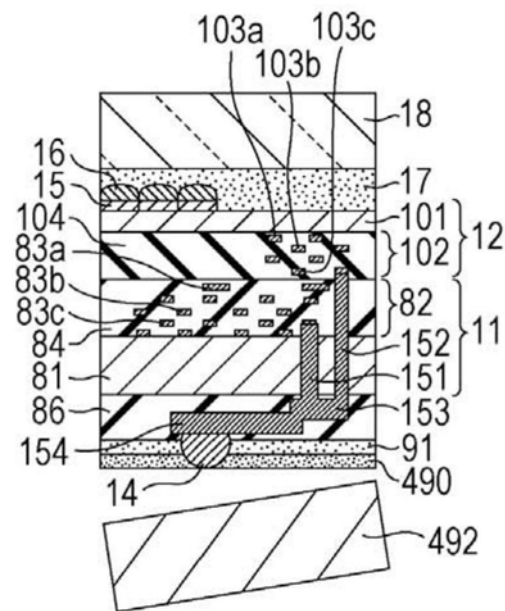


图80B

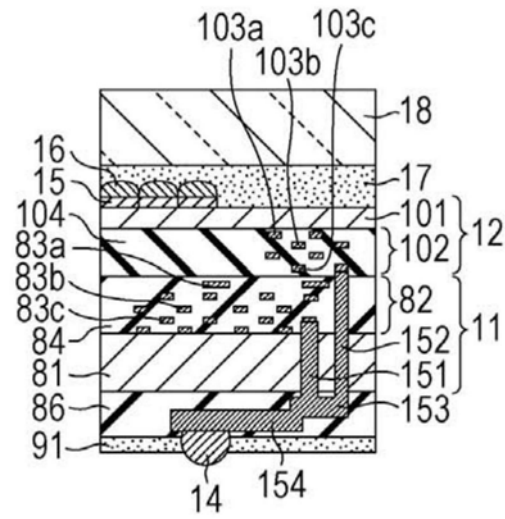


图80C

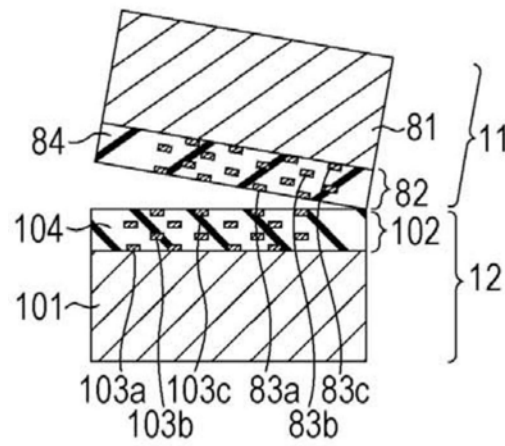


图81A

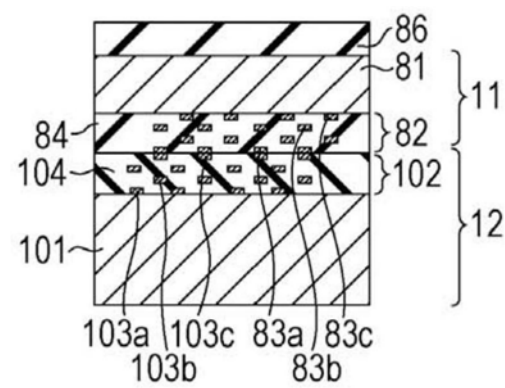


图81B

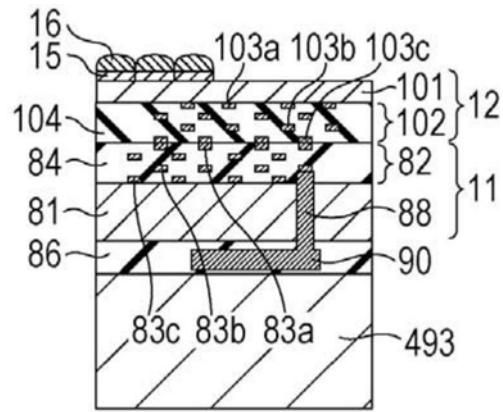


图82B

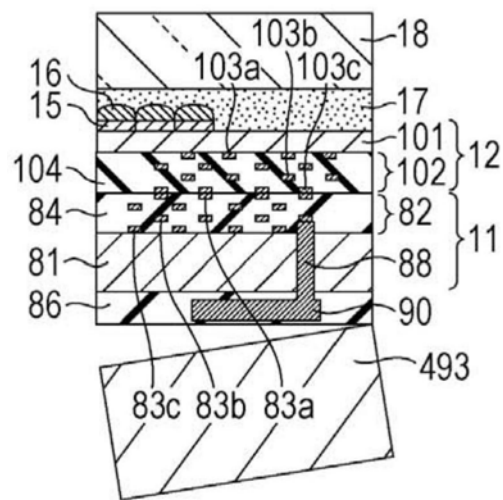


图82C

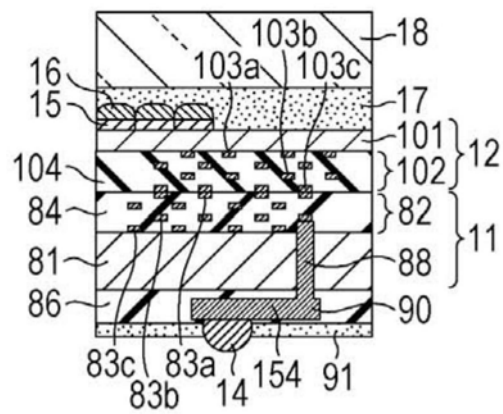


图82D

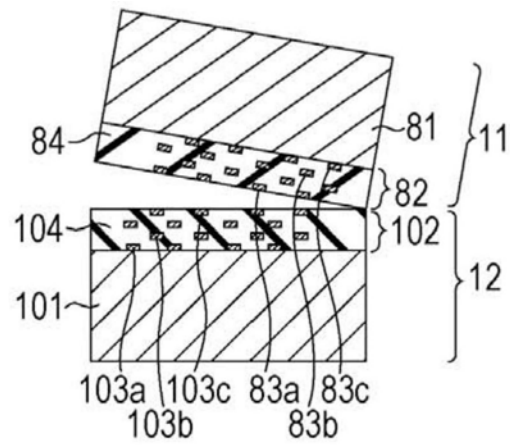


图83A

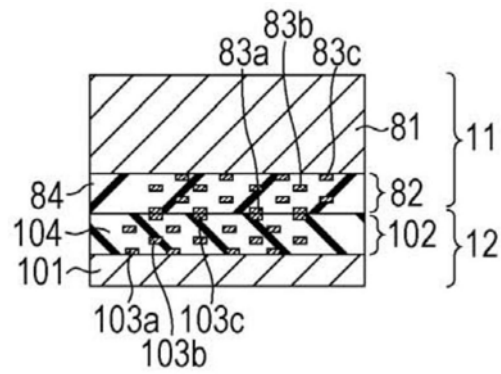


图83B

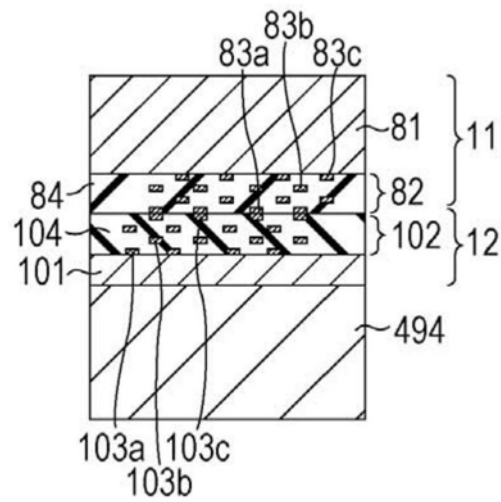


图83C

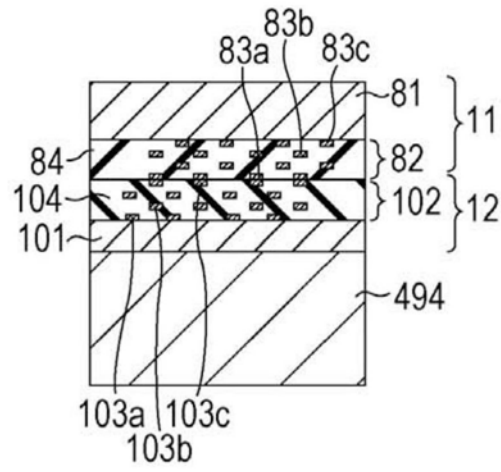


图83D

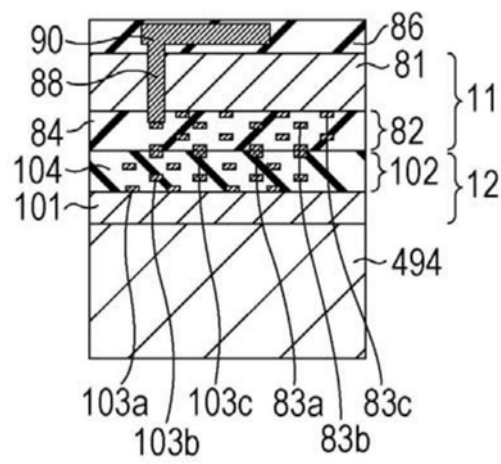


图84A

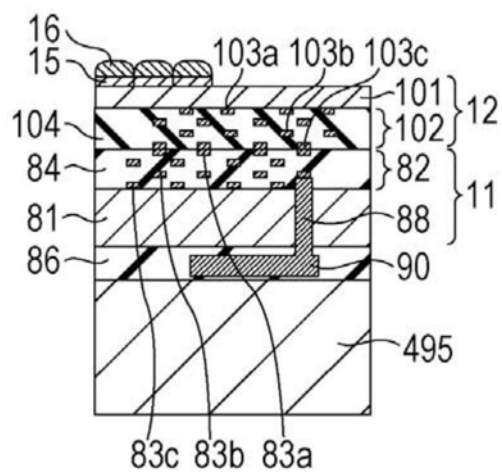


图85A

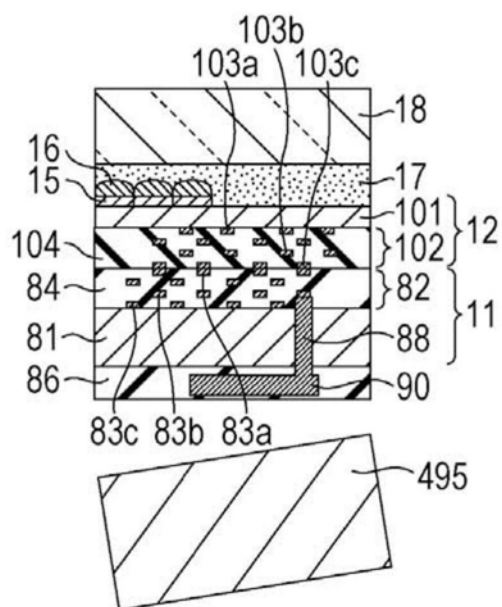


图85B

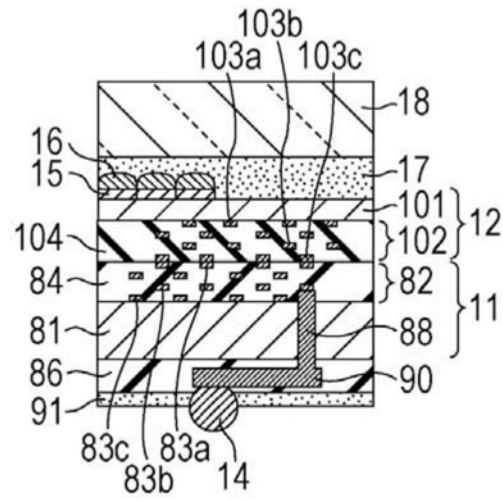


图85C

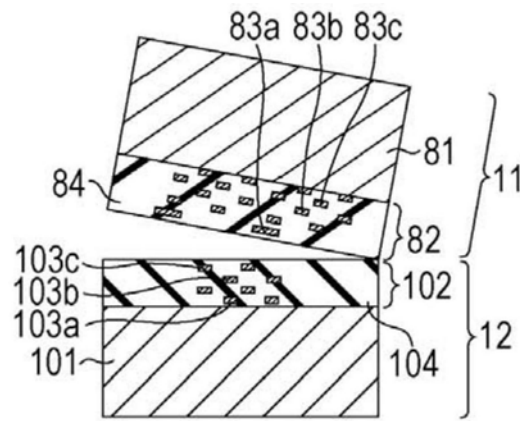


图86A

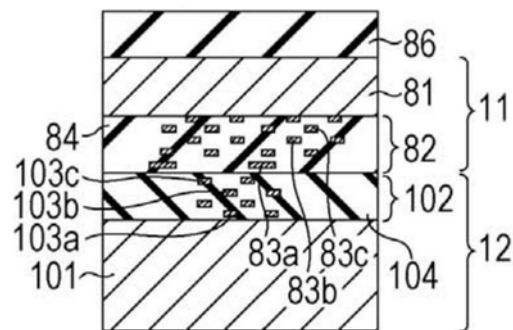


图86B

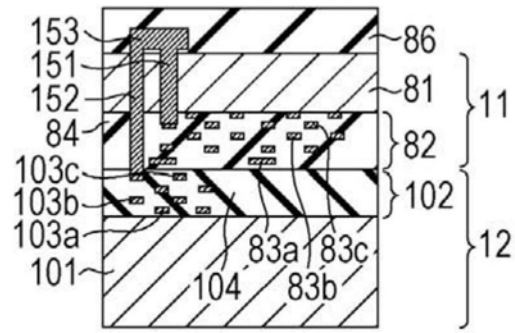


图86C

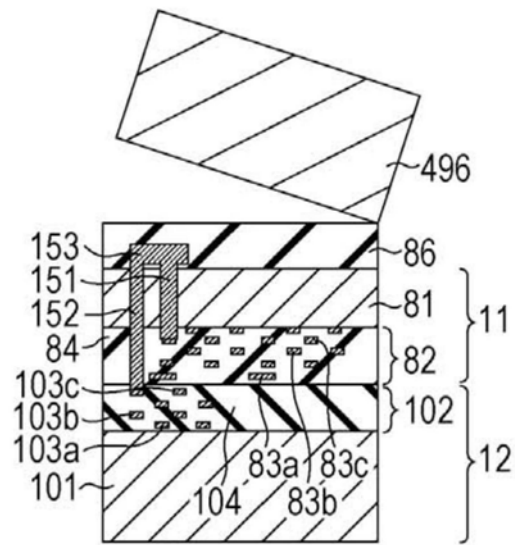


图86D

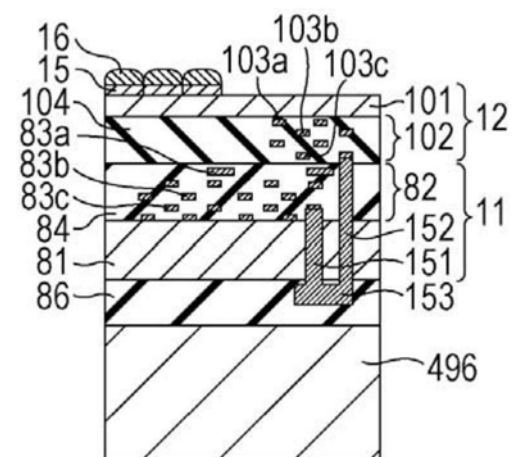


图87A

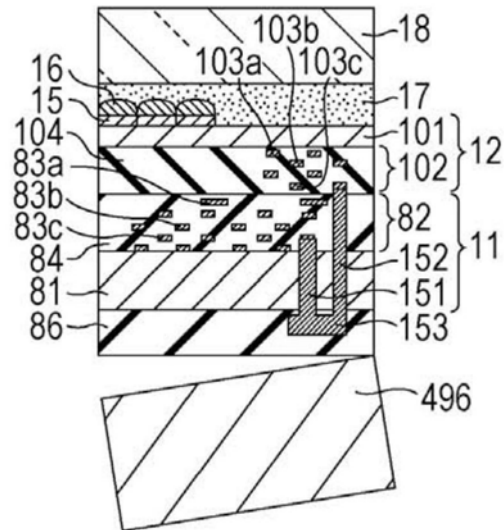


图87B

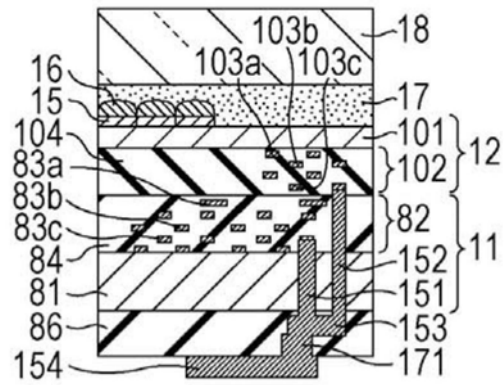


图87C

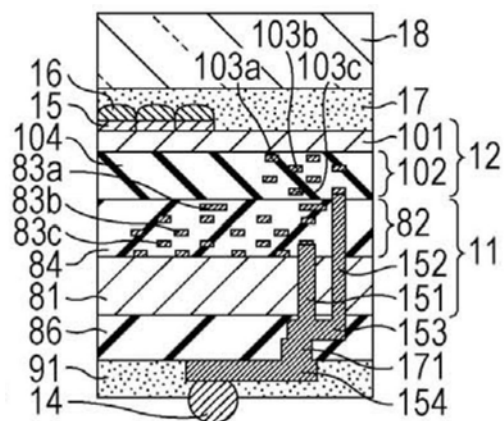


图87D

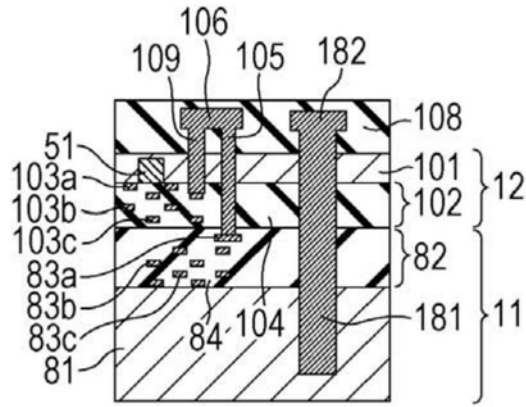


图88A

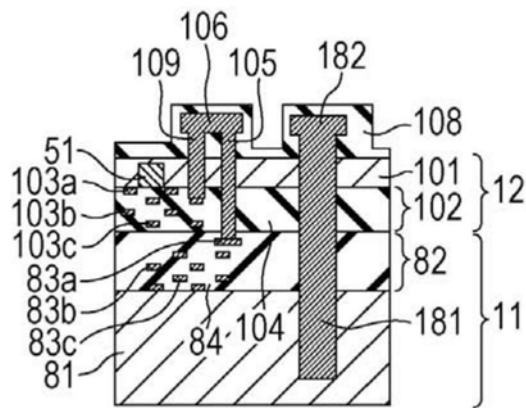


图88B

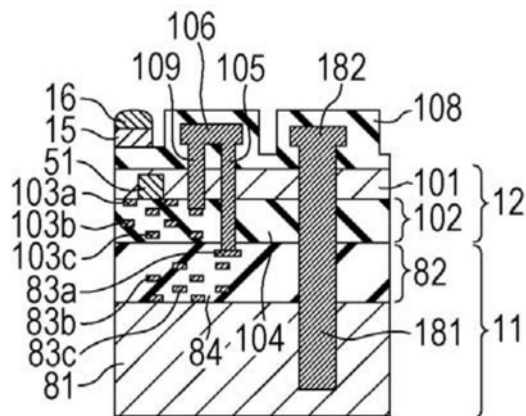


图88C

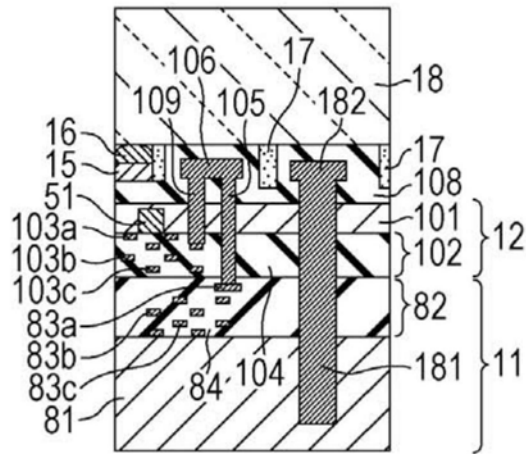


图88D

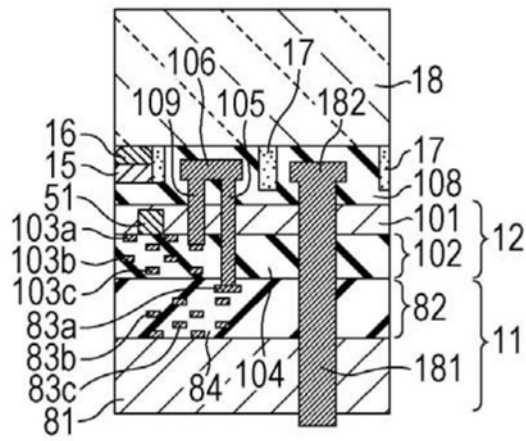


图89A

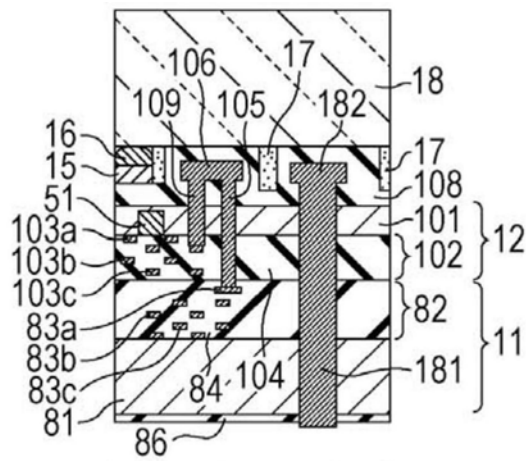


图89B

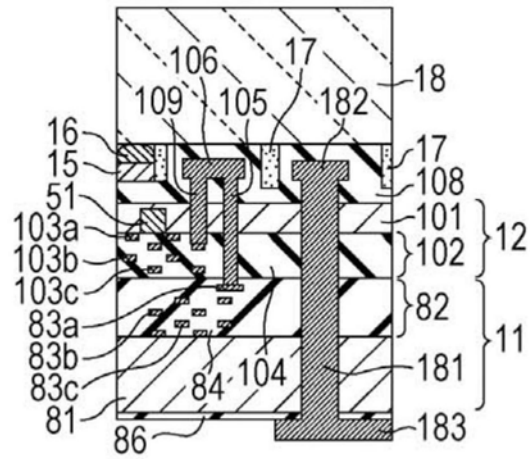


图89C

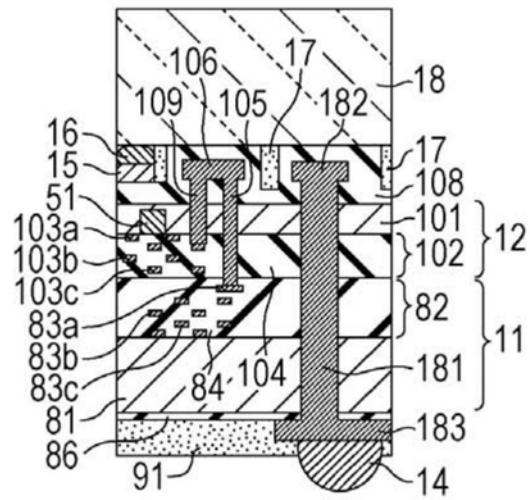


图89D

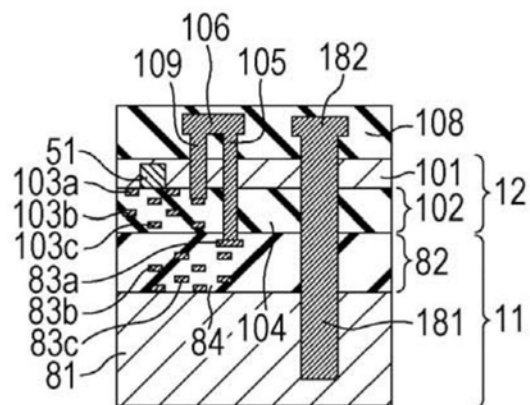


图90A

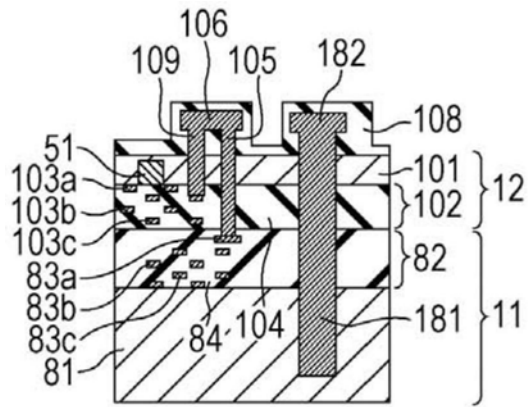


图90B

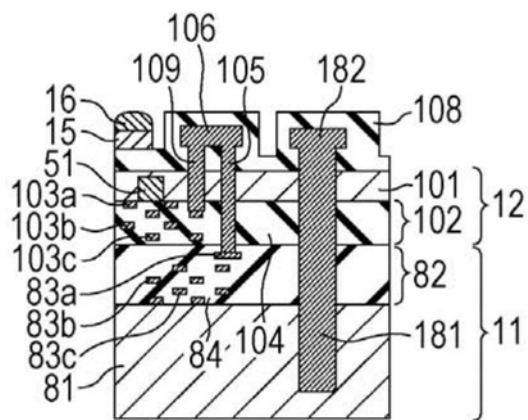


图90C

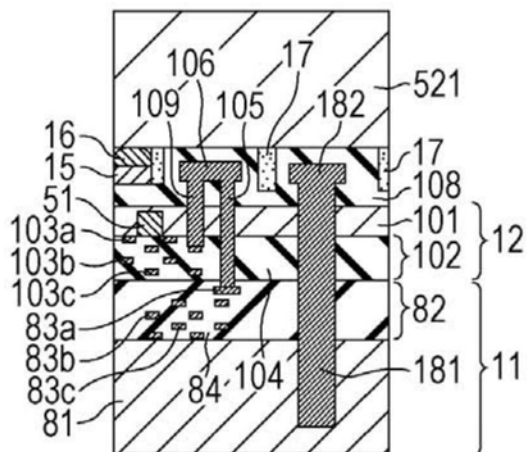


图90D

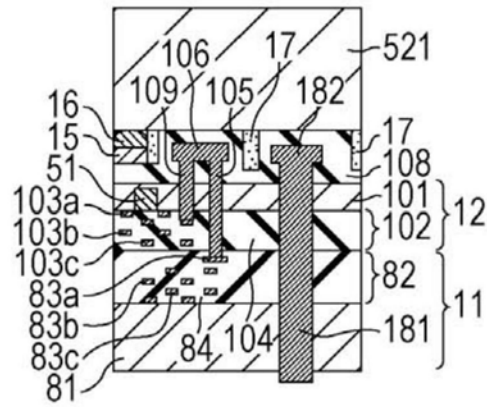


图91A

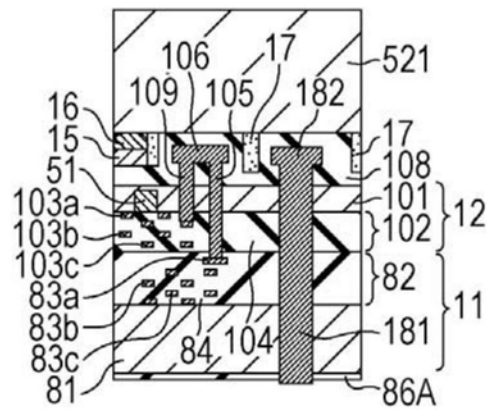


图91B

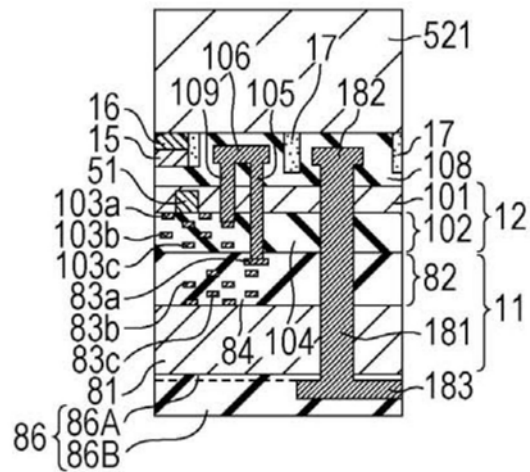


图91C

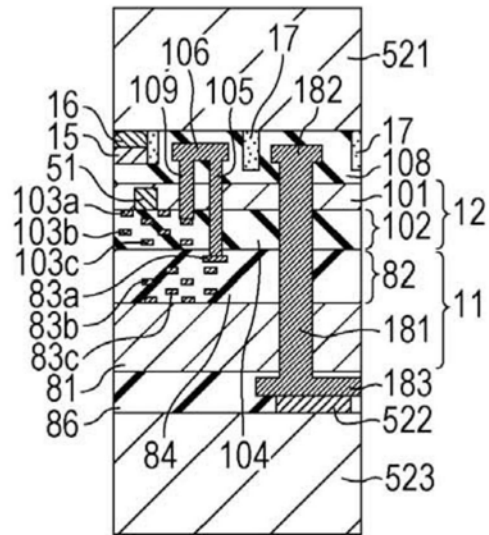


图91D

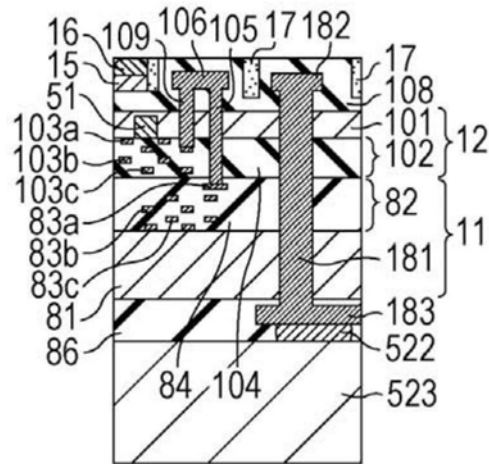


图92A

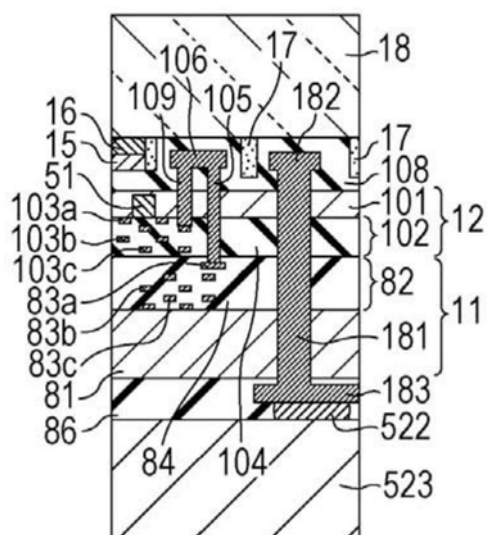


图92B

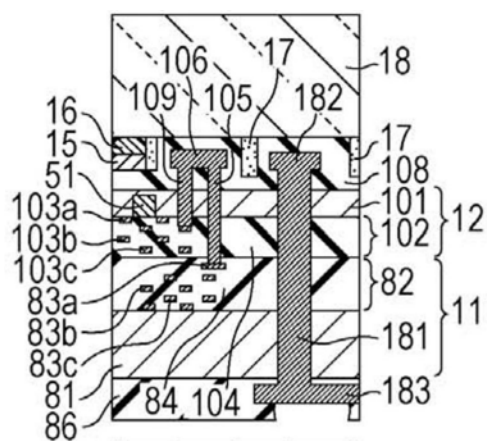


图92C

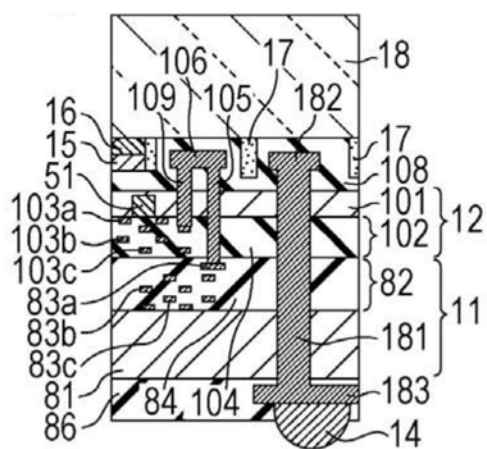


图92D

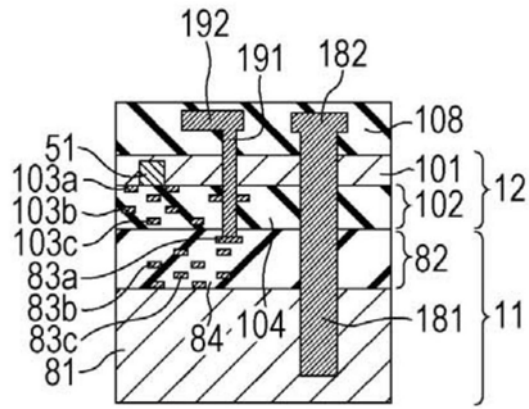


图93A

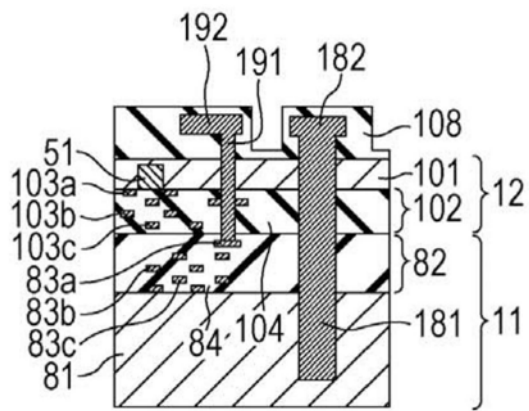


图93B

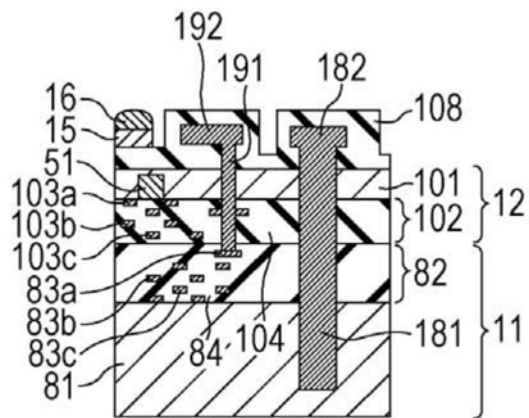


图93C

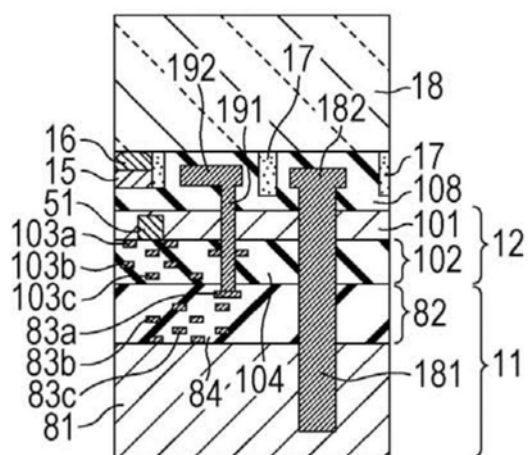


图94A

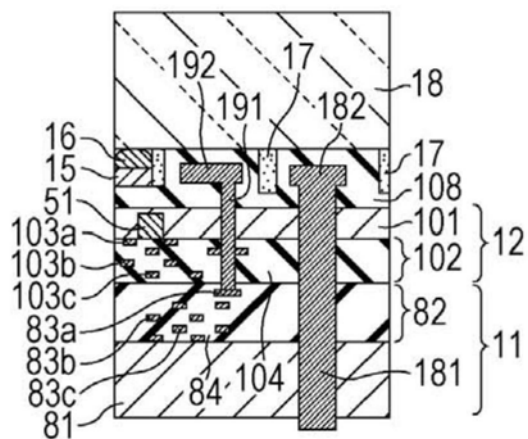


图94B

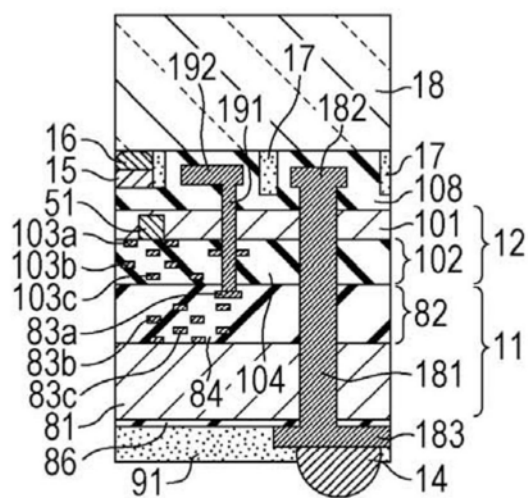


图94C

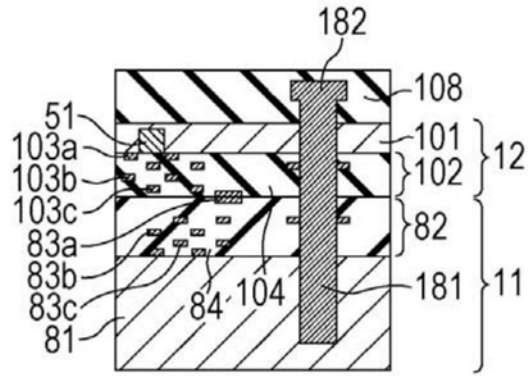


图95A

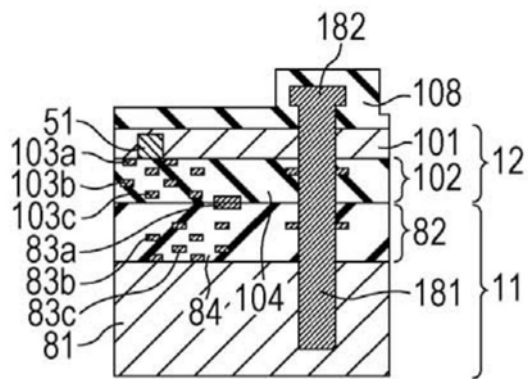


图95B

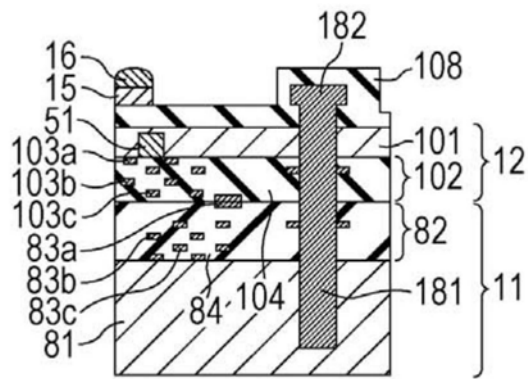


图95C

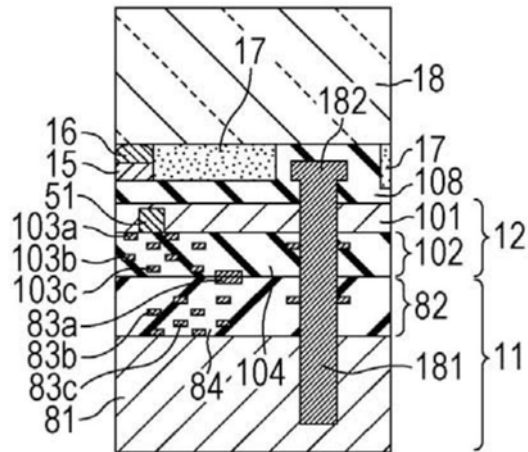


图96A

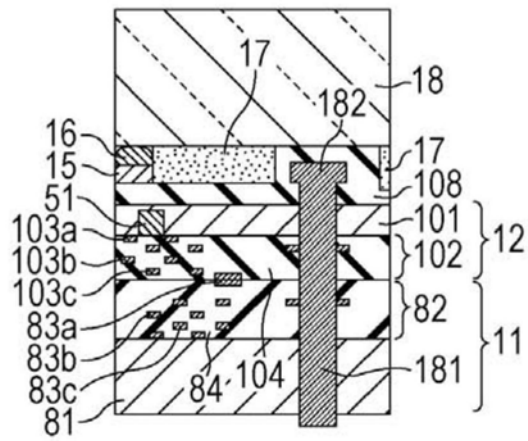


图96B

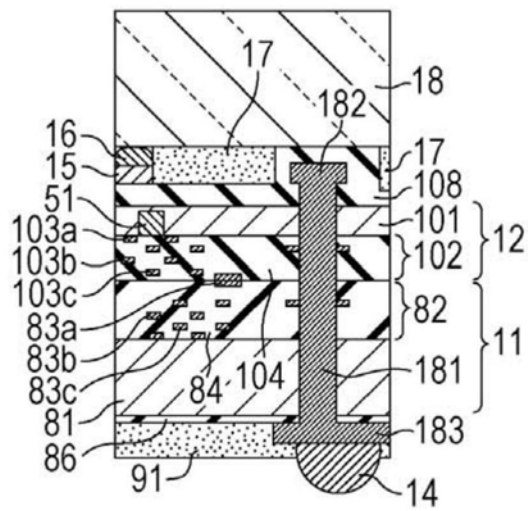


图96C

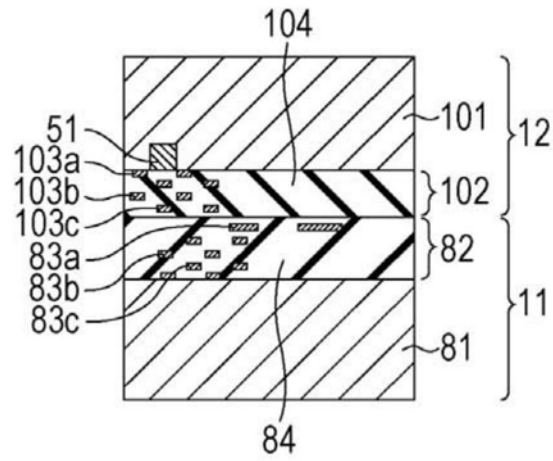


图97A

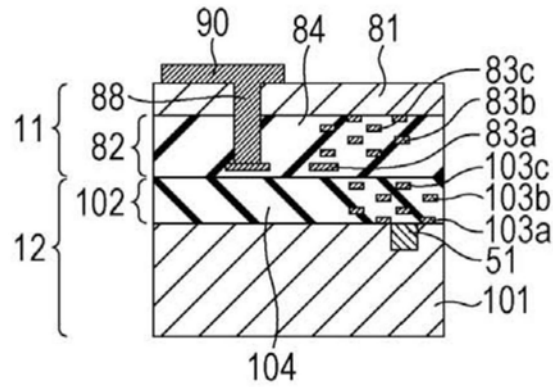


图97B

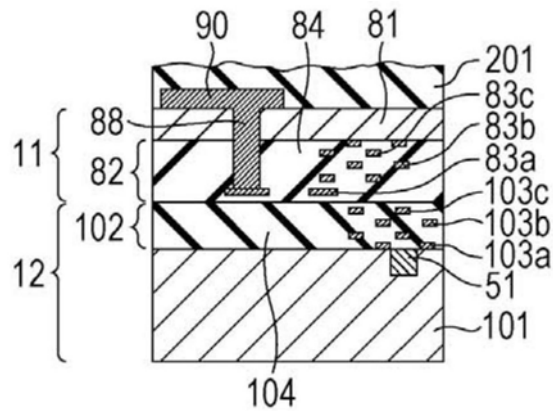


图97C

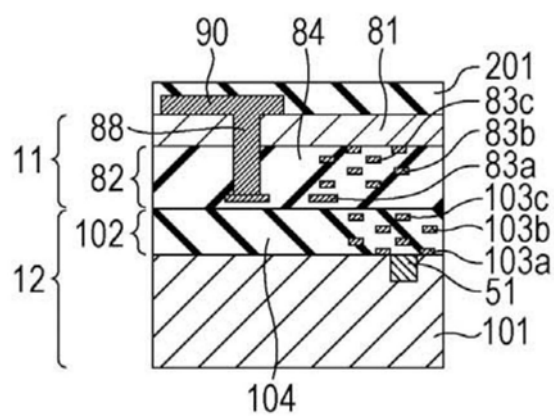


图98A

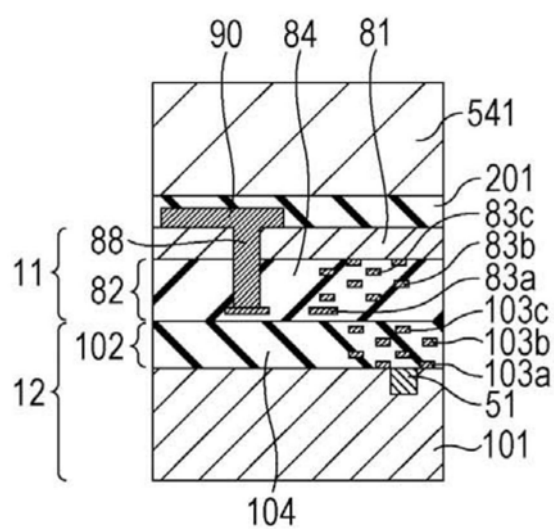


图98B

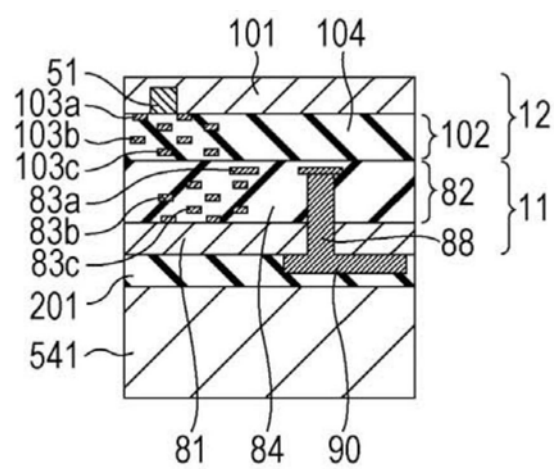


图98C

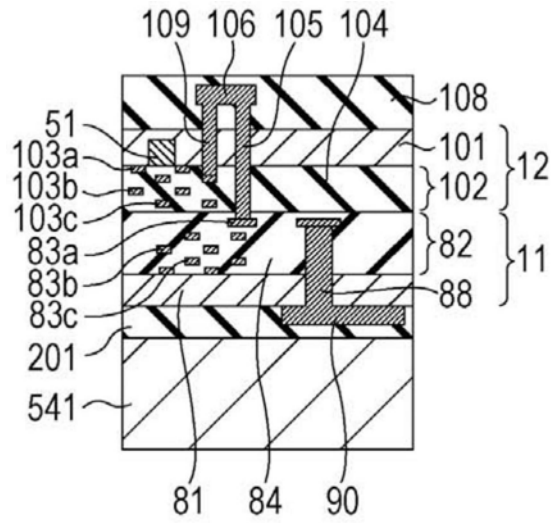


图99A

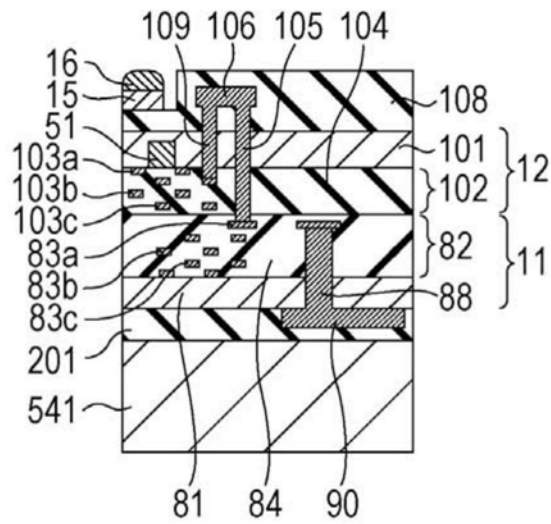


图99B

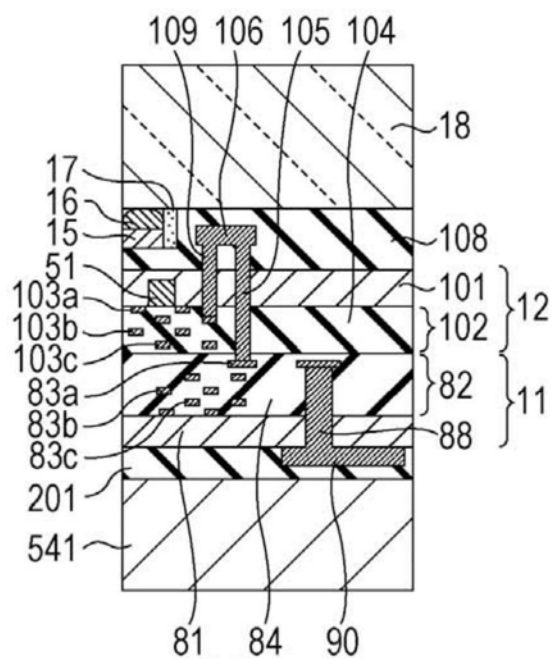


图99C

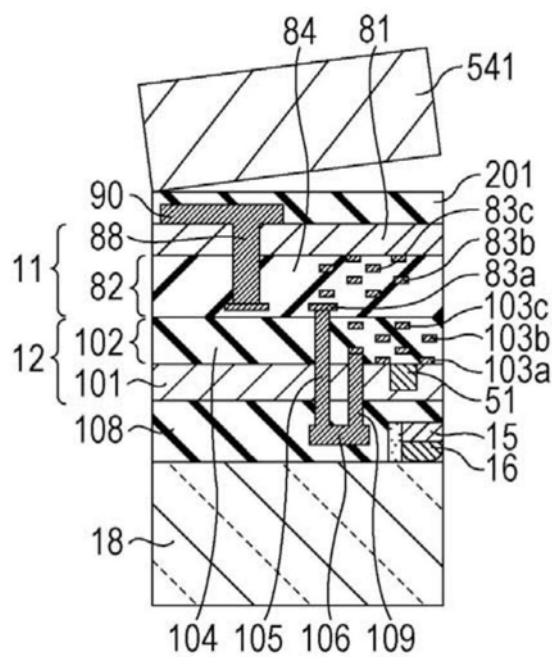


图100A

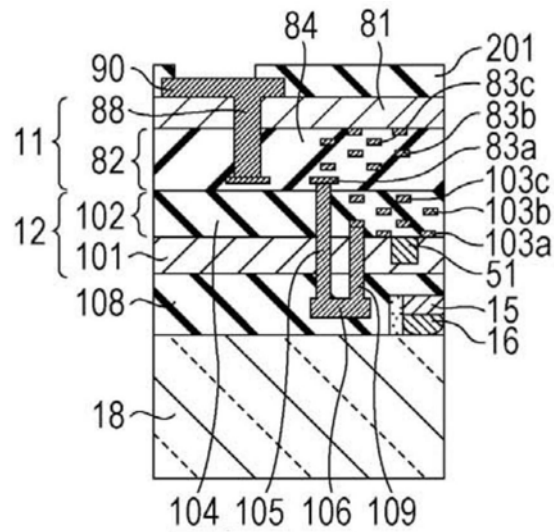


图100B

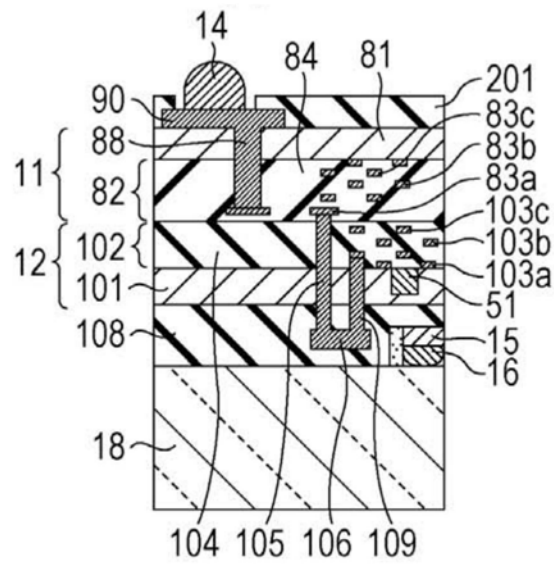


图100C

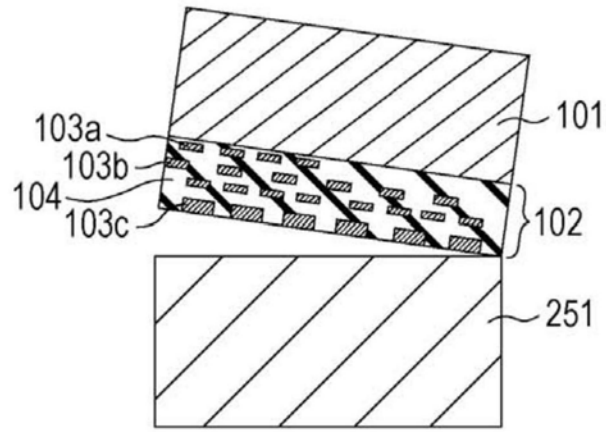


图101A

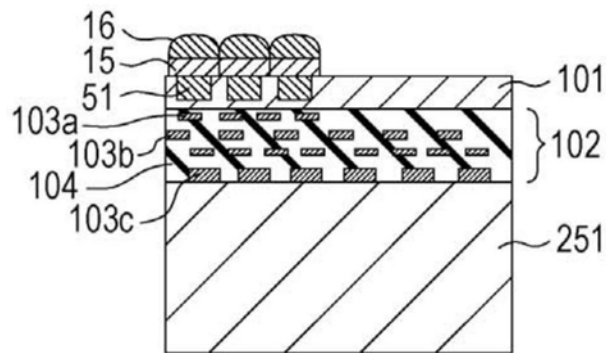


图101B

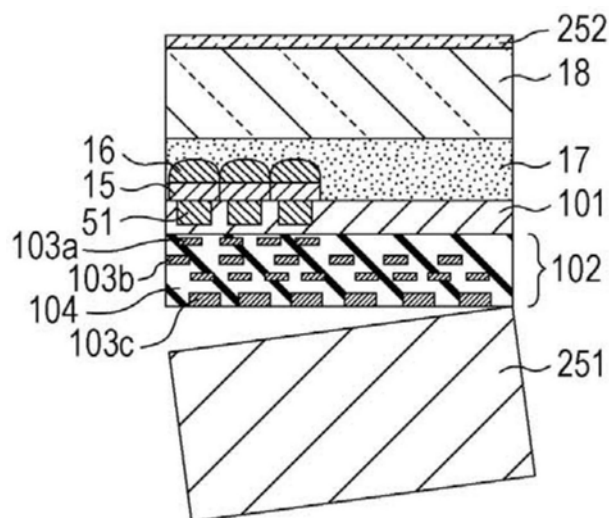


图101C

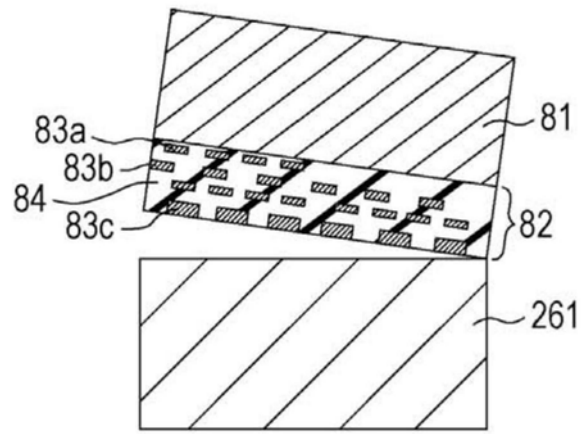


图102A

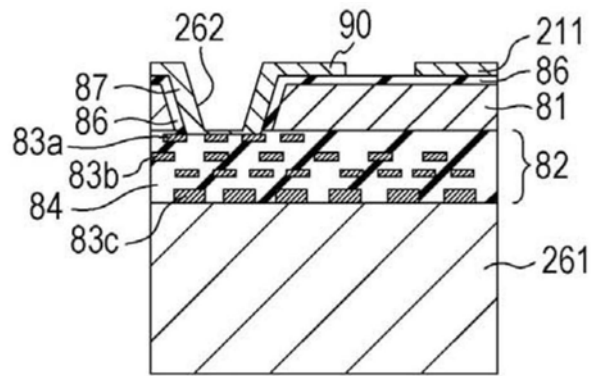


图102B

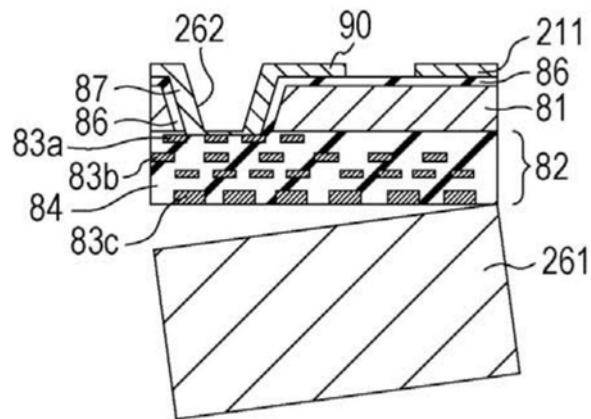


图102C

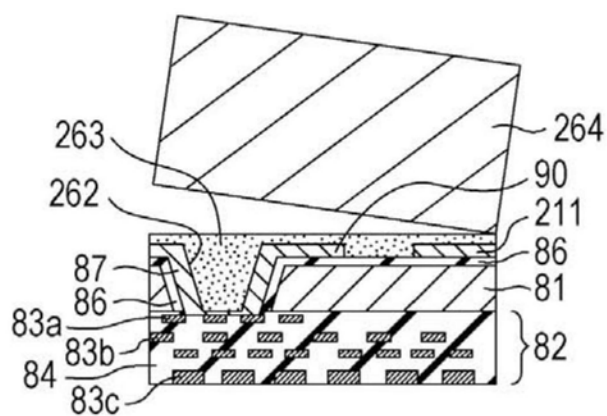


图102D

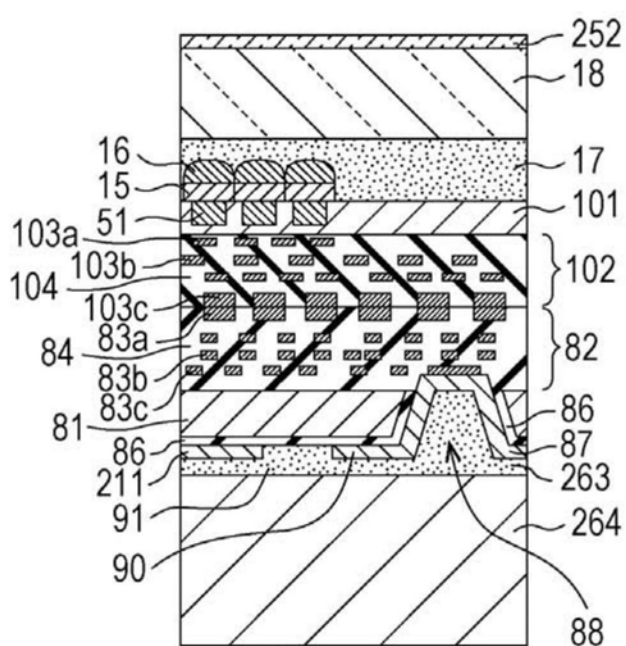


图103A

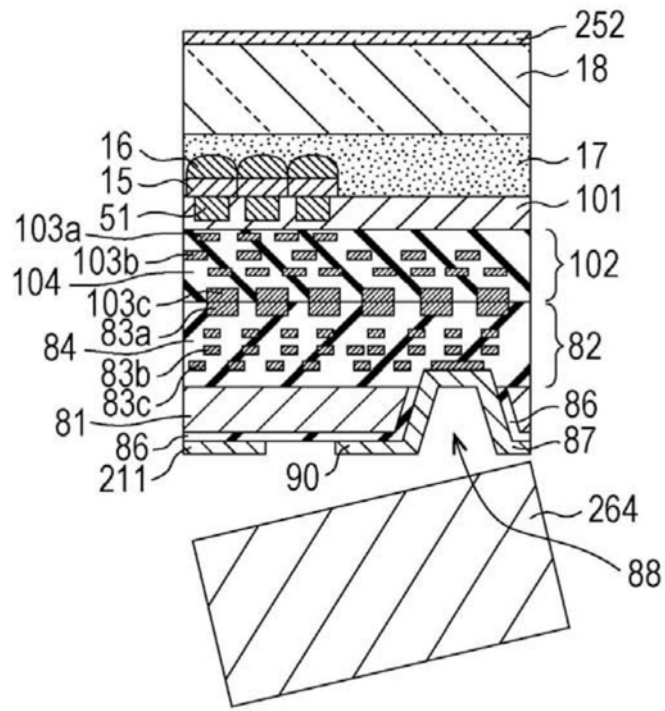


图103B

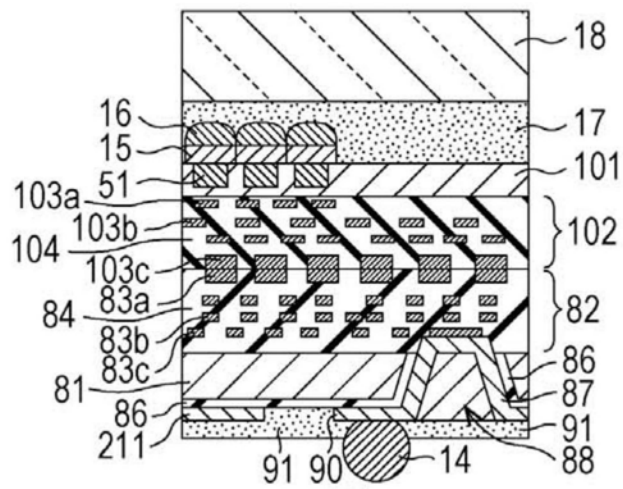


图103C

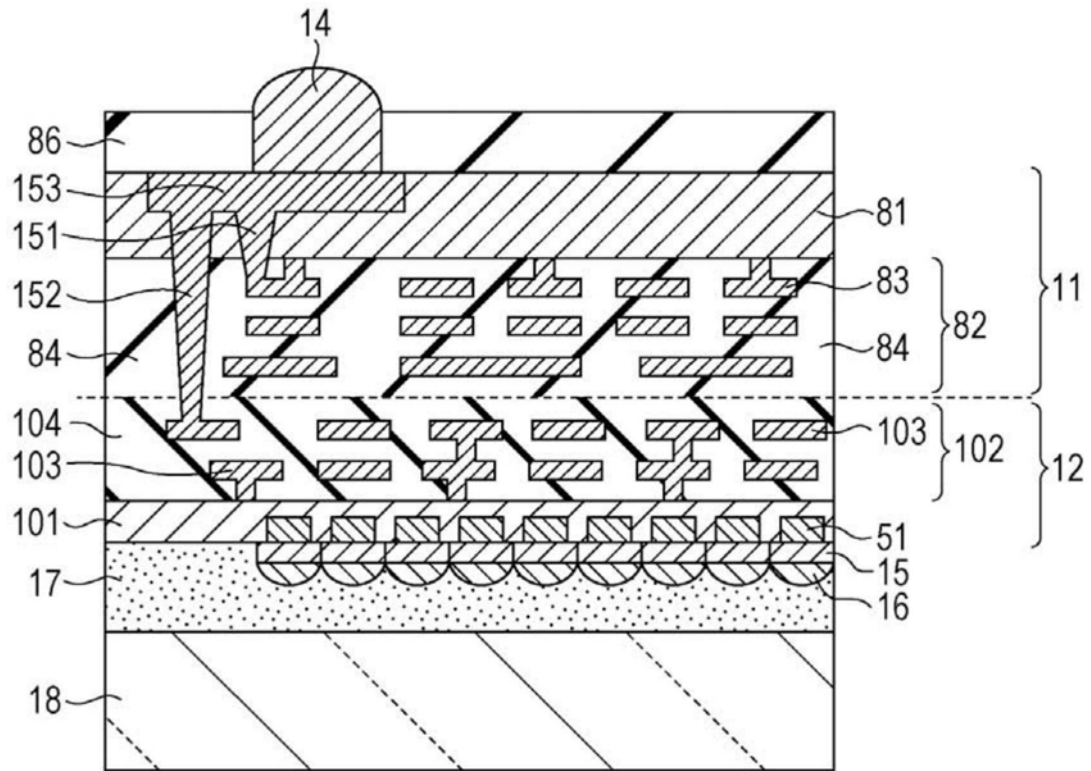


图104

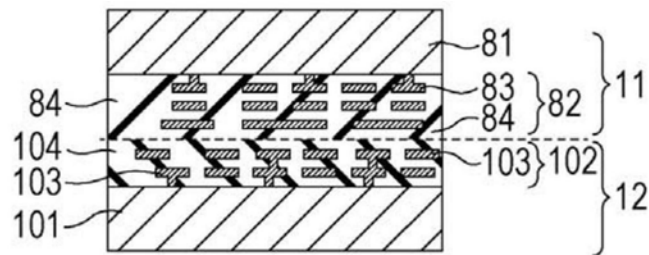


图105A

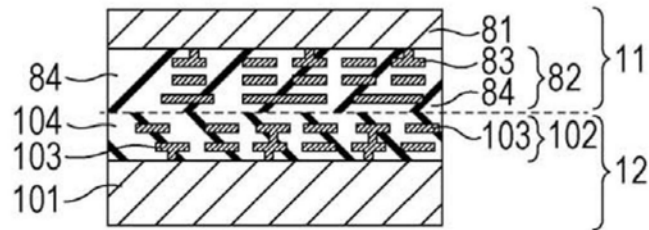


图105B

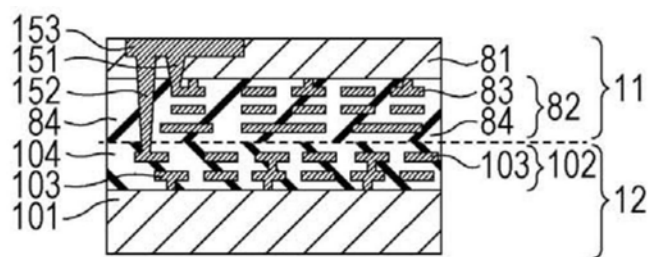


图105C

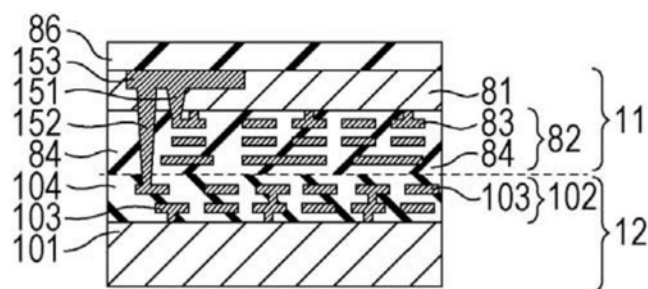


图105D

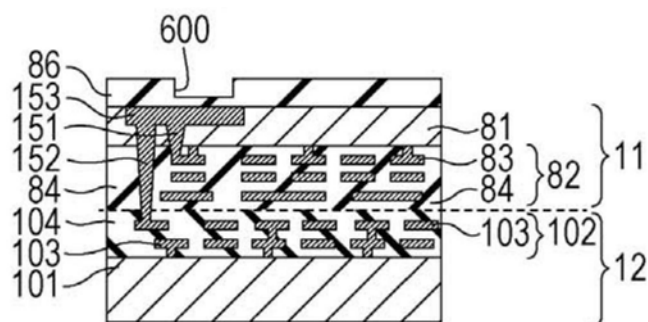


图105E

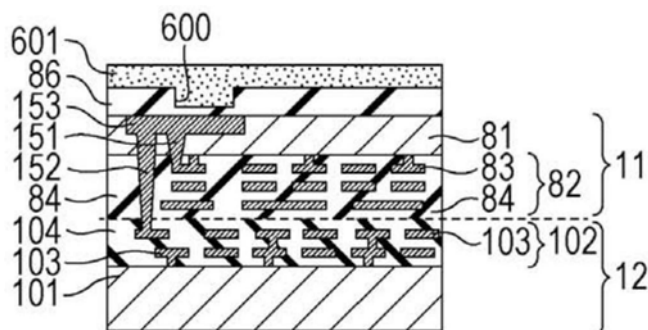


图106A

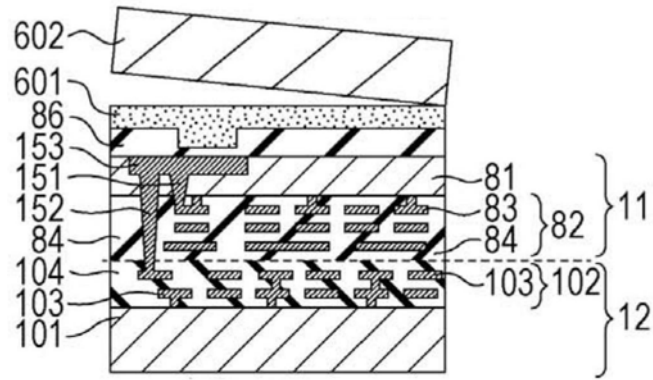


图106B

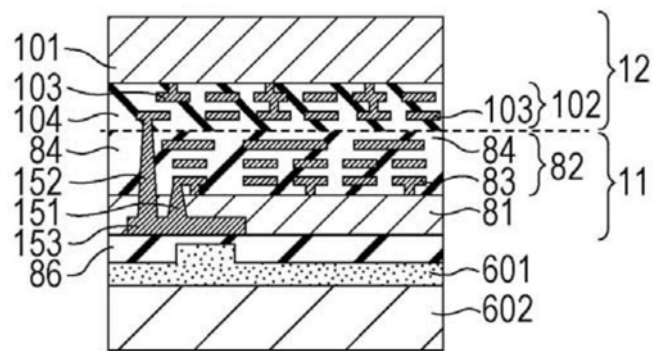


图106C

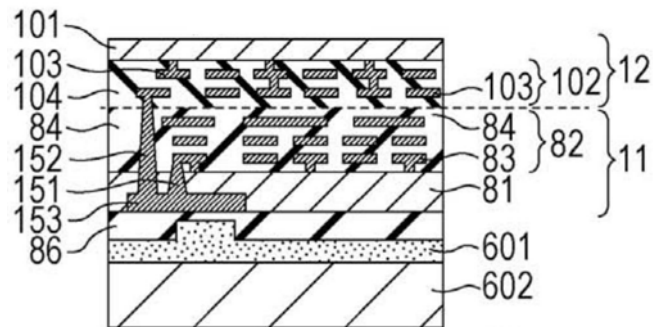


图106D

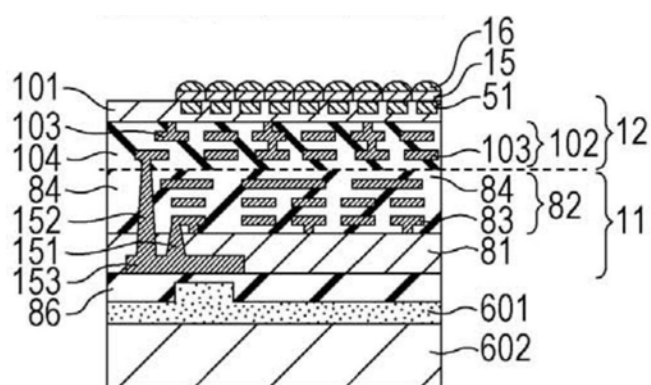


图106E

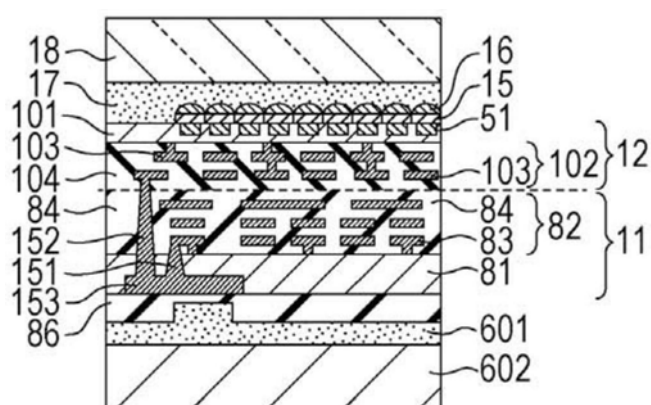


图107A

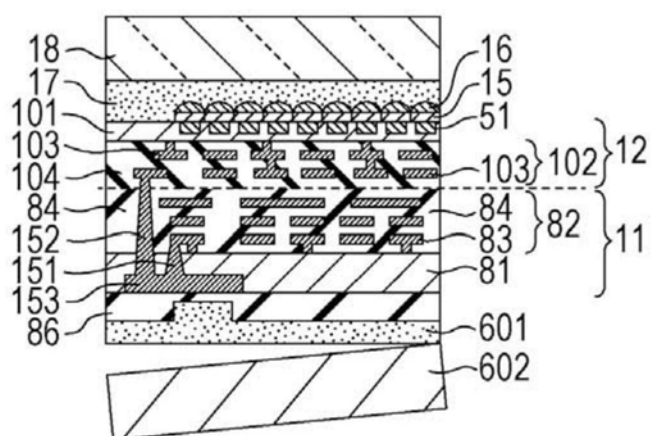


图107B

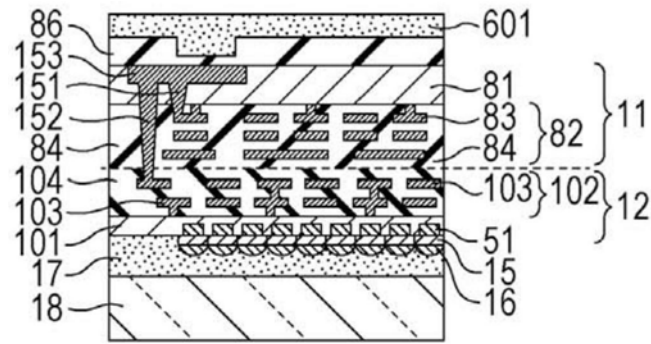


图107C

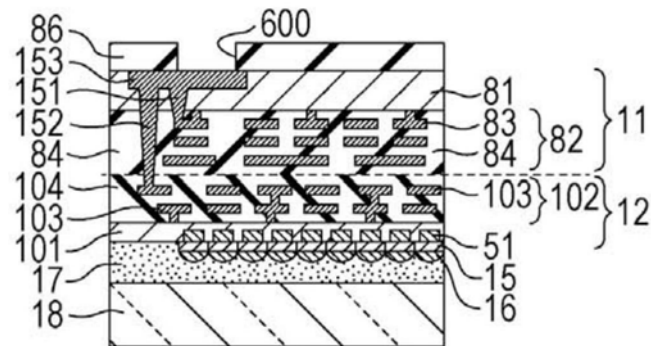


图107D

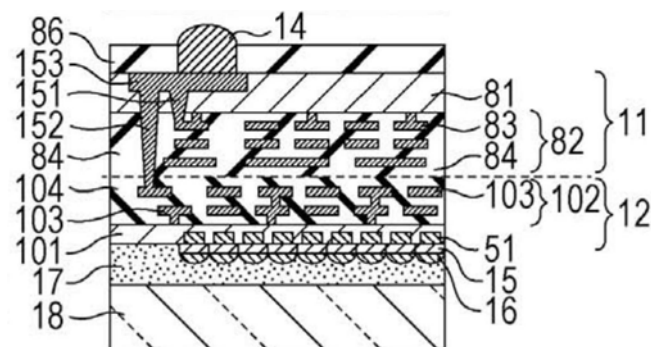


图107E

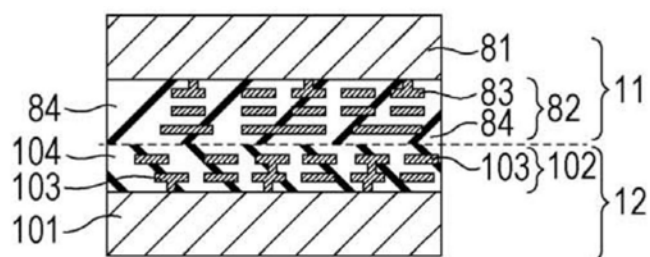


图108A

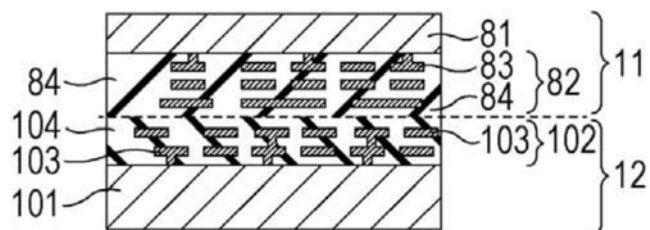


图108B

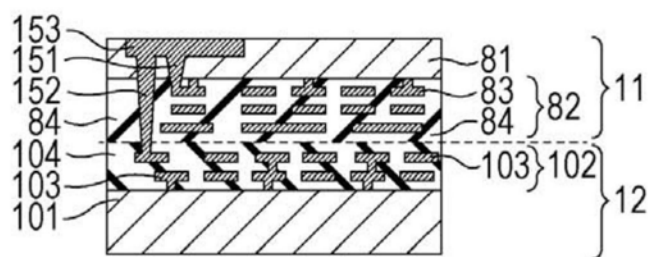


图108C

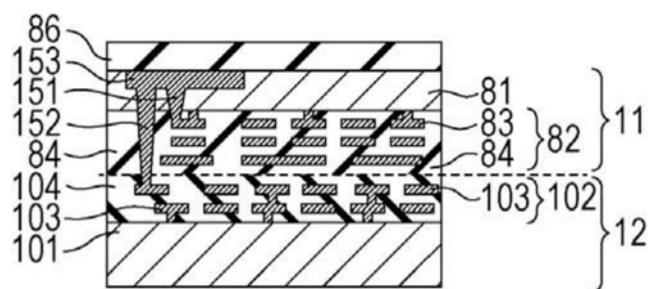


图108D

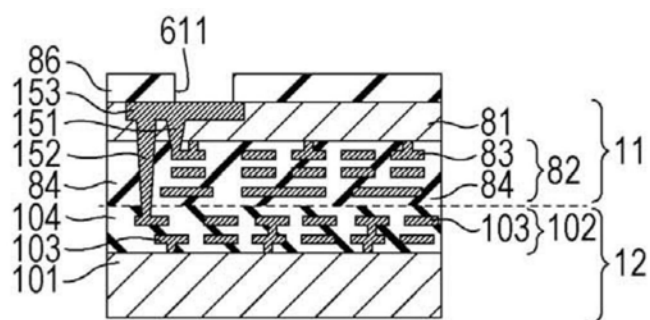


图108E

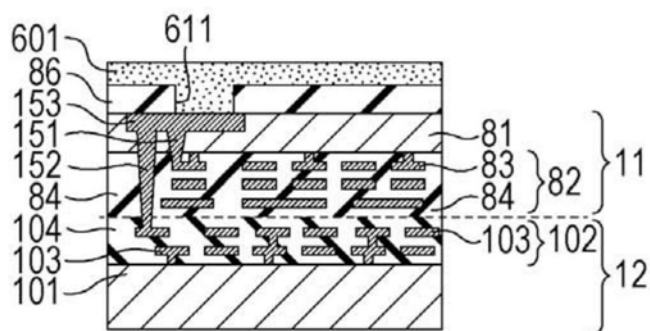


图109A

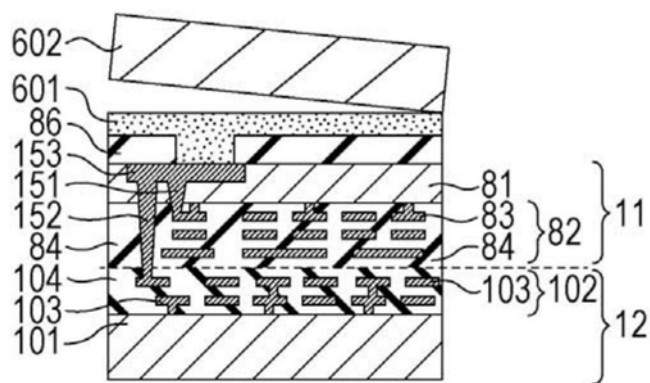


图109B

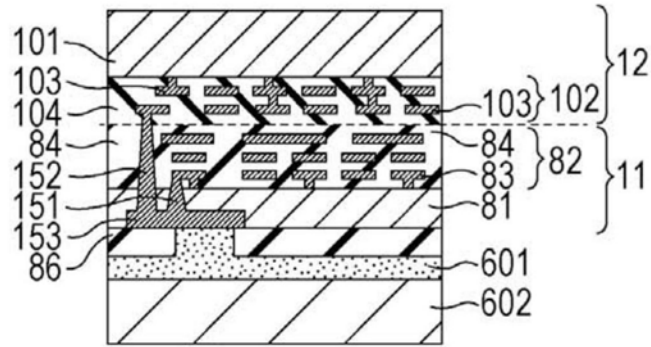


图109C

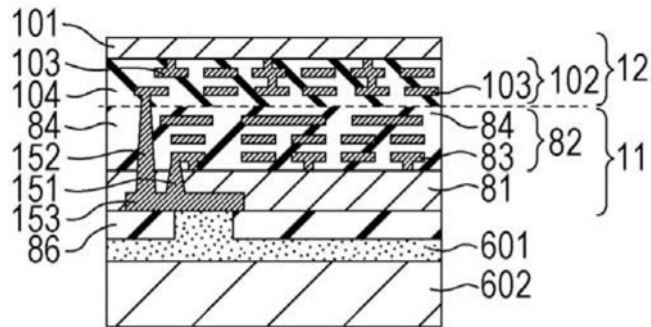


图109D

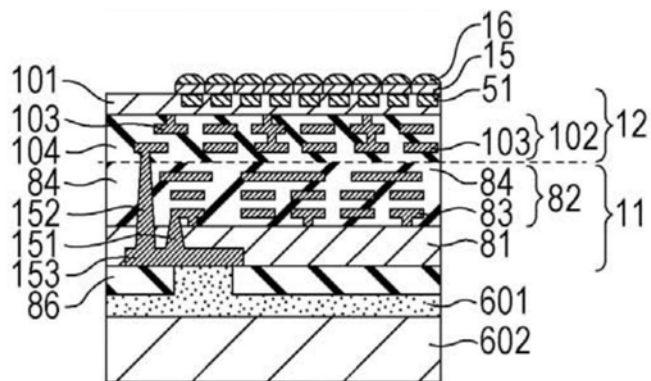


图109E

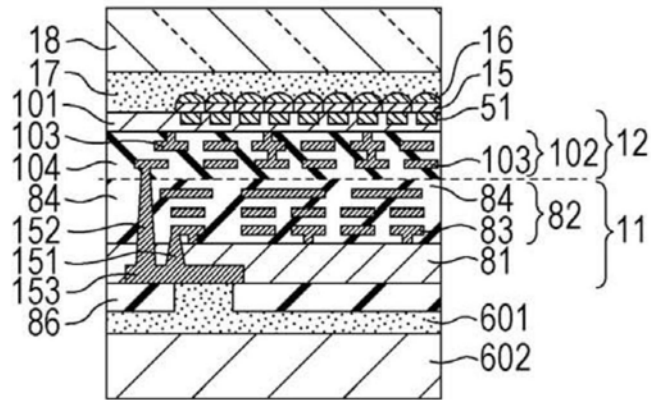


图110A

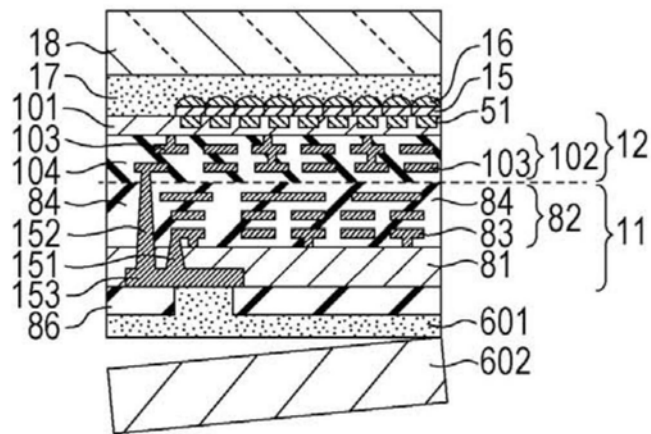


图110B

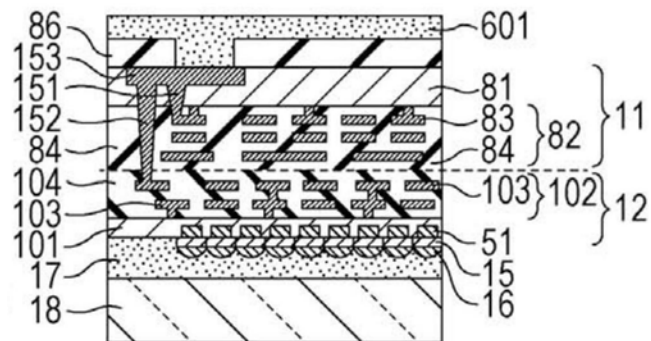


图110C

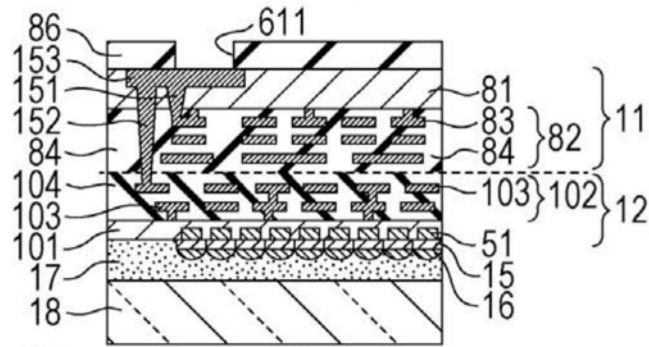


图110D

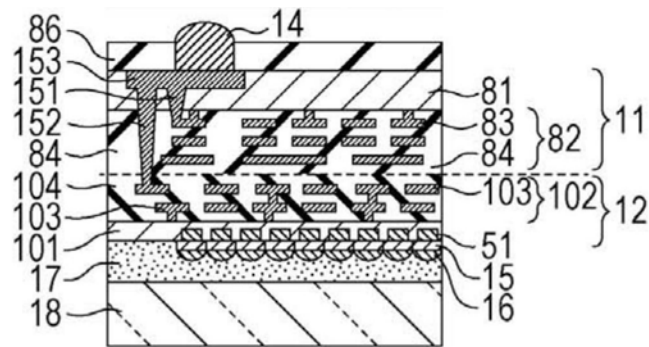


图110E

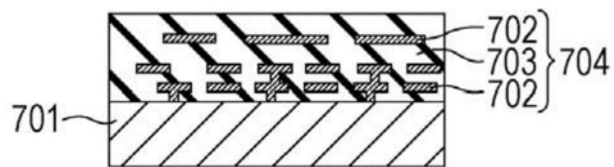


图111A

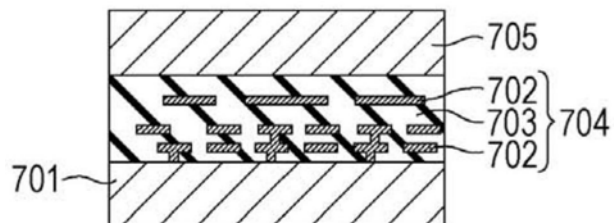


图111B

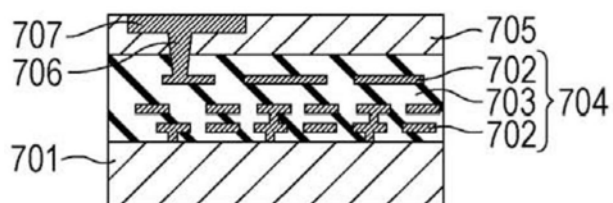


图111C

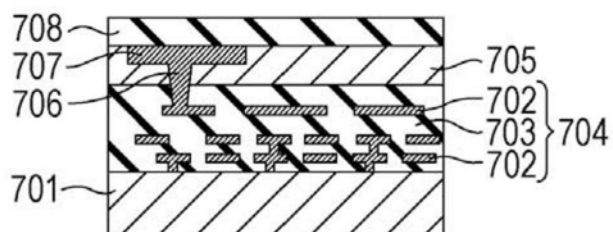


图111D

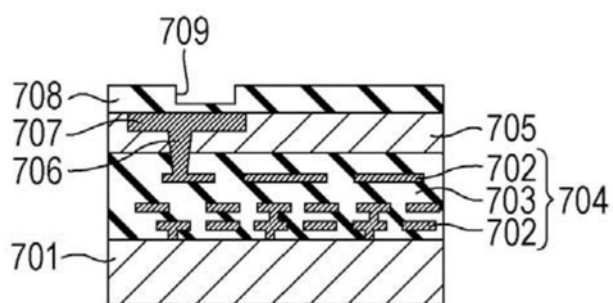


图111E

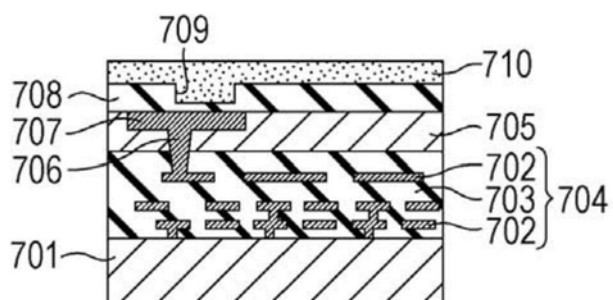


图112A

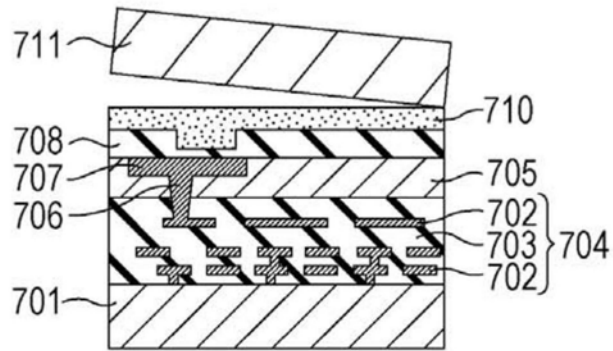


图112B

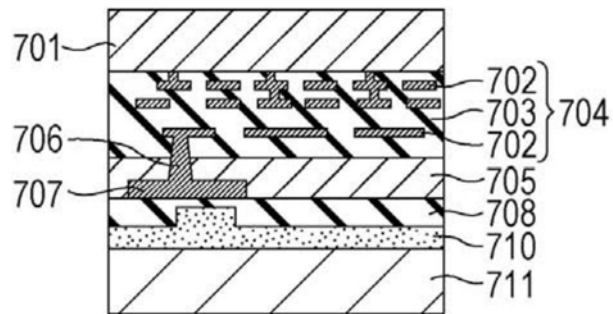


图112C

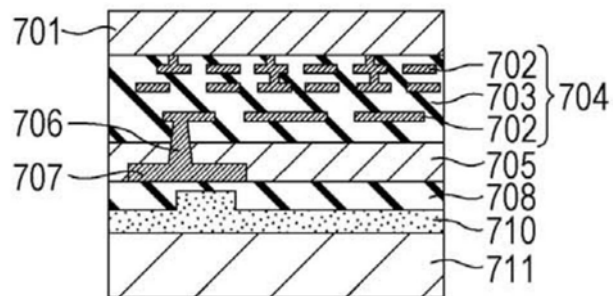


图112D

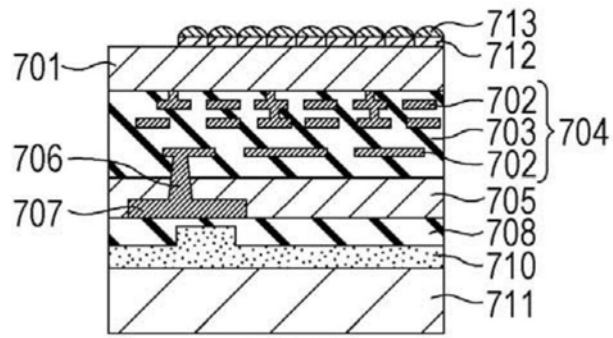


图112E

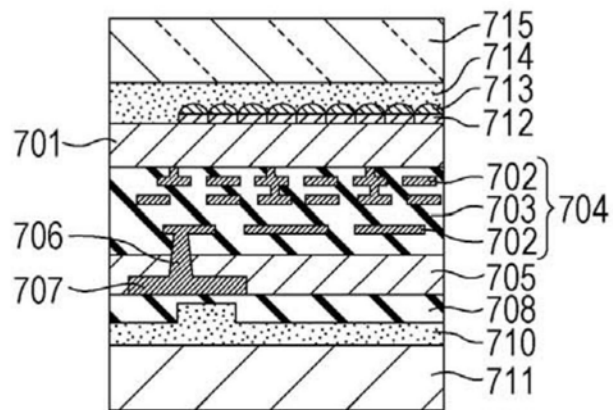


图113A

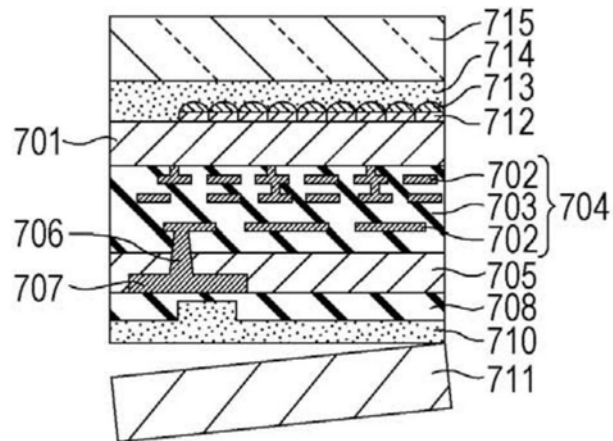


图113B

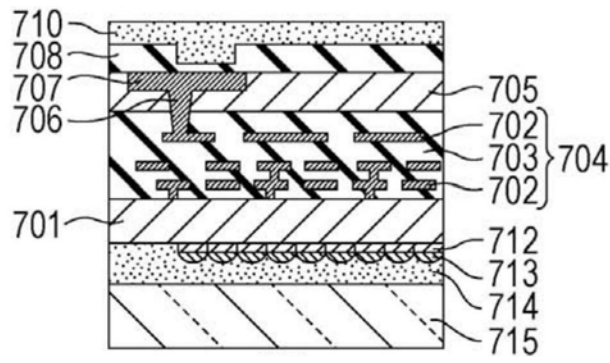


图113C

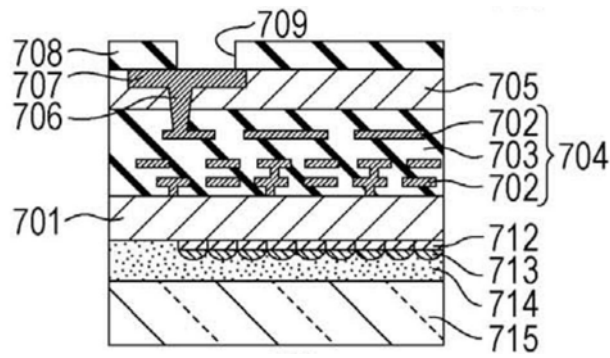


图113D

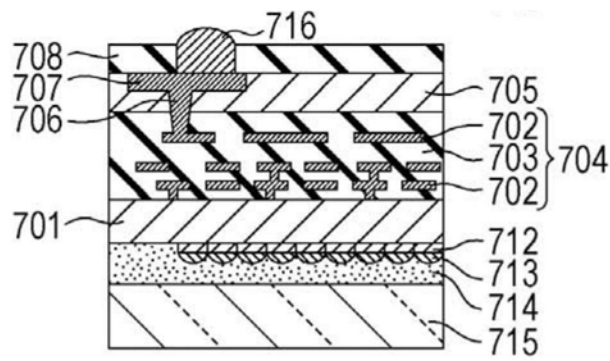


图113E

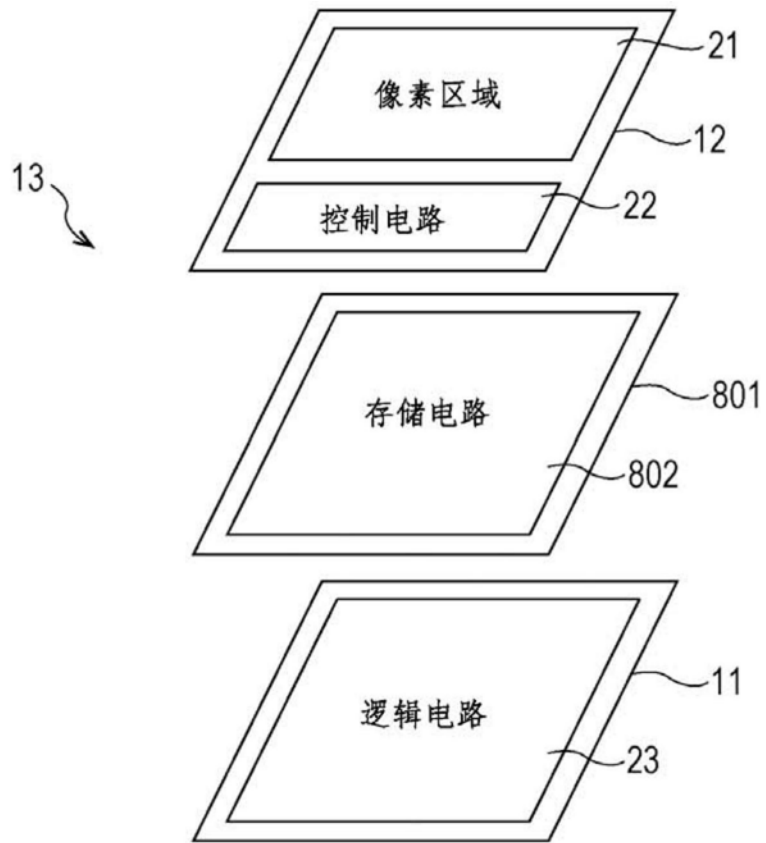


图114A

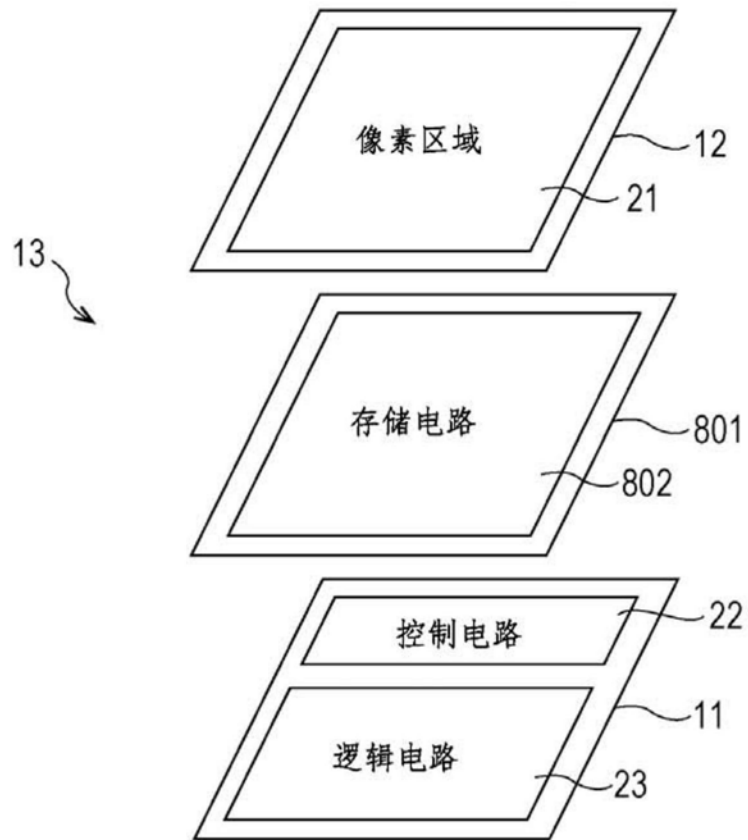


图114B

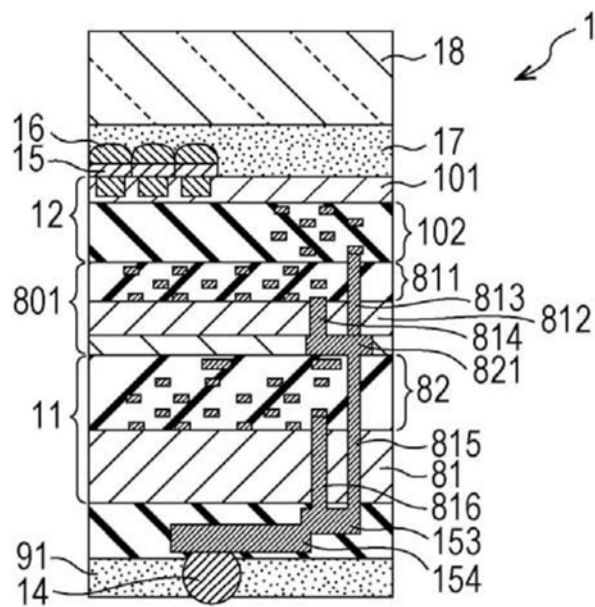


图115A

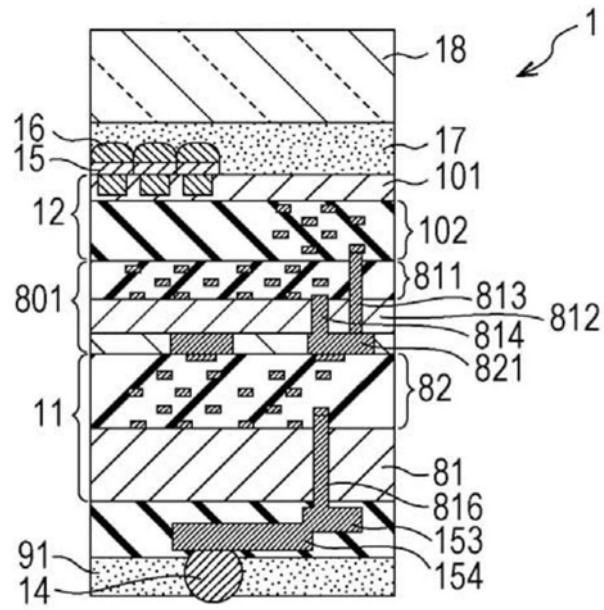


图115B

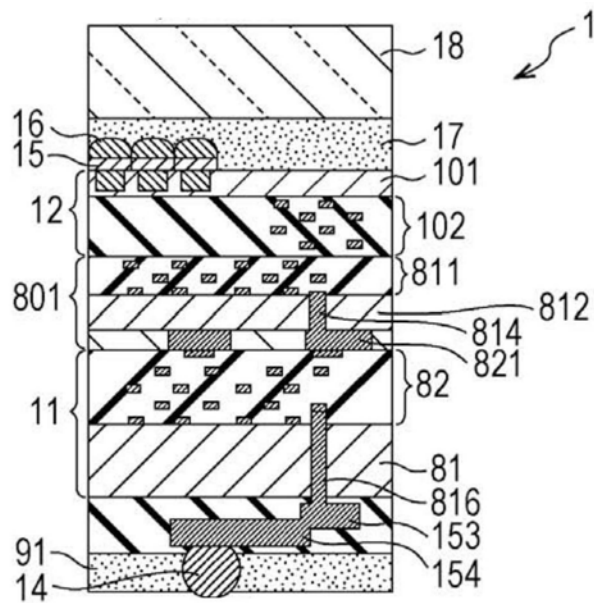


图115C

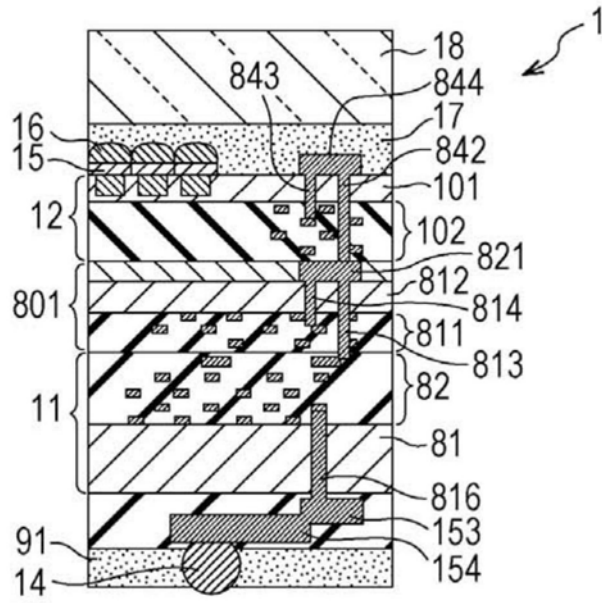


图116A

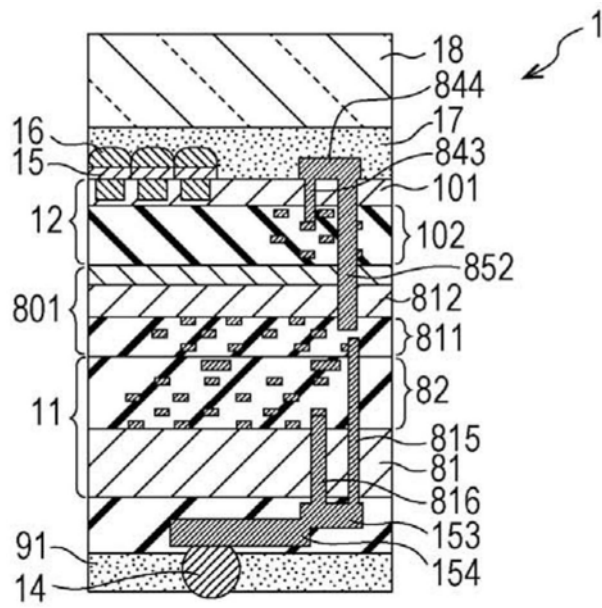


图116B

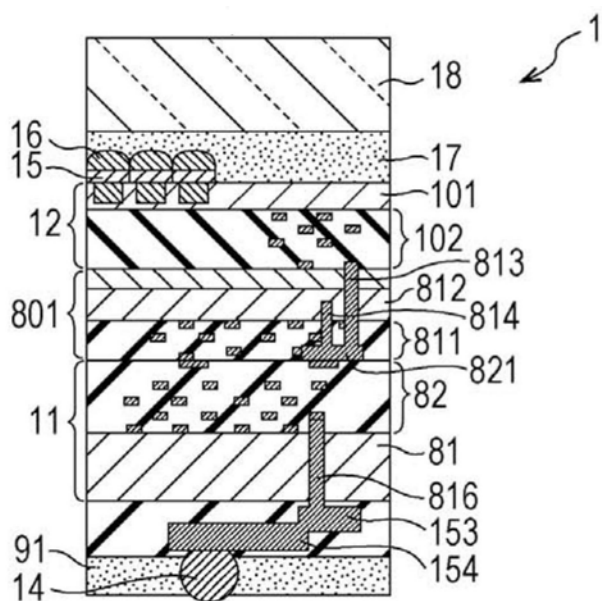


图117B

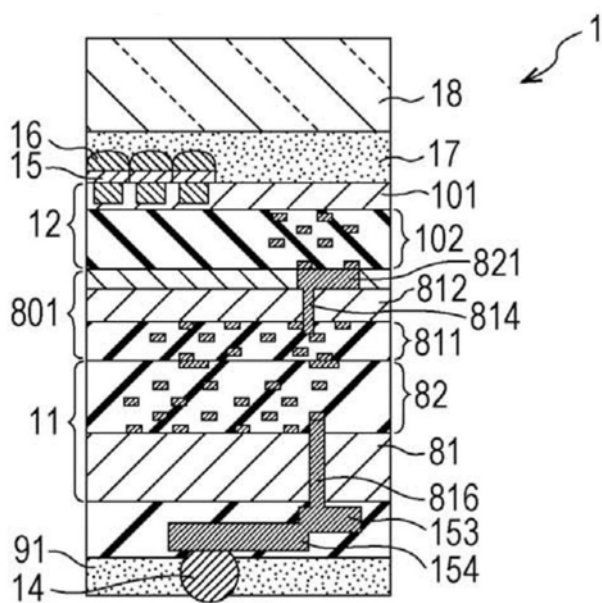


图117C

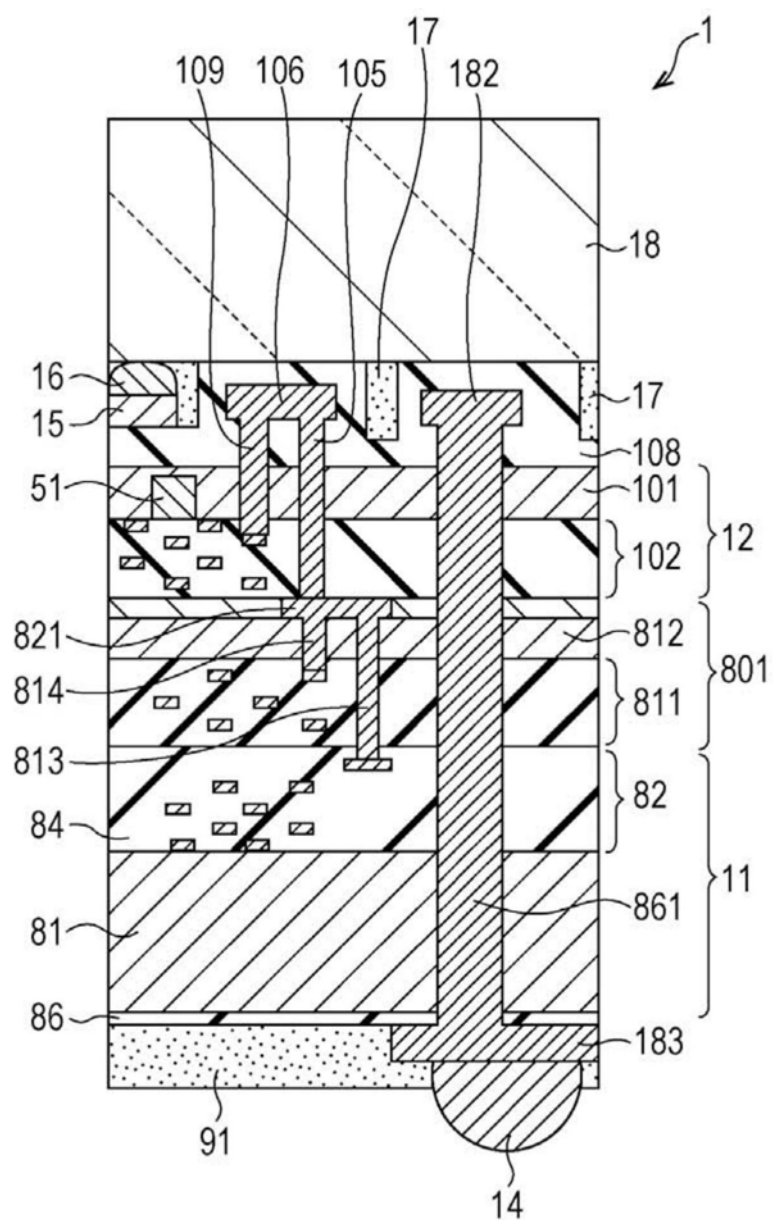


图118

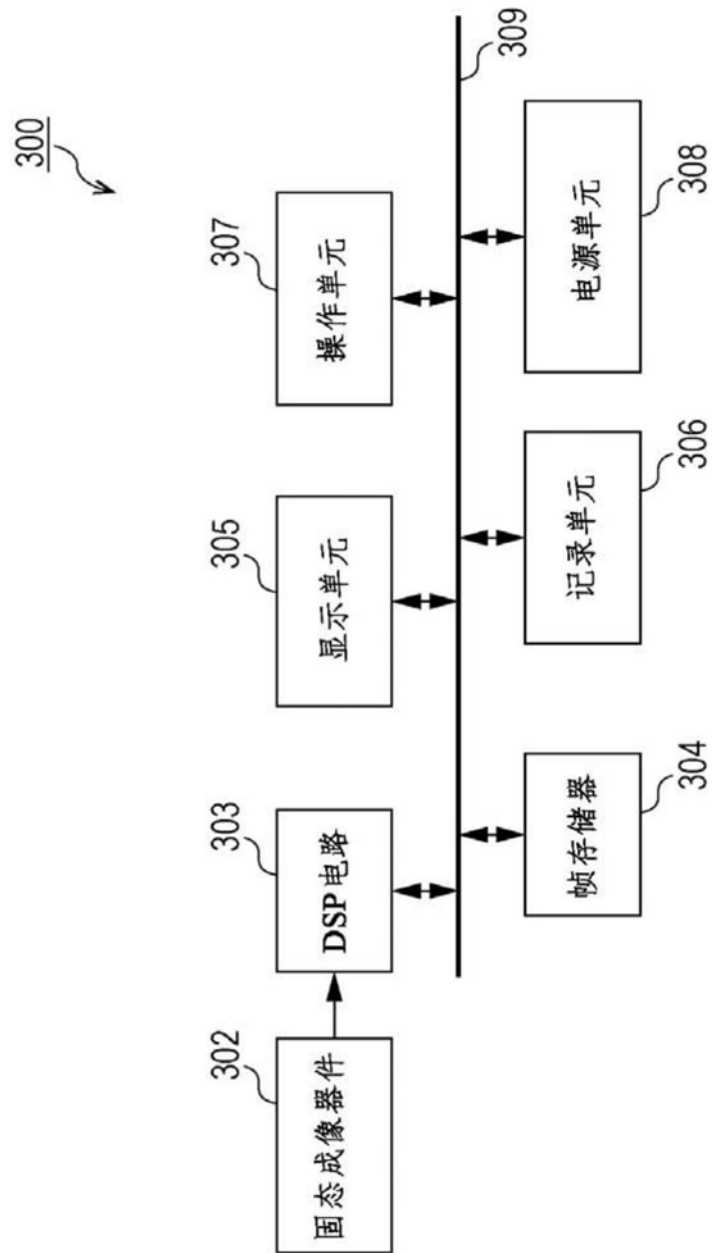


图119