

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 10 月 31 日 (31.10.2019)



(10) 国际公布号
WO 2019/205489 A1

(51) 国际专利分类号:

H01L 27/12 (2006.01) *G02F 1/1333* (2006.01)

H01L 21/77 (2017.01) *G02F 1/1362* (2006.01)

G06F 3/041 (2006.01)

武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(21) 国际申请号: PCT/CN2018/108082

(22) 国际申请日: 2018 年 9 月 27 日 (27.09.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:

201810402217.3 2018 年 4 月 28 日 (28.04.2018) CN

(72) 发明人: 王 威 (WANG, Wei); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** IN-CELL TOUCH ARRAY SUBSTRATE, DISPLAY PANEL AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 内嵌式触控阵列基板、显示面板及制造方法

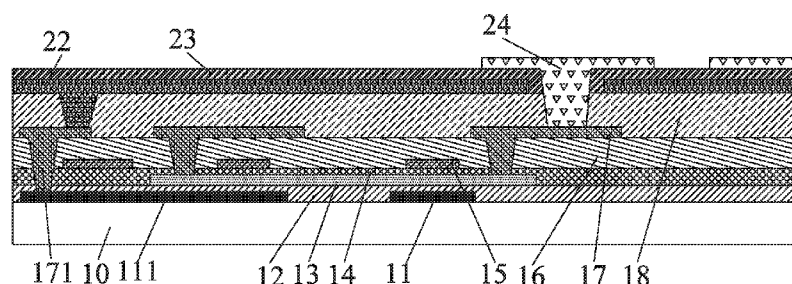


图2

(57) **Abstract:** The present invention relates to an in-cell touch array substrate, a display panel and a manufacturing method therefor. The in-cell touch array substrate comprises: a substrate (10); a low-temperature poly-silicon thin-film transistor array, which is provided on the substrate (10) and comprises a patterned light-shielding layer (11) and a patterned source/drain electrode layer (17); a patterned planarization layer (18) provided on the low-temperature poly-silicon TFT array; a patterned bottom transparent electrode (22) provided on the planarization layer (18); a patterned passivation layer (23) provided on the bottom transparent electrode (22); and a patterned top transparent electrode (24) provided on the passivation layer (23). The source/drain electrode layer (17) comprises a first wire (171) which is connected to the bottom transparent electrode (22). The light-shielding layer (11) comprises a second wire (111) which serves as a touch signal line, and the second wire (111) is connected to the first wire (171). In the present invention, a mask is omitted, and three instances of film formation are omitted, thereby simplifying the manufacturing process and reducing costs.



WO 2019/205489 A1

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 本发明涉及一种内嵌式触控阵列基板、显示面板及制造方法。该内嵌式触控阵列基板包括: 基板(10); 设于基板(10)上的低温多晶硅薄膜晶体管阵列包括图案化的遮光层(11)和图案化的源漏极层(17); 设于所述低温多晶硅TFT阵列上的图案化的平坦层(18); 设于平坦层(18)上的图案化的底部透明电极(22); 设于底部透明电极(22)上的图案化的钝化层(23); 设于钝化层(23)上的图案化的顶部透明电极(24); 源漏极层(17)包括与上方底部透明电极(22)相连接的第一走线(171), 所述遮光层(11)包括作为触控信号线的第二走线(111), 所述第二走线(111)与上方的第一走线(171)相连接。本发明减少一道光罩, 减少3次成膜, 制程简化, 成本降低。

内嵌式触控阵列基板、显示面板及制造方法

技术领域

5 本发明涉及显示技术领域，尤其涉及一种内嵌式触控阵列基板、显示面板及制造方法。

背景技术

触控显示面板根据结构不同可划分为：触控电路覆盖于液晶盒上式(On Cell)，触控电路内嵌在液晶盒内式(In Cell)、以及外挂式。内嵌式触控显示
10 面板具有成本较低、厚度较薄等优点，受到各大面板厂家青睐，已演化为未来触控技术的主要发展方向。

参见图 1，其作为一种现有内嵌式触控阵列基板的剖面展开示意图。目前高解析度内嵌式触控(In-Cell Touch)已成为低温多晶硅(LTPS) LCD 显示面板主流，目前内嵌式触控多采用底部透明电极(BITO) 22 作为触控信号电极，使用独立金属(Metal)线作为触控(Touch)信号线，触控信号线
15 多采用独立的第三金属层(M3) 20 制作而成。与非内嵌式(Non In-Cell)相比较，需要增加第一绝缘层 19&第三金属层 20、第二绝缘层 21(IL1&M3、IL2)三次成膜、两道光罩(Mask)制程，制造成本、不良率也随之增加。

现有内嵌式触控阵列基板主要包括：基板 10，设于基板 10 上的低温多晶硅薄膜晶体管阵列，设于低温多晶硅 TFT 阵列上的平坦层 18，以及设于
20 平坦层 18 上的第一绝缘层 19，可作为触控信号线的第三金属层 20，第二绝缘层 21，可作为触控信号电极的底部透明电极 22，钝化层 23，以及可作为像素电极的顶部透明电极 24；低温多晶硅薄膜晶体管阵列主要包括遮光层 11，缓冲层 12，多晶硅层 13，栅极绝缘层 14，栅极层 15，层间介质层
25 16，以及源漏极层 17。

目前内嵌式触控低温多晶硅 LCD 显示面板的 TFT 结构以及制造工艺主要包括：

(1) 形成遮光层(LS) 11：遮光层成膜→光刻(Photo)→蚀刻→剥离(Strip)，形成遮光层图案；在基板 10 上形成遮光层 11，遮光层 11 一般
30 为金属层，利用光罩制程图案化遮光层 11，剥离光阻；

(2) 形成多晶硅层(P-Si) 13：3L 成膜→准分子激光退火(ELA)→光刻→干蚀刻→剥离；在遮光层 11 上形成缓冲层 12，例如 SiNx/SiOx，之后在缓冲层 12 上形成多晶硅层 13，然后图案化多晶硅层 13，剥离光阻；

(3) NCD: 光刻→NCD 离子注入 (IMP)→剥离; 对多晶硅层 13 进行沟道掺杂, 形成沟道;

(4) NP: 光刻→NP 离子注入→剥离; 对多晶硅层 13 进行 N 型离子重掺杂, 形成 NMOS 沟道两侧的源极区和漏极区;

5 (5) 形成栅极绝缘层 14&栅极层 15 (GI&Gate): 栅极绝缘层 14&栅极层 15 成膜→光刻→蚀刻→轻掺杂漏极区 (LDD) 离子注入; 形成栅极绝缘层 14 和栅极层 15, 然后图案化栅极层 15 和栅极绝缘层 14, 形成 TFT 的栅极以及扫描线等结构, 通过离子注入形成轻掺杂漏极区;

10 (6) Pp: 光刻→Pp 离子注入→剥离; 对多晶硅层 13 进行 P 型离子重掺杂, 形成 PMOS 沟道两侧的源极区和漏极区;

(7) 形成层间介质层 (ILD) 16: 层间介质层成膜→快速热退火 (RTA)→光刻→干蚀刻→剥离; 形成层间介质层 16, 图案化;

(8) 形成源漏极层 (SD) 17: 源漏极层成膜→光刻→干蚀刻→剥离; 形成源漏极层 17, 图案化, 形成源极/漏极和数据线等结构;

15 (9) 形成平坦层 (PLN) 18: 平坦层光刻→平坦层灰化 (Ash); 形成平坦层 18, 图案化, 灰化去除光阻;

(10) 形成第一绝缘层 19&第三金属层 20 (IL1&M3): 第一绝缘层&第三金属层成膜→第三金属层光刻→蚀刻→剥离; 形成第一绝缘层 19 和第三金属层 20, 图案化第一绝缘层 19 和第三金属层 20, 第三金属层 20 作为
20 触控信号线;

(11) 形成第二绝缘层 (IL2) 21: 第二绝缘层成膜→光刻→干蚀刻→剥离, 形成第三金属层与底部透明电极 (BITO) 过孔; 形成第二绝缘层 21, 图案化, 形成第三金属层 20 与底部透明电极 22 之间的过孔;

25 (12) 形成底部透明电极 (BITO) 22: 底部透明电极成膜→光刻→蚀刻→剥离; 形成底部透明电极 22, 图案化, 底部透明电极 22 可作为触控信号电极;

(13) 形成钝化层 (PV) 23: 钝化层成膜→光刻→干蚀刻→剥离; 形成钝化层 23, 图案化; 现有技术中, 钝化层 23 干蚀刻形成过孔时, 需要一次蚀刻穿钝化层 23/第二绝缘层 21/第一绝缘层 19 三层膜, 具有底切高发的
30 风险;

(14) 形成顶部透明电极 (TITO) 24: 顶部透明电极成膜→光刻→蚀刻→剥离→退火 (Anneal); 形成顶部透明电极 24, 图案化。

共需要 14 道光罩制程才能完成, 工艺复杂、成本较高。

发明内容

因此，本发明的目的在于提供一种内嵌式触控阵列基板、显示面板及制造方法，简化制程、降低成本。

为实现上述目的，本发明提供了一种内嵌式触控阵列基板，包括：

5 基板；

设于基板上的低温多晶硅薄膜晶体管阵列，所述低温多晶硅薄膜晶体管阵列包括图案化的遮光层和图案化的源漏极层；

设于所述低温多晶硅薄膜晶体管阵列上的图案化的平坦层；

设于平坦层上的图案化的底部透明电极；

10 设于底部透明电极上的图案化的钝化层；

设于钝化层上的图案化的顶部透明电极；

所述源漏极层包括与底部透明电极相连接的第一走线，所述遮光层包括作为触控信号线的第二走线，所述第二走线与第一走线相连接。

其中，所述低温多晶硅薄膜晶体管阵列包括：

15 设于基板上的图案化的遮光层；

设于基板和遮光层上的图案化的缓冲层；

设于缓冲层上的图案化的多晶硅层；

设于多晶硅层和缓冲层上的图案化的栅极绝缘层；

设于栅极绝缘层上的图案化的栅极层；

20 设于栅极层上的图案化的层间介质层；

设于层间介质层上的图案化的源漏极层。

其中，所述缓冲层设有接触孔，以用于第一走线连接第二走线。

其中，所述栅极绝缘层设有过孔，以用于第一走线连接第二走线。

其中，所述层间介质层设有过孔，以用于第一走线连接第二走线。

25 其中，所述平坦层设有过孔，以用于底部透明电极连接第一走线。

其中，所述平坦层和钝化层分别设有过孔以用于所述顶部透明电极连接源漏极层。

其中，所述底部透明电极和顶部透明电极为氧化铟锡电极。

30 本发明还提供了一种显示面板，包括上述任一项所述的内嵌式触控阵列基板。

本发明还提供了一种内嵌式触控阵列基板的制造方法，包括：

在基板上形成遮光层，图案化遮光层，形成作为触控信号线的第二走线；

形成缓冲层及多晶硅层，图案化多晶硅层；

图案化缓冲层，形成用于第二走线连接第一走线的接触孔；

对多晶硅层进行沟道掺杂；

对多晶硅层进行N型离子重掺杂；

形成栅极绝缘层和栅极层，图案化栅极层和栅极绝缘层，栅极绝缘层

5 形成用于第二走线连接第一走线的过孔；

对多晶硅层进行P型离子重掺杂；

形成层间介质层并使其图案化，形成用于第二走线连接第一走线的过孔；

10 形成源漏极层并使其图案化，形成用于与底部透明电极相连接的第一走线；

形成平坦层并使其图案化，形成用于底部透明电极连接第一走线的过孔；

形成底部透明电极，并使其图案化；

形成钝化层，并使其图案化；

15 形成顶部透明电极，并使其图案化。

20 综上，本发明的内嵌式触控阵列基板、显示面板及制造方法减少一道光罩，减少3次成膜，制程简化，成本降低；减少3次成膜，膜层结构简化，避免了第一绝缘层、第二绝缘层、钝化层三层非金属膜直接接触导电膜，降低了因应力搭配不佳而导致出现膜破的几率，也降低了钝化层干蚀刻一次蚀刻穿钝化层/第二绝缘层/第一绝缘层三层膜时底切高发的风险。

附图说明

下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其他有益效果显而易见。

25 附图中，

图1为一种现有内嵌式触控阵列基板的剖面展开示意图；

图2为本发明内嵌式触控阵列基板一较佳实施例的剖面展开示意图。

30 具体实施方式

参见图2，其为本发明内嵌式触控阵列基板一较佳实施例的剖面展开示意图。该较佳实施例的内嵌式触控阵列基板，主要包括：基板10；设于基板10上的低温多晶硅薄膜晶体管阵列，低温多晶硅薄膜晶体管阵列包括图案化的遮光层11和图案化的源漏极层17；设于低温多晶硅薄膜晶体管阵列

上的图案化的平坦层 18; 设于平坦层 18 上的图案化的底部透明电极 22, 可用作触控信号电极; 设于底部透明电极 22 上的图案化的钝化层 23; 设于钝化层 23 上的图案化的顶部透明电极 24, 可用作像素电极;

本发明中, 低温多晶硅薄膜晶体管阵列的源漏极层 17 金属除形成 TFT 的源漏极和数据线等结构外, 还形成了用于与底部透明电极 22 相连接的第一走线 171; 遮光层 11 金属除了用于遮光, 还形成了作为触控信号线的第二走线 111; 并且第二走线 111 与第一走线 171 相连接, 从而使第二走线 111 与底部透明电极 22 电性导通, 一个作为触控信号线, 一个作为触控信号电极, 用于实现触控功能。

低温多晶硅薄膜晶体管阵列的结构在此不做特别限制, 仅以图 2 所示作为举例说明, 一般可以包括: 设于基板 10 上的图案化的遮光层 11; 设于基板 10 和遮光层 11 上的图案化的缓冲层 12; 设于缓冲层 12 上的图案化的多晶硅层 13; 设于多晶硅层 13 和缓冲层 12 上的图案化的栅极绝缘层 14; 设于栅极绝缘层 14 上的图案化的栅极层 15, 栅极层 15 可以形成 TFT 栅极及扫描线等结构; 设于栅极层 15 上的图案化的层间介质层 16; 设于层间介质层 16 上的图案化的源漏极层 17, 源漏极层 17 可以形成 TFT 源漏极和数据线等结构。

为使第二走线 111 与第一走线 171 相连接, 底部透明电极 22 与第一走线 171 连接, 从而使第二走线 111 与底部透明电极 22 电性导通, 缓冲层 12 可以设有接触孔, 以用于第一走线 171 连接第二走线 111; 栅极绝缘层 14 可以设有过孔, 以用于第一走线 171 连接第二走线 111; 层间介质层 16 可以设有过孔, 以用于第一走线 171 连接第二走线 111; 平坦层 18 可以设有过孔, 以用于底部透明电极 22 连接第一走线 171。

此外, 顶部透明电极 24 作为像素电极, 平坦层 18 和钝化层 23 分别设有过孔以用于顶部透明电极 24 连接源漏极层 17 的 TFT 结构。底部透明电极 22 和顶部透明电极 24 都可以为氧化铟锡电极。

本发明可以通过采用数据 (Data) 线正下方的遮光层金属实现触控信号线走线设计, 与非内嵌式相比只需在四层光罩图案稍作修改的基础上增加 3L 缓冲层一道光罩即可。与目前已有的内嵌式方案比较, 可以减少 3 次成膜, 并减少一道光罩, 实现制程简化、成本降低, 并有利于良率提高。

根据本发明上述内嵌式触控阵列基板的实施例, 本发明还提供了包括上述内嵌式触控阵列基板的显示面板。

本发明还提供了内嵌式触控阵列基板的制造方法, 可用于制作本发明的内嵌式触控阵列基板及显示面板。

该内嵌式触控阵列基板的制造方法一较佳实施例主要包括：

(1) 形成遮光层 11：遮光层 11 成膜→光刻→蚀刻→剥离，形成触控信号线和遮光层图案；

在基板 10 上形成遮光层 11，利用光罩图案化遮光层 11，剥离光阻，
5 遮光层 11 金属除用于遮光外，还形成作为触控信号线的第二走线 111；

(2) 形成多晶硅层 13：3L 成膜→准分子激光退火→光刻→干蚀刻→剥离；

形成缓冲层 12 及多晶硅层 13，图案化多晶硅层 13，形成硅岛，剥离光阻；

10 (3) 形成 3L 缓冲层接触孔 (Contact Hole)：光刻→干蚀刻→剥离，形成 3L 缓冲层 12 接触孔；

增加一道光罩，图案化缓冲层 12，形成用于第二走线 111 连接第一走线 171 的接触孔；

(4) NCD：光刻→NCD 离子注入→剥离；

15 对多晶硅层 13 进行沟道掺杂 例如 可以对 NMOS 区域进行沟道掺杂，以及对 PMOS 区域两端进行 P 型离子轻掺杂处理，以分别形成 NMOS 沟道和 PMOS 沟道；

(5) NP：光刻→NP 离子注入→剥离；

20 对多晶硅层 13 进行 N 型离子重掺杂；可以形成分别位于 NMOS 沟道两侧的源极区和漏极区；

(6) 形成栅极绝缘层 14&栅极层 15：栅极绝缘层 14&栅极层 15 成膜→光刻→蚀刻→轻掺杂漏极区离子注入；

形成栅极绝缘层 14 和栅极层 15，图案化栅极层 15 和栅极绝缘层 14，形成 TFT 栅极和扫描线，栅极绝缘层 14 形成用于第二走线 111 连接第一走线 171 的过孔；
25

(7) Pp：光刻→Pp 离子注入→剥离；

对多晶硅层 13 进行 P 型离子重掺杂；可以形成 PMOS 沟道两侧的源极区和漏极区；

30 (8) 形成层间介质层 16：层间介质层 16 成膜→快速热退火→光刻→干蚀刻→剥离；

形成层间介质层 16 并使其图案化，形成用于第二走线 111 连接第一走线 171 的过孔；

(9) 形成源漏极层 17：源漏极层 17 成膜→光刻→干蚀刻→剥离；

形成源漏极层 17 并使其图案化，除 TFT 源漏极和数据线外，形成用于

与底部透明电极 22 相连接的第一走线 171;

(10) 形成平坦层 18: 平坦层 18 光刻→平坦层 18 灰化;

形成平坦层 18 并使其图案化, 形成用于底部透明电极 22 连接第一走线 171 的过孔; 平坦层 18 还形成过孔以用于顶部透明电极 24 连接源漏极层 17 的 TFT 结构;

(11) 形成底部透明电极 22: 底部透明电极 22 成膜→光刻→蚀刻→剥离;

形成底部透明电极 22, 并使其图案化, 底部透明电极 22 可以为氧化铟锡, 可以用作触控信号电极;

(12) 形成钝化层 23: 钝化层 23 成膜→光刻→干蚀刻→剥离;

形成钝化层 23, 并使其图案化; 钝化层 23 形成过孔以用于顶部透明电极 24 连接源漏极层 17 的 TFT 结构;

(13) 形成顶部透明电极 24: 顶部透明电极 24 成膜→光刻→蚀刻→剥离→退火;

形成顶部透明电极 24, 并使其图案化, 顶部透明电极 24 可以为氧化铟锡, 可以用作像素电极。

本发明采用遮光层布局触控信号线走线设计, 无需 IL1、M3、IL2 三层成膜, 也无需 M3、IL2 两次光罩, 只需在多晶硅层完成后, 增加一次光罩制程制作触控电极与遮光层触控信号线之间的连接过孔, 可以简化制程, 降低成本。

相较于现有的内嵌式触控阵列基板的制造方法, 本发明:

(一)修改遮光层光罩, 在数据线正下方对应区域的遮光层保留作为触控信号线, 并增加与上层通过过孔连接结构;

(二)3L 多晶硅层剥离光阻后增加一道光罩制程, 在 3L 缓冲层制做出遮光层触控信号线与上层源漏极层连接的过孔;

(三)修改层间介质层光罩, 增加遮光层触控信号线与源漏极层连接的层间介质层过孔;

(四)修改源漏极层光罩, 增加触控信号线与 BITO 连接的桥接源漏极层金属;

(五)修改平坦层光罩, 增加触控信号线与 BITO 连接的平坦层过孔。

综上, 本发明的内嵌式触控阵列基板、显示面板及制造方法减少一道光罩 (14 光罩→13 光罩), 减少 3 次成膜, 制程简化, 成本降低; 减少 3 次成膜 (无需 IL1、M3、IL2), 膜层结构简化, 避免了第一绝缘层、第二绝缘层、钝化层三层非金属膜直接接触导电膜, 降低了因应力搭配不佳而

导致出现膜破的几率，也降低了钝化层干蚀刻一次蚀刻穿钝化层/第二绝缘层/第一绝缘层三层膜时底切（UnderCut）高发的风险。

5 以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种内嵌式触控阵列基板，包括：

基板；

5 设于基板上的低温多晶硅薄膜晶体管阵列，所述低温多晶硅薄膜晶体管阵列包括图案化的遮光层和图案化的源漏极层；

 设于所述低温多晶硅薄膜晶体管阵列上的图案化的平坦层；

 设于平坦层上的图案化的底部透明电极；

 设于底部透明电极上的图案化的钝化层；

10 设于钝化层上的图案化的顶部透明电极；

 所述源漏极层包括与底部透明电极相连接的第一走线，所述遮光层包括作为触控信号线的第二走线，所述第二走线与第一走线相连接。

2、如权利要求1所述的内嵌式触控阵列基板，其中，所述低温多晶硅薄膜晶体管阵列包括：

15 设于基板上的图案化的遮光层；

 设于基板和遮光层上的图案化的缓冲层；

 设于缓冲层上的图案化的多晶硅层；

 设于多晶硅层和缓冲层上的图案化的栅极绝缘层；

 设于栅极绝缘层上的图案化的栅极层；

20 设于栅极层上的图案化的层间介质层；

 设于层间介质层上的图案化的源漏极层。

3、如权利要求2所述的内嵌式触控阵列基板，其中，所述缓冲层设有接触孔，以用于第一走线连接第二走线。

4、如权利要求2所述的内嵌式触控阵列基板，其中，所述栅极绝缘层
25 设有过孔，以用于第一走线连接第二走线。

5、如权利要求2所述的内嵌式触控阵列基板，其中，所述层间介质层设有过孔，以用于第一走线连接第二走线。

6、如权利要求1所述的内嵌式触控阵列基板，其中，所述平坦层设有过孔，以用于底部透明电极连接第一走线。

30 7、如权利要求1所述的内嵌式触控阵列基板，其中，所述平坦层和钝化层分别设有过孔以用于所述顶部透明电极连接源漏极层。

8、如权利要求1所述的内嵌式触控阵列基板，其中，所述底部透明电极和顶部透明电极为氧化铟锡电极。

9、一种显示面板，包括：如权利要求 1 所述的内嵌式触控阵列基板。

10、一种内嵌式触控阵列基板的制造方法，包括：

在基板上形成遮光层，图案化遮光层，形成作为触控信号线的第二走线；

5 形成缓冲层及多晶硅层，图案化多晶硅层；

图案化缓冲层，形成用于第二走线连接第一走线的接触孔；

对多晶硅层进行沟道掺杂；

对多晶硅层进行 N 型离子重掺杂；

形成栅极绝缘层和栅极层，图案化栅极层和栅极绝缘层，栅极绝缘层

10 形成用于第二走线连接第一走线的过孔；

对多晶硅层进行 P 型离子重掺杂；

形成层间介质层并使其图案化，形成用于第二走线连接第一走线的过孔；

15 形成源漏极层并使其图案化，形成用于与底部透明电极相连接的第一走线；

形成平坦层并使其图案化，形成用于底部透明电极连接第一走线的过孔；

形成底部透明电极，并使其图案化；

形成钝化层，并使其图案化；

20 形成顶部透明电极，并使其图案化。

25

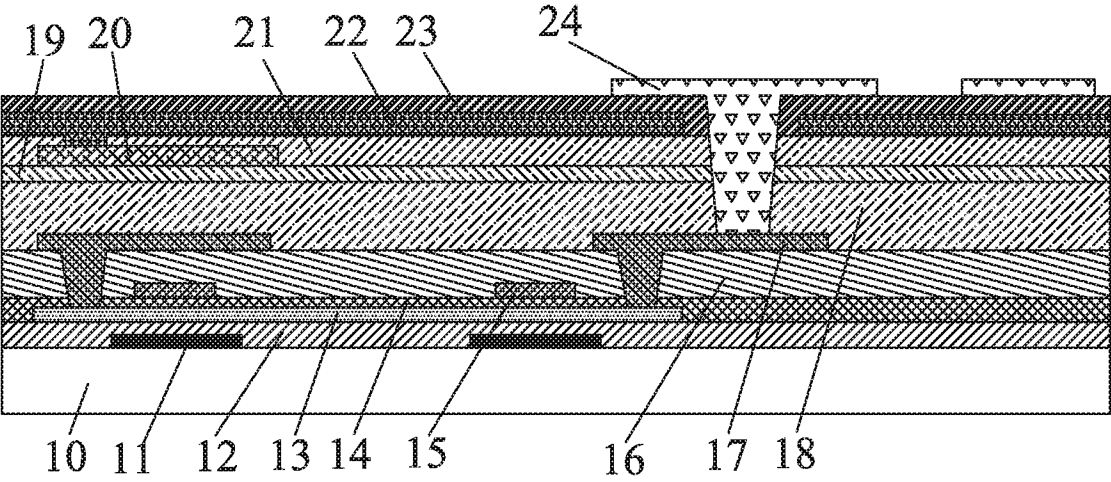


图1

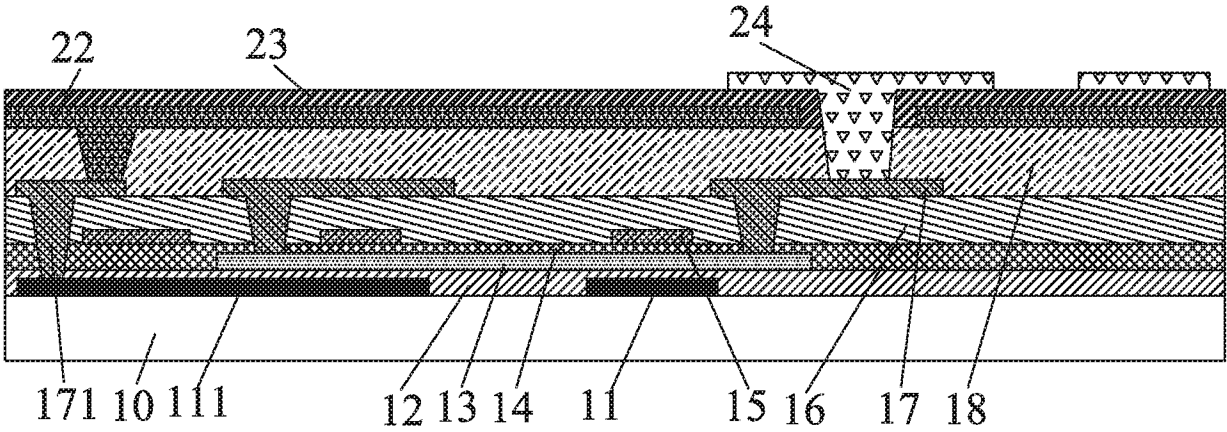


图2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/108082

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; G06F 3/041(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/1362(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L;G06F;G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; SIPOABS; CNABS; CNKI; IEEE: 触控, 阵列, 基板, 显示, 面板, 硅, 晶体管, 图案, 遮光, 源, 漏, 电极, touch, control, array, substrate, display, panel, silicon, transistor, pattern, shield, source, drain, electrode

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 108511465 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 September 2018 (2018-09-07) description, paragraphs [0064]-[0099], and figures 1-2	1-10
A	CN 106971980 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 21 July 2017 (2017-07-21) description, paragraphs [0045]-[0071], and figures 1-3	1-10
A	CN 107340929 A (WUHAN TIANMA MICRO-ELECTRONICS CO., LTD.) 10 November 2017 (2017-11-10) entire document	1-10
A	JP 2000267810 A (JAPAN AVIATION ELECTRON) 29 September 2000 (2000-09-29) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 November 2018

Date of mailing of the international search report

14 January 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/108082

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108511465	A	07 September 2018	None			
CN	106971980	A	21 July 2017	WO	2018176566	A1	04 October 2018
CN	107340929	A	10 November 2017	None			
JP	2000267810	A	29 September 2000	JP	3448704	B2	22 September 2003

国际检索报告

国际申请号

PCT/CN2018/108082

A. 主题的分类 H01L 27/12(2006.01)i; H01L 21/77(2017.01)i; G06F 3/041(2006.01)i; G02F 1/1333(2006.01)i; G02F 1/1362(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																	
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L;G06F;G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) DWPI;SIPOABS;CNABS;CNKI;IEEE:触控, 阵列, 基板, 显示, 面板, 硅, 晶体管, 图案, 遮光, 源, 漏, 电极, touch, control, array, substrate, display, panel, silicon, transistor, pattern, shield, source, drain, electrode																	
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 108511465 A (武汉华星光电技术有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第[0064]-[0099]段, 图1-2</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 106971980 A (武汉华星光电技术有限公司) 2017年 7月 21日 (2017 - 07 - 21) 说明书第[0045]-[0071]段, 图1-3</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 107340929 A (武汉天马微电子有限公司) 2017年 11月 10日 (2017 - 11 - 10) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2000267810 A (JAPAN AVIATION ELECTRON) 2000年 9月 29日 (2000 - 09 - 29) 全文</td> <td>1-10</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 108511465 A (武汉华星光电技术有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第[0064]-[0099]段, 图1-2	1-10	A	CN 106971980 A (武汉华星光电技术有限公司) 2017年 7月 21日 (2017 - 07 - 21) 说明书第[0045]-[0071]段, 图1-3	1-10	A	CN 107340929 A (武汉天马微电子有限公司) 2017年 11月 10日 (2017 - 11 - 10) 全文	1-10	A	JP 2000267810 A (JAPAN AVIATION ELECTRON) 2000年 9月 29日 (2000 - 09 - 29) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 108511465 A (武汉华星光电技术有限公司) 2018年 9月 7日 (2018 - 09 - 07) 说明书第[0064]-[0099]段, 图1-2	1-10															
A	CN 106971980 A (武汉华星光电技术有限公司) 2017年 7月 21日 (2017 - 07 - 21) 说明书第[0045]-[0071]段, 图1-3	1-10															
A	CN 107340929 A (武汉天马微电子有限公司) 2017年 11月 10日 (2017 - 11 - 10) 全文	1-10															
A	JP 2000267810 A (JAPAN AVIATION ELECTRON) 2000年 9月 29日 (2000 - 09 - 29) 全文	1-10															
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																	
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																	
国际检索实际完成的日期 2018年 11月 19日		国际检索报告邮寄日期 2019年 1月 14日															
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 章放 电话号码 62411844															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/108082

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108511465	A	2018年 9月 7日	无			
CN	106971980	A	2017年 7月 21日	WO	2018176566	A1	2018年 10月 4日
CN	107340929	A	2017年 11月 10日	无			
JP	2000267810	A	2000年 9月 29日	JP	3448704	B2	2003年 9月 22日