

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-191005

(P2012-191005A)

(43) 公開日 平成24年10月4日(2012.10.4)

(51) Int.Cl.

H01L 27/14

(2006.01)

F 1

H01L 27/14

テーマコード(参考)

D

4M118

審査請求 未請求 請求項の数 7 O L (全 20 頁)

(21) 出願番号

特願2011-53237 (P2011-53237)

(22) 出願日

平成23年3月10日 (2011.3.10)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100080160

弁理士 松尾 憲一郎

(74) 代理人 100149205

弁理士 市川 泰央

(72) 発明者 吉次 快

福岡県福岡市早良区百道浜2丁目3番2号

ソニーセミコンダクタ九州株式会社内

F ターム(参考) 4M118 AA05 AB01 BA14 CA04 CA32

CA34 EA01 EA14 FA25 FA26

GA02 GB09 GB11 GB17 GB19

GC07 GC08 GD04 GD07

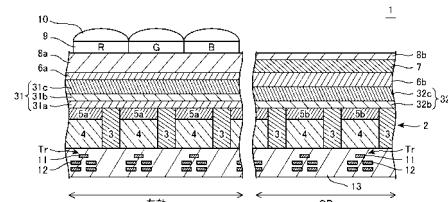
(54) 【発明の名称】 固体撮像素子、固体撮像素子の製造方法および撮像装置

(57) 【要約】

【課題】暗電流を抑制することができる固体撮像素子を提供する。

【解決手段】固体撮像素子は、光電変換が行われるフォトダイオードが形成された有効領域と、遮光膜により遮光された光学的黒領域とが形成された半導体基板と、前記有効領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第1の膜と、前記遮光領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第2の膜と、を備え、前記第1の膜が有する層の数が前記第2の膜が有する層の数と異なる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

光電変換が行われるフォトダイオードが形成された有効領域、および遮光膜により遮光された光学的黒領域が形成された半導体基板と、

前記有効領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第1の膜と、

前記遮光領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第2の膜と、を備え、

前記第1の膜が有する層の数が前記第2の膜が有する層の数と異なる
固体撮像素子。

10

【請求項 2】

前記第1の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、

前記第1層上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第2層と、

前記第2層上に、物理的気相成長を用いて形成された第3層と、を有し、

前記第2の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、

20

前記第1層上に、物理的気相成長を用いて形成された第2層と、を有する
請求項1に記載の固体撮像素子。

【請求項 3】

前記第1の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、

前記第1層上に、物理的気相成長を用いて形成された第2層と、有し、

前記第2の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、

30

前記第1層上に、物理的気相成長を用いて形成された第2層と、

前記第2層上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第3層と、を有する

請求項1に記載の固体撮像素子。

【請求項 4】

前記第1の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、

前記第1層上に、物理的気相成長を用いて形成された第2層と、

前記第2層上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第3層と、を有し、

40

前記第2の膜は、

前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層を有する

請求項1に記載の固体撮像素子。

【請求項 5】

前記第1の膜および前記第2の膜を構成する層は、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなる

請求項1～4のいずれか1項に記載の固体撮像素子。

50

【請求項 6】

半導体基板に、光電変換が行われるフォトダイオードが形成された有効領域および遮光膜により遮光された光学的黒領域を形成する工程と、

前記有効領域上に負の固定電荷を有する層が少なくとも1層以上積層された第1の膜を形成する工程と、

前記遮光領域上に、負の固定電荷を有する層が少なくとも1層以上積層され、前記第1の膜が有する層の数とは異なる数の層を有する第2の膜を形成する工程と、を有する

固体撮像素子の製造方法。

【請求項 7】

請求項1～5のいずれか1項に記載の固体撮像素子と、

10

前記固体撮像素子に被写体像を結像する光学系と、

前記固体撮像素子を駆動させる駆動パルスを生成する駆動部と、

前記固体撮像素子の出力画像信号を処理する信号処理回路と、を備える撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、固体撮像素子、固体撮像素子の製造方法および撮像装置に関する。

【背景技術】

【0002】

CCD(Charge Coupled Device)型やCMOS(Complementary Metal Oxide Semiconductor)型の固体撮像素子では、フォトダイオードにおける結晶欠陥や、半導体基板に形成された受光部とその上の絶縁層との界面における界面準位が、暗電流の原因となることが知られている。

20

【0003】

そこで、暗電流の発生を抑制する技術として、半導体基板の全面、例えば、受光画素領域(以下、「有効領域」という)および光学的黒領域(以下、「OB領域」という)上に、負の固定電荷を持つ膜を形成する技術が提案されている。この技術では、半導体基板上に負の固定電荷を持つ膜を形成し、受光部と絶縁層との界面付近に正電荷(ホール)を蓄積することで、界面準位に起因する暗電流の発生を抑制している。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-239116号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、界面準位に起因する暗電流は、有効領域とOB領域とでは、その案電流量が異なる。従って、上述した負の固定電荷を有する膜を半導体基板の全面に形成する場合には、全体的な暗電流量は低減するものの、有効領域とOB領域との暗電流差が発生し、いわゆるOB段差が発生することが問題となっている。

40

【0006】

かかる問題に鑑みて、本発明は、有効領域における暗電流と光学的黒領域における暗電流との差を小さくすることができ、いわゆるOB段差を改善することができる固体撮像素子、固体撮像素子の製造方法および撮像装置を提供するものである。

【課題を解決するための手段】

【0007】

そこで、本開示の固体撮像素子は、光電変換が行われるフォトダイオードが形成された有効領域と、遮光膜により遮光された光学的黒領域とが形成された半導体基板と、前記有効領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第1の膜と

50

、前記遮光領域上であって、負の固定電荷を有する層が少なくとも1層以上積層された第2の膜と、を備え、前記第1の膜が有する層の数が前記第2の膜が有する層の数と異なるものである。

【0008】

また、本開示の固体撮像素子においては、前記第1の膜は、前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、前記第1層上に、前記原子層蒸着法または前記有機金属化学的気相成長法を用いて形成された第2層と、前記第2層上に、物理的気相成長を用いて形成された第3層と、を有し、前記第2の膜は、前記半導体基板上に、前記原子層蒸着法または前記有機金属化学的気相成長法を用いて形成された第1層と、前記第1層上に、前記物理的気相成長を用いて形成された第2層と、を有するものである。

10

【0009】

また、本開示の固体撮像素子においては、前記第1の膜は、前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、前記第1層上に、物理的気相成長を用いて形成された第2層と、有し、前記第2の膜は、前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、前記第1層上に、物理的気相成長を用いて形成された第2層と、前記第2層上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第3層と、を有するものである。

【0010】

また、本開示の固体撮像素子においては、前記第1の膜は、前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層と、前記第1層上に、物理的気相成長を用いて形成された第2層と、前記第2層上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第3層と、を有し、前記第2の膜は、前記半導体基板上に、原子層蒸着法または有機金属化学的気相成長法を用いて形成された第1層を有するものである。

20

【0011】

また、本開示の固体撮像素子においては、前記第1の膜および前記第2の膜を構成する層は、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなるものである。

30

【0012】

また、本開示の固体撮像素子の製造方法は、半導体基板に、光電変換が行われるフォトダイオードが形成された有効領域および遮光膜により遮光された光学的黒領域を形成する工程と、前記有効領域上に負の固定電荷を有する層が少なくとも1層以上積層された第1の膜を形成する工程と、前記遮光領域上に、負の固定電荷を有する層が少なくとも1層以上積層され、前記第1の膜が有する層の数とは異なる数の層を有する第2の膜を形成する工程と、を有するものである。

【0013】

また、本開示の撮像装置は、前記固体撮像素子と、前記固体撮像素子に被写体像を結像する光学系と、前記固体撮像素子を駆動させる駆動パルスを生成する駆動部と、前記固体撮像素子の出力画像信号を処理する信号処理回路と、を備えるものである。

40

【発明の効果】

【0014】

本開示によれば、有効領域における暗電流と光学的黒領域における暗電流との差を小さくすることができ、いわゆるOB段差を改善することができる。

【図面の簡単な説明】

【0015】

【図1】本開示の実施形態に係る固体撮像素子の断面構造を示す図である。

【図2】負の固定電荷を有する膜の膜厚と暗電流量との関係図である。

【図3】本開示の実施形態に係る固体撮像素子の製造方法を示す図である。

【図4】本開示の実施形態に係る固体撮像素子を備えた撮像装置の構成を示す図である。

50

【図5】変形例1係る固体撮像素子の断面構造を示す図である。

【図6】変形例1係る固体撮像素子の製造方法を示す図である。

【図7】負の固定電荷を有する膜の膜厚と暗電流量との関係図である。

【図8】変形例2係る固体撮像素子の断面構造を示す図である。

【図9】変形例2係る固体撮像素子の製造方法を示す図である。

【図10】負の固定電荷を有する膜の膜厚と暗電流量との関係図である。

【発明を実施するための形態】

【0016】

本開示に係る固体撮像素子では、固体撮像素子の半導体基板におけるフォトダイオードが形成された有効領域上に、負の固定電荷を有する第1の膜（以下、「第1の膜」という）を形成し、遮光膜により遮光された光学的黒領域上に、第1の膜とは積層される層の数が異なる負の固定電荷を有する第2の膜（以下、「第2の膜」という）を形成する。

【0017】

第1の膜は、例えば、半導体基板上に形成された第1層と、この第1層上に形成された第2層と、この第2層上に形成された第3層とにより構成される。

【0018】

第1の膜を構成する第1層および第2層は、ALD (Atomic Layer Deposition；原子層蒸着) 法またはMOCVD (Metal Organic Chemical Vapor Deposition；有機金属化学的気相成長) 法を用いて形成する。また、第1の膜を構成する第3層は、PVD (Physical Vapor Deposition；物理的気相成長) 法により形成する。

【0019】

また、第2の膜は、例えば、半導体基板上に形成された第1層と、この第1層上に形成された第2層とにより構成される。第2の膜を構成する第1層は、ALD法またはMOCVD法を用いて形成する。また、第2の膜を構成する第2層は、PVD法により形成する。

【0020】

第1の膜および第2の膜を構成する層の材料としては、例えば、酸化ハフニウム (HfO_2)、酸化アルミニウム (Al_2O_3)、酸化ジルコン (ZrO_2)、酸化タンタル (Ta_2O_5) および酸化チタン (TiO_2) 等の酸化物が挙げられる。これらの酸化物の層は、絶縁ゲート型電界効果トランジスタのゲート絶縁膜等に用いられている実績があるため、形成方法が確立されており、容易に形成することができる。

【0021】

また、これらの材料のうち、特に、屈折率の比較的高い、酸化ハフニウム（屈折率2.05）、酸化タンタル（屈折率2.16）、酸化チタン（屈折率2.20）等を形成した場合には、反射防止効果をも得ることも可能になる。

【0022】

上記以外の材料としては、例えば、希土類元素の酸化物が挙げられる。即ち、ランタン、プラセオジム、セリウム、ネオジム、プロメチウム、サマリウム、ユウロピウム、ガドリニウム、テルビウム、ジスプロシウム、ホルミウム、エルビウム、ツリウム、イッテルビウム、ルテチウム、イットリウムの各酸化物が挙げられる。

さらにまた、窒化ハフニウム、窒化アルミニウム、酸窒化ハフニウム、酸窒化アルミニウムを使用することも可能である。

【0023】

負の固定電荷を有する第1層、第2層、第3層に、絶縁性を損なわない範囲で、層中にシリコン (Si) や窒素 (N) が添加されていてもよい。その場合、シリコンや窒素の濃度は、層の絶縁性が損なわれない範囲で適宜決定される。このように、シリコンや窒素が添加されることによって、各層の耐熱性やプロセスの中でのイオン注入の阻止能力を上げることが可能になる。

【0024】

第1の膜を構成する第1層および第2層、および第2の膜を構成する第1層は、上述の

10

20

30

40

50

とおり、ALD法またはMOCVD法を用いて形成する。ALD法により第1の膜を形成する場合には、例えば、基板温度が200～500、プリカーサの流量が10～500 sccm、プリカーサの照射時間が1～15秒、O₃の流量が5～50 sccmの条件とする。また、MOCVD法により第1の膜を形成する場合には、例えば、基板温度が200～600の条件とする。

【0025】

なお、半導体基板がシリコン層であり、その上に第1の膜を構成する第1層や第2の膜を構成する第1層をALD法により形成した場合には、同時に、シリコン層の表面に界面準位を低減する酸化シリコン膜を厚さ1nm程度形成することが可能になる。

【0026】

第1の膜を構成する第2層は、上述のとおり、ALD法またはMOCVD法を用いて形成する。ALD法により、第1の膜を構成する第2層を形成する場合には、例えば、基板温度が200～500、プリカーサの流量が10～500 sccm、プリカーサの照射時間が1～15秒、O₃の流量が5～50 sccmの条件とする。また、MOCVD法により、第1の膜を構成する第2層を形成する場合には、例えば、基板温度が200～600の条件とする。

【0027】

また、第1の膜を構成する第3層および第2の膜を構成する第2層は、上述のとおり、PVD法を用いて形成する。PVD法により、第1の膜を構成する第3層、および第2の膜を構成する第2層を形成する際には、例えば、圧力が0.01～50Pa、パワーが500～2000W、Arの流量が5～50 sccm、O₂の流量が5～50 sccmの条件とする。

【0028】

PVD法により、第1の膜を構成する第3層、および第2の膜を構成する第2層を形成するので、ALD法やMOCVD法と比較して形成速度が速くなり、比較的短い時間で、ある程度厚い膜を形成することが可能になる。

【0029】

第1の膜を構成する第2層の膜厚、および第2の膜を構成する第1層の膜厚は、特に限定されないが、第1の膜を構成する第3層、および第2の膜を構成する第2層をPVD法により形成する際に半導体基板にダメージを与えることがないように、第1の膜を構成する第2層、および第2の膜を構成する第1層にはある程度以上の厚さが必要である。好ましくは、第1の膜の膜厚を1nm以上とする。

また、第1の膜を構成する第2層、および第2の膜を構成する第1層は、ALD法またはMOCVD法によって形成するため、厚く形成するには時間がかかる。そのため、第1の膜を構成する第2層および第2の膜を構成する第1層の厚さは、5nm程度以下とすることが好ましい。

【0030】

本開示に係る固体撮像素子では、有効領域上にて第1層上に第2層を形成し、さらに、第2層上に第3層を形成する第1の膜を備えているため、3つの層を合わせて、充分な負バイアス効果が得られる。また、OB領域上にて第1層上に第2層を形成する第2の膜を備えているため、2つの層を合わせて、充分な負バイアス効果が得られる。

【0031】

特に、有効領域における第1の膜と、OB領域における第2の膜との膜構造を異なるようにしたため、有効領域における暗電流とOB領域における暗電流の差を小さくして、いわゆるOB段差を改善することができる。また、暗電流量の負の固定電荷を有する膜厚依存性により、各固体撮像素子の暗電流量に合わせて膜厚を調整することでOB段差を調整することもできる。

【0032】

また、有効領域における第1の膜とOB領域における第2の膜の膜厚を個別に変更することができるため、第1の膜側から受光する場合では、受光画素部は負の固定電荷を有す

る膜を反射防止膜としての最適膜厚を選択できる。

【0033】

また、O B 領域においては、光の入射を考慮する必要がないため反射防止膜的な効果から離れ暗電流改善のみで第2の膜の膜厚を調整することができる。

【0034】

また、第1の膜を構成する第2層および第2の膜を構成する第1層をA L D法またはM O C V D法を用いて形成するので、第1の膜を構成する第2層および第2の膜を構成する第1層を形成する際に半導体基板にダメージを与えないようにすることができる。

【0035】

上述したように、本開示によれば、第1の膜の膜厚と、第2の膜の膜厚とを個別に調整することができる。これにより、第1の膜の膜厚を、反射防止膜としての機能を発揮する最適な膜厚にすることができる。

10 【0036】

さらに、光学的黒領域には光が入射しないため、第2の膜が反射防止膜としての機能を有する必要がないため、暗電流を改善するための最適な膜厚にすることができる。

【0037】

以下に、本開示の実施形態に係る固体撮像素子について、図面を参照して説明する。各図において、同一の構成要素には同一の符号を付してある。なお、説明は以下の順序で行う。

- 1. 固体撮像素子の構成
- 2. 固体撮像素子の製造方法
- 3. 撮像装置の構成等
- 4. その他の固体撮像素子の構成及び製造方法

20

【0038】

〔1. 固体撮像素子の構成〕

まず、本実施形態に係る固体撮像素子1の構成について、図1を参照して説明する。図1は、本実施形態に係る固体撮像素子の断面構造を示す図である。なお、本実施形態では、本発明を、いわゆる裏面照射型のC M O S固体撮像素子(C M O Sイメージセンサ)に適用した例について説明する。

30

【0039】

固体撮像素子1は、半導体基板2における有効領域21およびO B領域22に、入射光を光電変換する受光部として、フォトダイオードとなる電荷蓄積領域4が、N型の不純物領域によって形成されている。この電荷蓄積領域4の表面には、正電荷蓄積領域5が形成されており、これら電荷蓄積領域4および正電荷蓄積領域5によって、H A D(Hole-Accumulation Diode sensor)構造が構成されている。なお、それぞれの電荷蓄積領域4および正電荷蓄積領域5は、素子分離領域3により分離されている。

40

【0040】

半導体基板2の表面側においては、半導体基板2の電荷蓄積領域4の下方に、M O SトランジスタT rのゲート電極11が形成され、さらに下方に金属配線による配線層12が形成されている。

40

【0041】

ゲート電極11および各層の配線層12の間は、層間の絶縁層13によって絶縁されている。なお、絶縁層13は、図示しないが、下方に設けられる支持基板等によって支持されている。

【0042】

電荷蓄積領域4を有するフォトダイオードによって、それぞれの画素が構成される。各画素には、図示のM O Sトランジスタ(この場合は、電荷蓄積領域4に蓄積した電荷を読み出し・転送する転送トランジスタ)T rを含む、1個以上のトランジスタを有して構成される。

50

【0043】

各画素の電荷蓄積領域4の間は、P型の素子分離領域3により分離されている。なお、図示しないが、電荷蓄積領域4のMOSトランジスタTrのゲート電極11側の界面に、p+半導体領域を形成して、絶縁層13との界面における暗電流の発生を抑制することが好ましい。

【0044】

半導体基板2の裏面側において、有効領域21の上層には、負の固定電荷を有する第1の膜(以下、「第1の膜」という)31が形成されている。この第1の膜31は、半導体基板2上に形成された第1層31aと、この第1層31a上に形成された第2層31bと、この第2層31b上に形成された第3層31cとが積層された構成を有する。

【0045】

第1層31aは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜を有し、ALD法またはMOCVD法により形成される。

【0046】

また、第2層31bは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜を有し、ALD法またはMOCVD法により形成される。

第1層31a、第2層31bは、いずれもALD法又はMOCVD法で形成されるため、第1層31a、第2層31bをあわせてALD層とも称する。

【0047】

また、第3層31cは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜を有し、PVD法により形成される。従って、第3層31cをPVD層とも称する。

【0048】

このように、有効領域21の上層に負の固定電荷を有する第1層31a、第2層31b、第3層31cが積層された第1の膜31を形成している。第1の膜31の中の負の固定電荷によって、電荷蓄積領域4の表面に電界が加わり、電荷蓄積領域4の表面に正電荷蓄積領域5が形成される。これにより、電荷蓄積領域4の表面にイオン注入をしなくても、正電荷蓄積領域5を形成することが可能になる。

【0049】

第1の膜31上には、例えば酸化シリコン(SiO₂)膜からなる絶縁膜6aが形成されており、この絶縁膜6aの上には、平坦化膜8aが形成されている。また、平坦化膜8aの上には、画素毎に、対応する色(赤R、緑G、青B)のカラーフィルタ9が形成されており、各カラーフィルタ9の上には、それぞれ、集光のためのオンチップレンズ10が設けられている。

【0050】

OB領域22の上層には、負の固定電荷を有する第2の膜(以下、「第2の膜」という)32が形成されている。この第2の膜32は、半導体基板2上に形成された第1層32bと、この第1層32b上に形成された第2層32cとが積層された構成を有する。

【0051】

第1層32bは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜を有し、ALD法またはMOCVD法により形成される。従って、第1層32bをALD層とも称する。

【0052】

第2層32cは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜を有し、PVD法により形成される。従って、第2層32cをPVD層とも称する。

【0053】

このように、OB領域22の上層に、負の固定電荷を有する第1層32b及び第2層32cが積層された第2の膜32を形成しているため、この第2の膜32の中の負の固定電

10

20

30

40

50

荷によって、電荷蓄積領域4の表面に電界が加わり、電荷蓄積領域4の表面に正電荷蓄積領域5が形成される。これにより、電荷蓄積領域4の表面にイオン注入をしなくても、正電荷蓄積領域5を形成することが可能になる。

【0054】

第2の膜32上には、例えば酸化シリコン膜からなる絶縁膜6bが形成されており、この絶縁膜6bの上には、OB領域22を覆うように、遮光膜7が形成されている。この遮光膜7によって、フォトダイオードに光が入らない領域（図示しないオプティカルブラック領域）を作り、そのフォトダイオードの出力によって画像での黒レベルを決定することができる。

【0055】

上述したように、第1の膜31は3層の積層構造であり、第2の膜32は2層の積層構造である。このように、固体撮像素子1は、第1の膜31が有する層の数が第2の膜32が有する層の数と異なる。本実施形態では、第1の膜31が有する層の数は、第2の膜32が有する層の数より多く、第1の膜31の膜厚が第2の膜32の膜厚より厚くなっている。ただし、第1の膜31の膜厚と第2の膜32の膜厚の差（段差）は数nm程度である。この程度の段差は、後述するように第1の膜31及び第2の膜32上に絶縁膜6や平坦化膜8を形成することで吸収することができるため、固体撮像素子1のカラーフィルタ9などを平らな膜上に形成することができる。

【0056】

絶縁膜6bおよび遮光膜7を覆って、平坦化膜8bが形成されている。

10

【0057】

本実施の形態の固体撮像素子1は、図1の上方から光が入射されると、フォトダイオードの電荷蓄積領域4において光を信号電荷に変換する光電変換が生じるため、入射光を受光検出することができる。そして、固体撮像素子1は、フォトダイオードが形成された半導体基板2から見て、下層にある配線層12の側（表面側）とは反対側（裏面側）の上層から光を入射させる、いわゆる裏面照射型構造となっている。

【0058】

特に、固体撮像素子1では、有効領域21上に第1の膜31を形成し、OB領域22上に第2の膜32を形成しているため、有効領域21における暗電流の低減と、OB領域22における暗電流の低減を個別に行うことができる。これにより、図7に示すように、有効領域21とOB領域22における暗電流量差を低減することができ、いわゆるOB段差の発生を抑制することができる。

30

【0059】

本実施の形態の固体撮像素子1においては、特に、有効領域21における第1の膜31が、第1層31aと、その上の第2層31bと、その上の第3層31cとの3層の積層構造となっている。また、OB領域22における第2の膜32が、第1層32bと、その上の第2層32cとの2層の積層構造となっている。

【0060】

第1の膜31では、第1層31aおよび第2層31bはALD法またはMOCVD法により形成し、第3層31cはPVD法により形成する。また、第2の膜32では、第1層32bはALD法またはMOCVD法により形成し、第2層32cはPVD法により形成する。

40

【0061】

これら第1の膜31を構成する第1層31a、第2層31bおよび第3層31cの材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか一つの酸化物を使用することが可能である。また、上述した、窒化物や酸窒化物、希土類元素の酸化物等も、使用することが可能である。

【0062】

また、第2の膜32を構成する第1層32bおよび第2層32cの材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタン

50

のうちいずれか1つの酸化物を使用することが可能である。また、上述した、窒化物や酸窒化物、希土類元素の酸化物等も、使用することが可能である。

【0063】

半導体基板2の上層に、第1の膜31および第2の膜32を設けたことにより、界面付近に正電荷(ホール)が蓄積されるようにすることができる。なお、特に、第1の膜31として、屈折率の比較的高い、酸化ハフニウム膜、酸化タンタル膜および酸化チタン等の酸化膜を形成した場合には、反射防止効果を得ることも可能になる。

【0064】

図2に上述した負の固定電荷を有する膜31,32の膜厚に対する暗電流の関係を示す。図2(a)は、ALD層の厚さと暗電流の関係を示す図であり、図2(b)、(c)は、PVD層の厚さと暗電流の関係を示す図である。図2(b)、(c)に示すように暗電流は、PVD層の膜厚には大きく依存せず、図2(a)に示すように、暗電流は、ALD層の厚さに依存する。

10

【0065】

図2(a)に示すように、有効領域における暗電流は、OB領域における暗電流よりも大きい。また、第1の膜31および第2の膜32とともにALD層の厚さを薄くすることで、暗電流は減少する。これまでの固体撮像素子は、有効領域及びOB領域のALD層の厚さが等しくなるように半導体基板2上に膜が形成されていた。従って、有効領域とOB領域の暗電流の差(OB段差)は一定以上発生し、膜厚が大きくなるほどその差が大きくなっていた。

20

一方、本実施形態の固体撮像素子1は、暗電流が大きい有効領域のALD層の厚さを、OB領域のALD層より厚くしている。そのため、有効領域における暗電流と、OB領域における暗電流との暗電流差が減少する。

【0066】

[2. 固体撮像素子の製造方法]

次に、本実施の形態の固体撮像素子1の製造方法について説明する。図3は固体撮像素子1の製造方法を示す図である。なお、以下の説明は、有効領域21の半導体基板2内に電荷蓄積領域4が形成されており、MOSトランジスタTrのゲート電極11および配線層12が形成されている状態から始めることとする。

30

【0067】

まず、図3(a)に示すように、ALD法またはMOCVD法により、半導体基板2の有効領域21およびOB領域22上に、負の固定電荷を有する膜33として酸化ハフニウム膜を形成する。なお、負の固定電荷を有する膜33aの材料としては、上述した酸化ハフニウム以外にも、例えば、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物を用いることができる。

40

【0068】

ALD法で形成する場合の形成条件は、例えば、形成基板温度200~500、プリカーサ流量が10~500sccm、照射時間1~15秒、O₃流量10~500sccm、とする。また、負の固定電荷を有する膜33aの膜厚は、好ましくは1nm以上である。

40

【0069】

次に、図3(b)に示すように、有効領域21における負の固定電荷を有する膜33a上にレジスト40を形成した後、ウェットエッチングによりレジスト40および露出している負の固定電荷を有する膜33aを除去する。これにより、図3(c)に示すように、半導体基板2の有効領域21上に、第1の膜31を構成する第1層31aを形成する。

【0070】

次に、図3(d)に示すように、ALD法またはMOCVD法により、第1層31aおよびOB領域22上に、負の固定電荷を有する膜34として酸化ハフニウム膜を形成する。これにより、第1層31a上に第2層31bを形成し、OB領域22上に第2の膜32の第1層32bを形成する。なお、負の固定電荷を有する膜34の材料としては、上述し

50

た酸化ハフニウム以外にも、例えば、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物を用いることができる。

【0071】

なお、ALD法で形成する場合の形成条件は、例えば、形成基板温度200～500、プリカーサ流量が10～500sccm、照射時間1～15秒、O₃流量10～500sccm、とする。

【0072】

次に、図3(e)に示すように、PVD法により、第1の膜31の第2層31bおよび第2の膜32の第1層32b上に、負の固定電荷を有する膜35として酸化タンタル膜を形成する。これにより、第2層31b上に第3層31cを形成し、第1層32b上に第2層32cを形成する。なお、負の固定電荷を有する膜35の材料としては、上述した酸化タンタル以外にも、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコンおよび酸化チタンのうちいずれか1つの酸化物を用いることができる。

【0073】

なお、PVD法で形成する際の形成条件は、例えば、圧力0.01～50Pa、DCパワー500～2000W、Ar流量5～50sccm、O₂流量5～50sccmとする。

【0074】

上述した図3(a)～図3(e)に示す工程により、本実施形態の固体撮像素子1の特徴的な構成である第1の膜31および第2の膜32を形成する。このように、第1の膜31の第2層31bと第2の膜32の第1層32bは、膜34を形成することで一体として形成される。また第1の膜31の第3層31cと第2の膜32の第2層32cは、膜35を形成することで一体として形成される。

【0075】

次に、図示を省略するが、PVD法により、第1の膜31および第2の膜32上に酸化シリコンからなる絶縁膜6を形成する。具体的には、第1の膜31の第3層31c上に絶縁膜6aを形成し、第2の膜32の第2層32c上に絶縁膜6bを形成する。

【0076】

なお、OB領域22において、絶縁膜6bを形成することにより、後の遮光膜7のエッティングの際に、第2の膜32の第2層32cの表面を直接エッティングに晒すことを防ぐことが可能になる。また、第2の膜32の第2層32cと遮光膜7を直接接触させることに起因した、第2の膜32の第2層32cと遮光膜7との反応を、抑制することが可能になる。

【0077】

次に、図示を省略するが、絶縁膜6b上に遮光膜7を形成する。具体的には、PVD法により、絶縁膜6(6a, 6b)上に遮光膜7となる金属膜を形成する。続いて、絶縁膜6a上の金属膜上にレジストを形成した後、エッティングによりレジストおよび露出している金属膜を除去する。これにより、絶縁膜6b上に遮光膜7を形成する。

【0078】

次に、図示を省略するが、塗布法により、絶縁膜6aおよび遮光膜7を覆うように平坦化膜8としての酸化シリコン膜を形成する。この平坦化膜8を充分な厚さに形成することにより、遮光膜7による段差をなくして、表面を平坦化することができる。

【0079】

最後に、図示を省略するが、有効領域21における平坦化膜8上、すなわち、各画素のフォトダイオードの上方に、カラーフィルタ9およびオンチップレンズ10を順次形成する。なお、カラーフィルタ9とオンチップレンズ10との間に、レンズ加工の際のカラーフィルタ9への加工ダメージを防止するために、光透過性の絶縁膜(図示せず)を形成してもよい。

【0080】

上述した工程により、図1に示した固体撮像素子1が製造される。このように、本実施

10

20

30

40

50

形態の固体撮像素子の製造方法では、有効領域 2 1 上に第 1 の膜 3 1 を形成することで有効領域 2 1 における電荷蓄積領域 4 の表面に正電荷蓄積領域 5 a が形成される。この正電荷蓄積領域 5 a により、有効領域 2 1 における電荷蓄積領域 4 の表面における暗電流の発生が抑制される。

【 0 0 8 1 】

また、O B 領域 2 2 上に第 2 の膜 3 2 を形成することで O B 領域 2 2 における電荷蓄積領域 4 の表面に正電荷蓄積領域 5 b が形成される。この正電荷蓄積領域 5 b により、O B 領域 2 2 における電荷蓄積領域 4 の表面における暗電流の発生が抑制される。

【 0 0 8 2 】

しかも、固体撮像素子 1 では、第 1 の膜 3 1 および第 2 の膜 3 2 を個別に形成し、互いに異なる膜構成および膜厚としているため、有効領域 2 1 と O B 領域 2 2 において異なる暗電流量の差を小さくすることができる。これにより、いわゆる O B 段差を改善することができる。

【 0 0 8 3 】

さらに、第 1 の膜 3 1 および第 2 の膜 3 2 を個別に形成することで、有効領域における第 1 の膜を反射防止膜としての最適な膜構造および膜厚とすることができます。また、O B 領域においては光の入射を考慮する必要がないため、第 2 の膜 3 2 を暗電流改善に特化した膜構成とすることができます。

【 0 0 8 4 】

第 1 の膜 3 1 は、第 1 層 3 1 a、第 2 層 3 1 b および第 3 層 3 1 c の 3 つの膜を合わせて充分な負バイアス効果が得られる。また、第 2 の膜 3 2 は、第 1 層 3 2 b および第 2 層 3 2 c の 2 つの膜を合わせて充分な負バイアス効果が得られる。これらの膜の負の固定電荷によって、界面付近に正電荷蓄積領域 5 a を形成して、正電荷（ホール）が蓄積されるようにして、界面準位に起因する暗電流の発生を抑制することができる。

【 0 0 8 5 】

従って、本実施の形態により、充分な大きさの負バイアス効果により、界面準位に起因する暗電流の発生を抑制することができ、暗電流を生じることなく安定して動作する、高い信頼性を有する固体撮像素子 1 を実現することができる。

【 0 0 8 6 】

上述の実施の形態では、C M O S 固体撮像素子に本発明を適用した場合であったが、本発明は、その他の構成の固体撮像素子にも適用することができる。例えば、C C D 固体撮像素子においても、本発明を適用して、受光部上に、プラズマを用いて形成した酸化シリコン膜および負の固定電荷を有する膜を形成することにより、界面準位に起因する暗電流の発生を抑制することができる。

【 0 0 8 7 】

また、上述の実施の形態では、裏面照射型構造の固体撮像素子に本発明を適用した場合であった。本発明は、フォトダイオードが形成された半導体基板における光が入射する側に配線層や転送電極を形成した、いわゆる表面照射型構造の固体撮像素子にも適用することができる。

【 0 0 8 8 】

〔 3 . 撮像装置の構成等 〕

以下、このように構成された固体撮像素子 1 を備えた撮像装置について説明する。図 4 は上記固体撮像素子 1 を備えた撮像装置の構成を示す図である。なお、この撮像装置 9 0 としては、例えば、ビデオカメラ、デジタルスチルカメラ、携帯電話のカメラ等が挙げられる。

【 0 0 8 9 】

図 4 に示すように、撮像装置 9 0 は、光学ブロック 9 1、固体撮像素子 1、A / D (アナログ / デジタル) 変換回路 9 2、信号処理回路 9 3、制御部であるシステムコントローラ 9 4、入力部 9 5 を具備する。また、この撮像装置 9 0 には、光学ブロック 9 1 内の機構を駆動するためのドライバ 9 6、固体撮像素子 1 を駆動させる駆動パルスを生成する駆

10

20

30

40

50

動部としてのタイミングジェネレータ（以下、「TG」という）97などが設けられる。

【0090】

光学ブロック91は、被写体からの光を固体撮像素子1へ集光するためのレンズ、レンズを移動させてフォーカス合わせやズーミングを行うための駆動機構、メカシャッタ、絞りなどを具備している。ドライバ96は、システムコントローラ94からの制御信号に応じて、光学ブロック91内の機構の駆動を制御する。

【0091】

固体撮像素子1は、TG97により生成された駆動パルスに基づいて駆動され、被写体からの入射光を電気信号に変換する。TG97は、システムコントローラ94の制御の下で駆動パルスを生成する。

10

【0092】

A/D変換回路92は、固体撮像素子1から出力された画像信号をA/D変換してデジタル画像信号を出力する。

【0093】

信号処理回路93は、A/D変換回路92からのデジタル画像信号に対するAF（Auto Focus）、AE（Auto Exposure）、欠陥画素の補間処理などの各種カメラ信号処理を実行する。

20

【0094】

システムコントローラ94は、例えば、CPU（Central Processing Unit）、ROM（Read Only Memory）、RAM（Random Access Memory）などから構成される。CPUはROMなどに記憶されたプログラムを実行することにより、この撮像装置の各部を統括的に制御し、また、その制御のための各種演算を実行する。入力部95は、ユーザの操作入力を受け付ける操作キー、ダイアル、レバーなどを含み、操作入力に応じた制御信号をシステムコントローラ94に出力する。

20

【0095】

この撮像装置90では、固体撮像素子1で受光され、光電変換された信号電荷に応じた画像信号が、順次A/D変換回路92に供給されてデジタル信号に変換され、信号処理回路93により画質補正処理され、最終的に輝度信号と色差信号とに変換して出力される。信号処理回路93から出力された画像データは、図示しないグラフィックインターフェース回路に供給されて表示用の画像信号に変換され、これにより図示しないモニタにカメラスルー画像が表示される。

30

【0096】

〔4. その他の固体撮像素子の構成及び製造方法〕

以下、固体撮像素子の変形例について説明する。

【0097】

（変形例1）

まず、第1変形例に係る固体撮像素子1Aについて図5を参照して説明する。図5は、変形例1に係る固体撮像素子1Aの断面構造を示す図である。本変形例に係る固体撮像素子1Aは、上述した固体撮像素子1に対して負の固定電荷を有する第1の膜および第2の膜の膜構成を異ならせたものである。なお、以下の説明では、図1に示した固体撮像素子1と同一の構成要素については、同一の符号を付して説明する。

40

【0098】

図5に示すように、固体撮像素子1Aは、半導体基板2の有効領域21上に第1の膜51が形成され、OB領域22上に第2の膜52が形成されている。

【0099】

第1の膜51は、半導体基板2上に形成された第1層51aと、この第1層51a上に形成された第2層51bとが積層された構成を有する。

【0100】

第1層51aは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、PVD法に

50

より形成される。

【0101】

また、第2層51bは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

【0102】

また、第2の膜52は、半導体基板2上に形成された第1層52cと、第1層51c上に形成された第2層52aと、第2層51a上に形成された第3層52bとが積層された構成を有する。

【0103】

第1層52cは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

10

【0104】

また、第2層52aは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、PVD法により形成される。

【0105】

また、第3層52bは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

20

上述したように、第1の膜51は2層の積層構造であり、第2の膜52は3層の積層構造である。このように、固体撮像素子1Aは、第1の膜51が有する層の数が第2の膜52が有する層の数と異なる。本実施形態では、第1の膜51が有する層の数は、第2の膜52が有する層の数より少なくなっている。

【0106】

次に、本実施の形態の固体撮像素子1Aの製造方法について説明する。図6は固体撮像素子1Aの製造方法を示す図である。ここでは、本変形例の固体撮像素子1Aの製造方法の特徴的な構成である、第1の膜51および第2の膜52を形成する工程について説明し、その他の構成については同一符号を付して説明を省略する。

30

【0107】

まず、図6(a)に示すように、ALD法またはMOCVD法により、半導体基板2の有効領域21およびOB領域22上に、負の固定電荷を有する膜53aを形成する。この負の固定電荷を有する膜53aの材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物が挙げられる。

【0108】

次に、図6(b)に示すように、OB領域22上に形成された負の固定電荷を有する膜53a上にレジスト40を形成した後、ウェットエッティングする。これにより、図6(c)に示すように、有効領域21上に形成された負の固定電荷を有する膜53を選択的に除去し、OB領域22上に第2の膜52の第1層52cを形成する。

40

【0109】

次に、図6(d)に示すように、PVD法により、有効領域21における半導体基板2および第2の膜52の第1層52c上に、負の固定電荷を有する膜54を形成する。これにより、有効領域21における半導体基板2上に第1の膜51の第1層51aを形成し、第2の膜52の第1層52c上に第2層52aを形成する。負の固定電荷を有する膜54の材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物が挙げられる。

【0110】

なお、PVD法で形成する際の形成条件は、例えば、圧力0.01~50Pa、DCパ

50

ワード 500 ~ 2000W、Ar 流量 5 ~ 50 sccm、O₂ 流量 5 ~ 50 sccm とする。

【0111】

次に、図 6 (e) に示すように、ALD 法または MOCVD 法により、負の固定電荷を有する膜 54 上に、負の固定電荷を有する膜 55 を形成する。これにより、第 1 の膜 51 の第 1 層 51a 上に第 2 層 51b を形成し、第 2 の膜 52 の第 2 層 52a 上に第 3 層 52b を形成する。負の固定電荷を有する膜 55 の材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか 1 つの酸化物が挙げられる。

【0112】

ALD 法で形成する場合の形成条件は、例えば、形成基板温度 200 ~ 500、プリカーサ流量が 10 ~ 500 sccm、照射時間 1 ~ 15 秒、O₃ 流量 10 ~ 500 sccm、とする。第 1 の膜の膜厚は、好ましくは 1 nm 以上である。なお、第 1 の膜を ALD 法により形成した場合には、同時に、半導体基板 2 の表面に、酸化シリコン膜（厚さ 1 nm 程度）が形成されることがある。

【0113】

第 1 層 51a 上に第 2 層 51b を形成することによって、2 層 51a, 51b が積層された第 1 の膜 51 が構成される。この第 1 の膜 51 によって、有効領域 21 における電荷蓄積領域 4 の表面に正電荷蓄積領域 5a が形成される。

【0114】

また、第 1 層 52c 上に第 2 層 52a を形成し、この第 2 層 52b 上に第 3 層 52b を形成することによって、3 層 52c, 52a, 52b が積層された第 2 の膜 52 が構成される。この第 2 の膜 52 によって、OB 領域 22 における電荷蓄積領域 4 の表面に正電荷蓄積領域 5b が形成される。

【0115】

第 1 の膜 51 の第 1 層 31a と第 2 の膜 52 の第 2 層 52a は、膜 54 を形成することで一体として形成される。また第 1 の膜 51 の第 2 層 51b と第 2 の膜 52 の第 3 層 52b は、膜 55 を形成することで一体として形成される。

【0116】

次に、上述した工程と同様の工程により、絶縁膜 6、遮光膜 7、平坦化膜 8、カラーフィルタ 9 およびオンチップレンズ 10 を形成し、図 5 に示した固体撮像素子 1A を製造することができる。

【0117】

図 7 に第 2 の膜 52 を第 1 層 52c と第 2 層 52b で形成した場合、及び第 2 の膜 52 を本実施形態のように第 1 乃至第 3 層 52c ~ 52a で形成した場合の、第 2 の膜 52 に対する暗電流量を示す。図 7 に示すように、第 2 の膜 52 を第 1 乃至第 3 層 52c ~ 52a の 3 層で形成した方が、OB 領域における暗電流量が少ないことがわかる。

【0118】

一方、有効領域では、半導体基板 2 と PVD 法により成膜した第 1 層 51a とが接しているため、第 1 の膜 51 を ALD 法などで成膜した層の上に PVD 法により成膜した層を積層する場合に比べ暗電流量が増加する。これは、ALD 法などで成膜した層に比べ PVD 法で成膜した層は緻密さに劣るため、負の固定電荷を阻害する物質、例えば水素などが侵入しやすいからである。有効領域では、PVD 法で成膜した層が半導体基板 2 の界面に近いところに形成されるため、半導体基板 2 上に ALD 法で成膜した層を積層する場合に比べて暗電流量が増加する。

【0119】

有効領域に比べ OB 領域では暗電流が多く発生する。そこで本変形例の固体撮像素子 1A では、第 1 の膜 51 を形成することで有効領域に発生する暗電流量を増やし、第 2 の膜 52 を形成することで OB 領域に発生する暗電流量を減らしている。これにより、有効領域と OB 領域とで発生する暗電流量の差（OB 段差）を小さくすることができる。

10

20

30

40

50

【0120】

また、PVD法で成膜された第1の膜51の第1層51a及び第2の膜52の第2層52b上に、第1の膜51の第2層52b及び第2の膜52の第3層52aをALD法などで成膜することで、外部から水素などの負の固定電荷を阻害する物質の侵入を抑制することができる。これは、上述したようにALD法などで成膜された層は、PVD法で成膜された層より緻密であり、外部から物質が侵入しにくいためである。

【0121】

なお、本変形例の第1の膜51の第1層51aと第2層51bとを入れ替えてよい。この場合、半導体基板2上にALD法またはMOCVD法により第2層51bを成膜し、第2層51b上にPVD法により第1層51aを成膜する。第2層51bは、第2の膜52の第1層52cと一緒に形成してもよい。

10

【0122】

(変形例2)

次に、第2変形例の固体撮像素子1Bについて説明する。図8は、第3の実施形態に係る固体撮像素子の構成を示す図である。本実施形態に係る固体撮像素子1Bは、上述した固体撮像素子1Bの負の固定電荷を有する膜の膜構成を変えたものであり、その他の構成については同一符号を付して説明を省略する。

【0123】

図8に示すように、固体撮像素子1Bは、半導体基板2の有効領域21上に第1の膜61を備え、OB領域22上に第2の膜62を備えている。

20

【0124】

第1の膜61は、半導体基板2上に形成された第1層61aと、この第1層61a上に形成された第2層61bと、この第2層61b上に形成された第3層61cとが積層された構成を有する。

【0125】

第1層61aは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

【0126】

また、第2層61bは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、PVD法により形成される。

30

【0127】

また、第3層61cは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

【0128】

上第2の膜62は、半導体基板2上に形成された第1層62cを有する。この第1層62cは、例えば、酸化ハフニウム膜、酸化アルミニウム膜、酸化ジルコニウム膜、酸化タンタル膜および酸化チタン膜のうちいずれかの1つの膜からなり、ALD法またはMOCVD法により形成される。

40

【0129】

次に、図9を参照して上記固体撮像素子1Bの製造方法について説明する。ここでは、本変形例の固体撮像素子1Bの特徴的な構成である第1の膜61および第2の膜62を形成する工程について説明し、その他の工程については説明を省略する。

【0130】

まず、図9(a)に示すように、ALD法またはMOCVD法により、半導体基板2の有効領域21およびOB領域22上に、負の固定電荷を有する膜63を形成する。この負の固定電荷を有する膜63の材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物が挙げられ

50

る。

【0131】

ALD法で形成する場合の形成条件は、例えば、形成基板温度200～500、プリカーサ流量が10～500sccm、照射時間1～15秒、O₃流量10～500sccm、とする。第1の膜の膜厚は、好ましくは1nm以上である。なお、第1の膜をALD法により形成した場合には、同時に、半導体基板2の表面に、酸化シリコン膜（厚さ1nm程度）が形成されることがある。

【0132】

次に、図9(b)に示すように、PVD法により、負の固定電荷を有する膜63上に負の固定電荷を有する膜64を形成する。負の固定電荷を有する膜64の材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物が挙げられる。

【0133】

なお、PVD法で形成する際の形成条件は、例えば、圧力0.01～50Pa、DCパワー500～2000W、Ar流量5～50sccm、O₂流量5～50sccmとする。

【0134】

次に、図9(c)に示すように、有効領域21上に形成された負の固定電荷を有する膜64上にレジスト40を形成した後、ウェットエッチングすることにより、OB領域22上に形成された2層の負の固定電荷を有する膜63, 64を選択的に除去し、有効領域21上に第1の膜61の第1層61aおよび第2層61bを形成する。

【0135】

次に、図9(c)に示すように、ALD法またはMOCVD法により、第1の膜61の第2層61b上、およびOB領域22における半導体基板2上に、負の固定電荷を有する膜65を形成する。これにより、第1の膜61の第3層61cを形成するとともに、半導体基板2のOB領域22上に、第2の膜62の第1層62cを形成する。第1の膜61の第3層61cおよび第2の膜62の第1層62cの材料としては、例えば、酸化ハフニウム、酸化アルミニウム、酸化ジルコン、酸化タンタルおよび酸化チタンのうちいずれか1つの酸化物が挙げられる。

【0136】

なお、ALD法で形成する場合の形成条件は、例えば、形成基板温度200～500、プリカーサ流量が10～500sccm、照射時間1～15秒、O₃流量10～500sccmとする。

【0137】

第1層61a上に第2層61bを形成し、第2層61b上に第3層61cを形成することによって、3層61a, 61b, 61cが積層された第1の膜61が構成される。この第1の膜61によって、有効領域21における電荷蓄積領域4の表面に正電荷蓄積領域5aが形成される。

【0138】

また、第1層62cにより構成された第2の膜62によって、OB領域22における電荷蓄積領域4の表面に正電荷蓄積領域5bが形成される。

第1の膜61の第3層61cと第2の膜62の第1層62cは、膜55を形成することで一体として形成される。

【0139】

次に、上述した工程と同様の工程により、絶縁膜6、遮光膜7、平坦化膜8、カラーフィルタ9およびオンチップレンズ10を形成し、図8に示す固体撮像素子1Bが製造される。

【0140】

図10は、固体撮像素子1Bの第2の膜62を、ALD法などで成膜した層とPVD法で成膜した層との2層の積層構造とした場合と、ALD法などで成膜した第1層62cの

10

20

30

40

50

1層とした場合の暗電流量を示す図である。図10に示すように、第2の膜62を2層とするより、本変形例のように1層(単層)とした方がOB領域における暗電流量が低減する。

【0141】

PVD法で成膜した層は、ALD法で成膜した層に比べて緻密でないため負の固定電荷を阻害する水素などを含みやすい。本変形例のように、第2の膜62をPVD法で成膜した層を含まないALD法などで成膜した層の構造としたことで、水素などの負の固定電荷を阻害する物質が侵入しにくくなる。これにより、固体撮像素子1Bの第2の膜62中の負の固定電荷密度を高くすることができ、負バイアス効果が増加して暗電流が改善すると考えられる。

10

【0142】

このように、有効領域より暗電流が多く発生するOB領域に形成する第2の膜62の暗電流量を減らすことで、有効領域の暗電流量とOB領域の暗電流量との差(OB段差)を小さくすることができる。

【0143】

上述の構成を有する固体撮像素子1Aによれば、OB段差の温度特性が改善される。すなわち、半導体基板の温度が上昇した場合でも、OB段差の悪化が抑制される。

【0144】

最後に、上述した各実施形態の説明は本発明の一例であり、本発明は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本発明に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

20

【符号の説明】

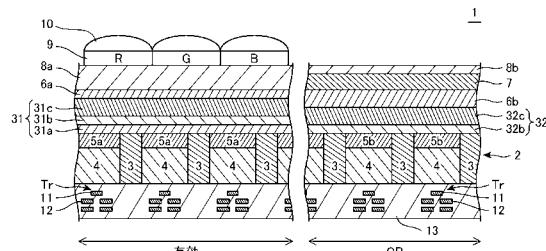
【0145】

- 1 固体撮像素子
- 2 半導体基板
- 3 素子分離領域
- 4 電荷蓄積領域
- 5, 5a, 5b 正電荷蓄積領域
- 6, 6a, 6b, 13 絶縁膜
- 7 遮光膜
- 8, 8a, 8b 平坦化膜
- 9 カラーフィルタ
- 10 オンチップレンズ
- 11 ゲート電極
- 12 配線層
- 21 有効領域
- 22 OB領域
- 31 第1の膜
- 31a 第1層
- 31b 第2層
- 31c 第3層
- 32 第2の膜
- 32b 第1層
- 32c 第2層
- 33, 34, 35 負の固定電荷を有する膜

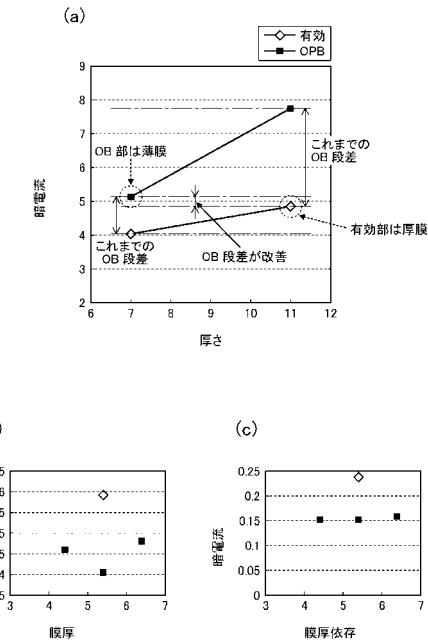
30

40

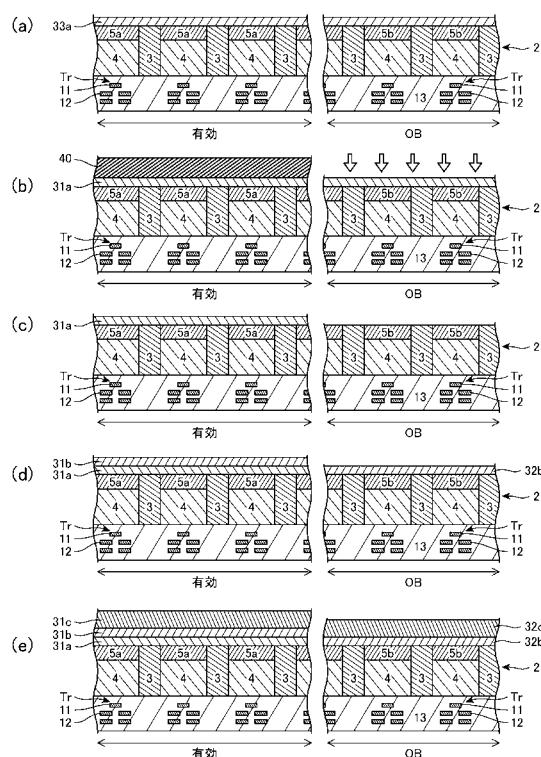
【図1】



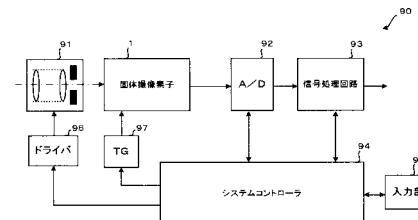
【図2】



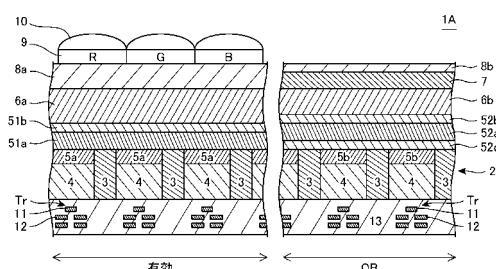
【図3】



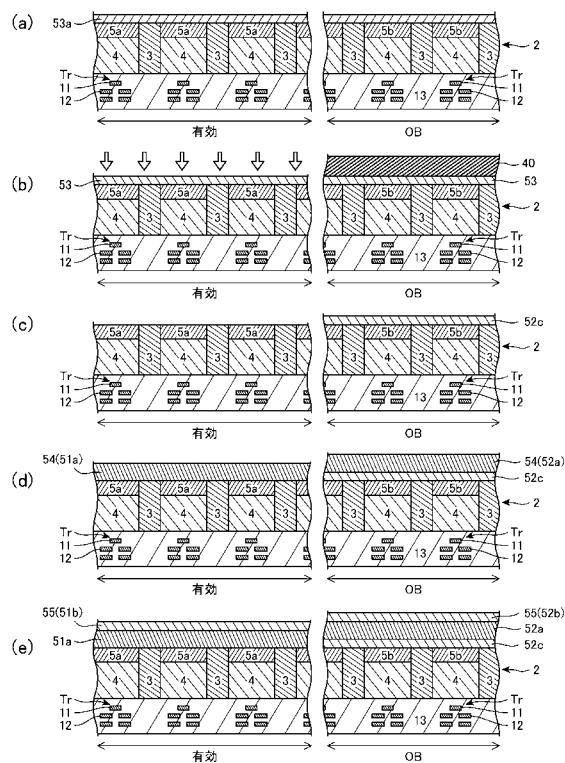
【図4】



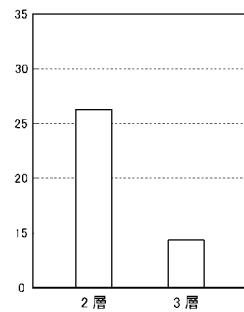
【図5】



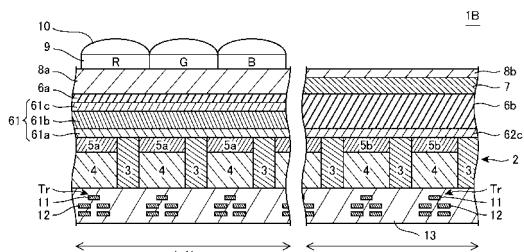
【図6】



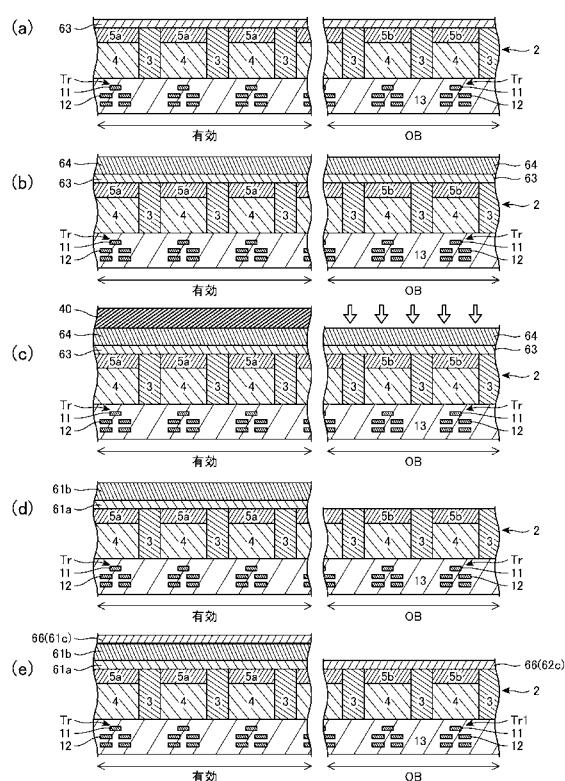
【図7】



【図8】



【図9】



【図10】

