(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0112090
(43) 공개일자 2013년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 31/042 (2006.01) *H01L 31/18* (2006.01)
(21) 출원번호 10-2012-0034212
(22) 출원일자 2012년04월03일
심사청구일자 2012년04월03일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
김동환
서울특별시 서초구 반포4동 591-1 효성빌라 1-104
탁성주
서울특별시 노원구 중계4동 597번지 경남아너스빌 102동 704호
(뒷면에 계속)
(74) 대리인
이동건, 박종수

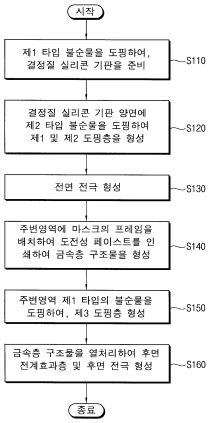
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 **결정질 실리콘 태양 전지의 제조방법**

(57) 요 약

결정질 실리콘 태양 전지의 제조 방법에 있어서, 제1 타입의 불순물을 내부로 도핑하여, 중심 영역 및 중심 영역을 둘러싸는 주변 영역으로 구획되는 결정질 실리콘 기판을 준비한 후, 결정질 실리콘 기판의 양 표면들에 제1 타입에 대응되는 제2 타입의 불순물을 도핑하여, 결정질 실리콘 기판의 상부 표면에 제1 도핑층 및 제2 도핑층을 형성하고, 결정질 실리콘 기판 상부에, 결정질 실리콘층과 전기적으로 연결된 전면 전극을 형성한다. 주변 영역에 마스크의 프레임을 배치하여 결정질 실리콘 기판 하부에 마스크를 이용하여 도전성페이스트를 인쇄하여 금속층 구조물을 형성하고, 주변 영역에 해당하는 결정질 실리콘 기판의 하부 표면에 제1 타입의 불순물을 도핑하여 제3 도핑층을 형성한 후, 금속층 구조물을 열처리하여, 결정질 실리콘 기판의 하부 표면에 후면 전계 효과층 및 후면 전극을 형성한다.

대 표 도 - 도1



(72) 발명자

김찬석

서울특별시 성북구 동선동2가 231번지 302호

박성은

부산광역시 남구 대연4동 920-1

이 발명을 지원한 국가연구개발사업

과제고유번호	1415116912
부처명	지식경제부
연구사업명	신재생에너지융합원천기술개발(전력기금)
연구과제명	고효율 결정질 실리콘 태양전지
주관기관	고려대학교산학협력단
연구기간	2011.06.01 ~ 2012.05.31

특허청구의 범위

청구항 1

제1 타입의 불순물을 내부로 도핑하여, 중심 영역 및 상기 중심 영역을 둘러싸는 주변 영역으로 구획되는 결정질 실리콘 기판을 준비하는 단계;

상기 결정질 실리콘 기판의 양 표면들에 상기 제1 타입에 대응되는 제2 타입의 불순물을 도핑하여, 상기 결정질 실리콘 기판의 상부 표면에 제1 도핑층 및 제2 도핑층을 형성하는 단계;

상기 결정질 실리콘 기판 상부에, 상기 결정질 실리콘층과 전기적으로 연결된 전면 전극을 형성하는 단계;

상기 주변 영역에 마스크의 프레임을 배치하여 상기 결정질 실리콘 기판 하부에 상기 마스크를 이용하여 도전성 페이스트를 인쇄하여, 상기 중심 영역에 금속층 구조물을 형성하는 단계;

상기 주변 영역에 해당하는 상기 결정질 실리콘 기판의 하부 표면에 상기 제1 타입의 불순물을 도핑하여 제3 도핑층을 형성하는 단계; 및

상기 금속층 구조물을 열처리하여, 상기 결정질 실리콘 기판의 하부 표면에 후면 전계 효과층 및 후면 전극을 형성하는 단계를 포함하는 결정질 실리콘 태양 전지의 제조 방법.

청구항 2

제1항에 있어서, 상기 결정질 실리콘 기판 하부에 금속층 구조물을 형성하는 단계는,

상기 중심 영역에 알루미늄 페이스트를 프린팅하여 알루미늄(Al) 층을 형성하는 단계를 포함하는 것을 특징으로 하는 결정질 실리콘 태양 전지의 제조 방법.

청구항 3

제1항에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 제3 도핑층을 형성하는 단계는,

상기 주변 영역에 해당하는 상기 결정질 실리콘 기판에 선택적으로 상기 제1 타입의 불순물이 해리된 이온 용액을 도포하는 단계;

상기 이온 용액을 건조시키는 단계; 및

상기 건조된 이온 용액을 열처리하는 단계를 포함하는 것을 특징으로 하는 결정질 실리콘 태양 전지의 제조 방법.

청구항 4

제1항에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 제3 도핑층을 형성하는 단계는 상기 제1 타입의 금속 이온을 주입하는 이온 주입 공정을 통하여 수행되는 것을 특징으로 하는 결정질 실리콘 태양 전지의 제조 방법.

청구항 5

제1항에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 제3 도핑층을 형성하는 단계는 레이저 도핑 공정을 통하여 수행되는 것을 특징으로 하는 결정질 실리콘 태양 전지의 제조 방법.

명 세 서

기 술 분 야

[0001] 본 발명은 결정질 실리콘 태양 전지의 제조방법에 관한 것이다. 보다 상세하게는 본 발명은 태양광을 이용하여 전력을 생산하는 결정질 실리콘 태양 전지의 제조방법에 관한 것이다.

배 경 기 술

[0002] 기존의 화석 연료를 이용하여 전력 생산 방식은 화석 연료의 고갈 및 이산화탄소 배출과 같은 환경오염을 야기

하고 있다. 따라서, 상기 화석 연료를 대체하여 환경 친화적인 연료로서 태양 전지가 각광받고 있다.

[0003] 상기 태양 전지는 P-N 접합 다이오드 방식으로 캐리어(carrier)의 농도 구배에 의한 확산으로 전하(charge)의 불균형이 생기고 이에 따른 전기장(electric field)이 형성되어 더 이상 캐리어의 확산이 일어나지 않게 된다.

[0004] 이러한 다이오드에 그 물질의 전도대(conduction band)와 가전자대(valence band) 사이의 에너지 차이인 밴드갭 에너지(band gap energy) 이상의 빛을 가했을 경우, 이 빛 에너지를 받아서 전자들은 가전자대에서 전도대로 여기(excited)된다.

[0005] 이때 전도대로 여기된 전자들은 자유롭게 이동할 수 있게 되며, 가전자대에는 전자들이 빠져나간 자리에 정공이 생성된다. 이것을 잉여캐리어(excess carrier)라고 하며, 이 잉여 캐리어들은 전도대 또는 가전자대 내에서 농도 차이에 의해서 확산하게 된다. 이때 p-type 영역에서 여기된 전자들과, n-type 영역에서 만들어진 정공을 각각의 소수캐리어(minority carrier)라고 부르며, 기존 접합 전의 p-type 또는 n-type 반도체 내의 캐리어(p-type의 정공, n-type의 전자)는 이와 구분해 주요 캐리어(majority carrier)라고 부른다. 이때 주요 캐리어들은 전기장으로 생긴 에너지 장벽(energy barrier) 때문에 흐름의 방해를 받지만 p-type의 소수 캐리어인 전자는 n-type 영역쪽으로, n-type의 소수 캐리어인 정공은 p-type영역 쪽으로 각각 이동할 수 있다. 이와 같은 소수 캐리어의 확산에 의해 재료 내부의 전기적 중성(charge neutrality)이 깨짐으로써 전압차(potential drop)가 생기고 이때 p-n접합 다이오드의 양극단에 발생된 기전력을 외부 회로에 연결하게 되면 태양전지로 작용하게 된다. 근래에는 상기 태양전지의 광전효율을 개선하기 위한 많이 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 일 목적은 개선된 광전 변환 효율을 가질 수 있는 결정질 실리콘 태양전지의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0007] 상술한 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법에 있어서, 제1 타입의 불순물을 내부로 도핑하여, 중심 영역 및 상기 중심 영역을 둘러싸는 주변 영역으로 구획되는 결정질 실리콘 기판을 준비하고, 상기 결정질 실리콘 기판의 양 표면들에 상기 제1 타입에 대응되는 제2 타입의 불순물을 도핑하여, 상기 결정질 실리콘 기판의 상부 표면에 제1 도핑층 및 제2 도핑층을 형성한다. 상기 결정질 실리콘 기판 상부에, 상기 결정질 실리콘층과 전기적으로 연결된 전면 전극을 형성하고, 상기 주변 영역에 마스크의 프레임을 배치하여 상기 결정질 실리콘 기판 하부에 상기 마스크를 이용하여 도전성 페이스트를 인쇄하여 상기 중심 영역에 금속층 구조물을 형성한다. 이어서, 상기 주변 영역에 해당하는 상기 결정질 실리콘 기판의 하부 표면에 상기 제1 타입의 불순물을 도핑하여 제3 도핑층을 형성한 후, 상기 금속층 구조물을 열처리하여, 상기 결정질 실리콘 기판의 하부 표면에 후면 전계 효과층 및 후면 전극을 형성한다.

[0008] 본 발명의 일 실시예 있어서, 상기 결정질 실리콘 기판 하부에 금속층 구조물은 상기 중심 영역에 알루미늄 페이스트를 프린팅하여 알루미늄(Al) 층을 형성함으로써 형성될 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 형성된 제3 도핑층은, 상기 주변 영역에 해당하는 상기 결정질 실리콘 기판에 선택적으로 상기 제1 타입의 불순물이 해리된 이온 용액을 도포하고, 상기 이온 용액을 건조시킨 후, 상기 건조된 이온 용액을 열처리함으로써 형성될 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 형성된 제3 도핑층은, 상기 제1 타입의 금속 이온을 주입하는 이온 주입 공정을 통하여 형성될 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 결정질 실리콘 기판의 상부 표면에 형성된 제3 도핑층은 레이저 도핑 공정을 통하여 형성될 수 있다.

발명의 효과

[0012] 본 발명의 실시예에 따른 결정질 실리콘 기판의 주변 영역을 제1 타입의 불순물로 도핑하여 제3 도핑층을 추가적으로 형성할 경우 단락 전류, 개방 전압 및 충진율이 증가하여 전체적으로 태양 전지의 효율이 개선될 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법을 설명하기 위한 순서도이다.

도 2 내지 도 7은 본 발명의 일 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법을 설명하기 위한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 첨부한 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 첨부된 도면에 있어서, 대상물들의 크기와 양은 본 발명의 명확성을 기하기 위하여 실제보다 확대 또는 축소하여 도시한 것이다.

[0015] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0016] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구비하다" 등의 용어는 명세서 상에 기재된 특징, 단계, 기능, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 다른 특징들이나 단계, 기능, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0017] 한편, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0018] 도1은 본 발명의 일 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법을 설명하기 위한 순서도이다. 도 2 내지 도 7은 본 발명의 일 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법을 설명하기 위한 단면도들이다.

[0019] 도 1 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 결정질 실리콘 태양 전지의 제조 방법에 있어서, 결정질 실리콘 기판(110)을 준비한다.(S100) 상기 결정질 실리콘 기판(110)에는 그 내부에 제1 타입의 불순물이 도핑된다. 상기 제1 타입의 불순물은 예를 들면 붕소, 알루미늄, 갈륨, 인듐, 탄탈륨과 같은 P형 원소를 포함할 수 있다. 이와 다르게, 상기 제1 타입의 불순물은 인, 비소, 안티몬, 비스무트와 같은 N형 원소를 포함할 수 있다. 이하, 제1 타입의 불순물은 P형 원소에 해당하는 것으로 기술한다.

[0020] 상기 결정질 실리콘 기판(110)은 중심 영역(101) 및 상기 중심 영역(101)을 둘러싸는 주변 영역(106)으로 구획될 수 있다. 상기 중심 영역(101)에는 후술하는 하부 전극 구조물이 배치되는 영역에 해당하는 반면에, 상기 주변 영역(106)에는 후술하는 제3 도핑층이 형성되는 영역에 해당한다.

[0021] 도 1 및 도 3을 참조하면, 상기 결정질 실리콘 기판(110)의 양 표면에 제2 타입의 불순물을 도핑하여 상기 결정질 실리콘 기판(110)의 상부 표면 및 하부 표면에 각각 제1 도핑층(121) 및 제2 도핑층을 형성한다.(S120)

[0022] 상기 제1 타입의 불순물이 P형 원소에 해당할 경우, 상기 제2 타입의 불순물은 인, 비소, 안티몬, 비스무트와 같은 N형 원소에 해당한다. 따라서, 상기 결정질 실리콘 기판(110) 및 상기 제1 도핑층(121)은 상호 면접하여 P-N 접합을 형성한다. 한편, 상기 제2 도핑층(122)은 추후 제거될 수 있다. 상기 제1 도핑층(121)은 10 내지 1,000 nm 의 두께를 가지도록 형성할 수 있다.

[0023] 상기 제1 및 제2 도핑층들(121, 122)의 제2 타입의 불순물이 N형 원소를 포함할 경우, 상기 제1 및 제2 도핑층들(121, 122) 예를 들면, $POCl_3$ 를 함께 공급하여 약 800℃의 온도에서 약 25분간 확산 공정을 통하여 상기 제2 불순물을 도핑하여 형성될 수 있다. 이때 상기 확산 공정 공정에서 형성되는 PSG(phosphorous silicate glass)

를 제거하는 공정이 추가적으로 수행될 수 있다.

[0024] 도 3 및 도 4를 참조하면, 상기 결정질 실리콘층(120) 상에 반사 방지층(160)을 형성한다. 상기 반사 반지층(160)은 예를 들면 실리콘 질화물로 이루어질 수 있다. 상기 반사 방지층(160)은 플라즈마 증대 화학기상증착(plasma enhanced chemical vapor deposition) 공정을 통하여 형성될 수 있다. 상기 반사 방지층(160)은 외부광의 반사를 억제함으로써 태양 전지의 효율을 증대시킬 수 있다.

[0025] 도 3 및 도 5를 참조하면, 상기 결정질 실리콘층(120) 상부에 상부 전극 구조물(150)을 형성한다.(S130) 즉, 상기 반사 반지층(160) 상에 상부 전극 구조물(150)을 형성한다. 상기 상부 전극 구조물(150)은 상대적으로 우수한 전기 전도성을 갖는 금속으로 이루어질 수 있다. 예를 들면, 상기 상부 전극 구조물(150)은 백금, 금, 은, 알루미늄 또는 구리 등을 이용하여 형성될 수 있다.

[0026] 상기 상부 전극 구조물(150)은 직접 인쇄 공정을 통하여 형성될 수 있다. 이 경우, 도전성 페이스트가 이용될 수 있다. 상기 도전성 페이스트는 금속 입자, 바인더 및 용매로 이루어질 수 있다. 상기 직접 인쇄 공정은 예를 들면, 스크린 인쇄, 프렉소 인쇄, 로터리 인쇄, 그라비어 인쇄, 옵셋 인쇄 등을 들 수 있다. 상기 직접 인쇄 공정에 이용되는 도전성 페이스트는 유기물을 포함하므로 상기 유기물을 제거하기 위한 열처리 공정이 후속하여 수행될 수 있다.

[0027] 도 3, 도 6a 및 도 6b를 참조하면, 상기 결정질 실리콘 기판(110) 하부에 도전성 페이스트를 이용하여 금속층 구조물(138)을 형성한다.(S140) 상기 금속층 구조물(138)은 후속하는 열처리공정에서 후면 전극의 변환될 수 있다.

[0028] 예를 들면, 상기 금속층 구조물(138)은 알루미늄 페이스트 및 은/알루미늄 페이스트를 이용하여 형성될 수 있다. 상기 금속층 구조물(138)을 형성하기 위하여, 상기 마스크를 이용하여 상기 알루미늄 페이스트를 프린팅할 수 있다. 상기 마스크에 포함된 프레임은 상기 주변 영역에 대응되도록 배치된다. 따라서, 상기 알루미늄 페이스트는 상기 프레임에 가려져 상기 주변 영역에 프린팅되지 못한 상태로 알루미늄층(137)이 상기 중심 영역 내에 형성된다. 상기 알루미늄 페이스트는 알루미늄 입자, 글라스 프릿(glass frit), 바인더 및 용매로 이루어질 수 있다. 상기 알루미늄층(137)은 후속하는 열처리 공정을 통하여 후면 전극으로 변환된다.

[0029] 또한, 알루미늄/은 혼합 페이스트 페이스트를 프린팅하여 알루미늄/은(Al/Ag)층(136)을 형성한다. 상기 알루미늄/은 혼합 페이스트는 알루미늄 입자, 은 입자, 바인더 및 용매로 이루어질 수 있다. 상기 알루미늄/은(Al/Ag)층은 후속하는 열처리 공정을 통하여 상기 알루미늄이 결정질 실리콘 기판의 하부 표면으로 확산으로 후면 전계 효과층 및 버스바 전극으로 변환된다.

[0030] 도 3 및 도 4f를 참조하면, 상기 제2 도핑층(122) 중 상기 주변 영역(106)에 상기 제1 타입의 불순물을 도핑하여 상기 주변 영역(106)에 제3 도핑층(170)을 형성한다.(S150) 따라서, 상기 제3 도핑층은 상기 제1 타입의 불순물을 포함함에 따라 상기 주변 영역(101) 또한 상기 P-N 접합(junction)을 이루어 태양 전지의 단락전류(Jsc) 및 개방 전압(Voc)을 증가시키는 데 기여할 수 있다.

[0031] 본 발명의 일 실시예에 있어서, 상기 도핑층(170)의 제1 타입이 P형 불순물에 해당할 경우, 상기 주변 영역(106)을 선택적으로 보론(Boron) 함유 용액으로 도포한다. 이어서, 상기 보론 함유 용액을 건조시킨 후 고온에서 열처리함으로써 상기 보론 원소가 상기 주변 영역에 도핑되어 상기 제3 도핑층(170)을 형성할 수 있다.

[0032] 본 발명의 일 실시예에 있어서, 상기 제3 도핑층(170)은 이온 주입 공정을 통하여 상기 주변 영역(106)에 형성될 수 있다. 이와 다르게, 상기 제3 도핑층(170)은 레이저 도핑 공정을 통하여 상기 주변 영역(106)에 형성될 수 있다.

[0033] 이어서, 상기 금속층 구조물(138)을 열처리 공정을 통하여, 상기 결정질 실리콘 기판(110) 하부에 하부 전극 구조물(130) 및 상기 하부 전극 구조물(130)과 상기 중심 영역에 후면 전계 효과층(140)을 형성한다(S500).

[0034] 상기 열처리 공정에서, 상기 알루미늄(Al)층(137)에서 유기물이 제거되어 상기 중심 영역(101)에 하부 전극(134)을 형성하고, 상기 알루미늄/은(Al/Ag)층(136)에서 유기물이 제거되어 상기 중심 영역(101)에 버스바 전극들(133)을 형성한다. 여기서, 상기 하부 전극(134) 및 상기 버스바 전극들(133)은 인시튜로 형성될 수 있다. 또한, 상기 열처리 공정에서, 상기 알루미늄(Al)층(137) 및 상기 알루미늄/은(Al/Ag)층(136)의 알루미늄이 상기 결정질 실리콘 기판(110) 내부로 확산되어 상기 후면 전계 효과층(140)이 상기 중심영역(101)에 상기 결정질 실리콘 기판(110) 하부에 형성될 수 있다.

[0035] 본 발명의 일 실시예에 있어서, 상기 열처리 공정 전에, 상기 알루미늄/은(A/Ag)층 아래에 추가적으로 은(Ag)

페이스트를 프린팅하여 은(Ag)층을 형성할 수 있다. 상기 은(Ag)은 후속하는 열처리 공정에서 경화되어 상기 버스바 전극의 일부를 이룰 수 있다. 따라서, 상기 버스바 전극이 은(Ag)층을 포함함에 따라 상기 버스바 전극이 구리로 이루어 진 표면 전극과 상대적으로 안정적인 연결을 가능하게 한다.

[0036] 본 발명의 일 실시예에 있어서, 상기 결정질 실리콘 기판(110)의 후면에 형성된 제2 도핑층(122)을 제거하는 공정이 추가적으로 수행될 수 있다. 상기 제2 도핑층(122)은 에치백 공정을 통하여 제거될 수 있다. 후속하는 제3 도핑층(170)을 형성하는 공정에서 상기 제1 타입의 불순물을 도핑하는 공정이 보다 신속하게 수행될 수 있다.

[0037] 상기 주변 영역에 도핑된 불순물의 농도에 따른 회로 전류(Jsc), 개방 회로 전압(Voc), 필팩터(fill factor; FF) 및 효율(η)은 아래 표1을 참조로 설명하기로 한다. 이 때 6인치 웨이퍼가 이용되며, 주변 영역에 해당하는 폭은 0.5㎜ 이하 이며 주변 영역의 면적은 293.2mm^2 이며, 전체 후면 전극에 해당하는 중심 영역의 면적은 23,601.8mm^2에 해당한다.

표 1

[0038]

불순물 타입 (주변 영역)	Jsc (mA/cm^2)	Voc (V)	Vmp (V)	Jmp (mW)	Pm (mW)	충진율 (FF)	효율 (η,%)
제2타입	35.5023	0.1628	0.53	34.05	18.04	82.94	18.0445
도핑 없음	35.5292	0.6131	0.53	34.09	18.07	82.95	18.0684
제1타입	35.7297	0.6190	0.54	34.02	18.37	83.06	18.3683

[0039] 표1을 참조하면, 주변 영역에 제1 타입의 불순물을 도핑하여 제3 도핑층을 형성할 경우 제2 타입의 불순물이 도핑된 경우보다 약 1.79% 정도로 태양전지의 효율이 개선됨을 확인할 수 있다.

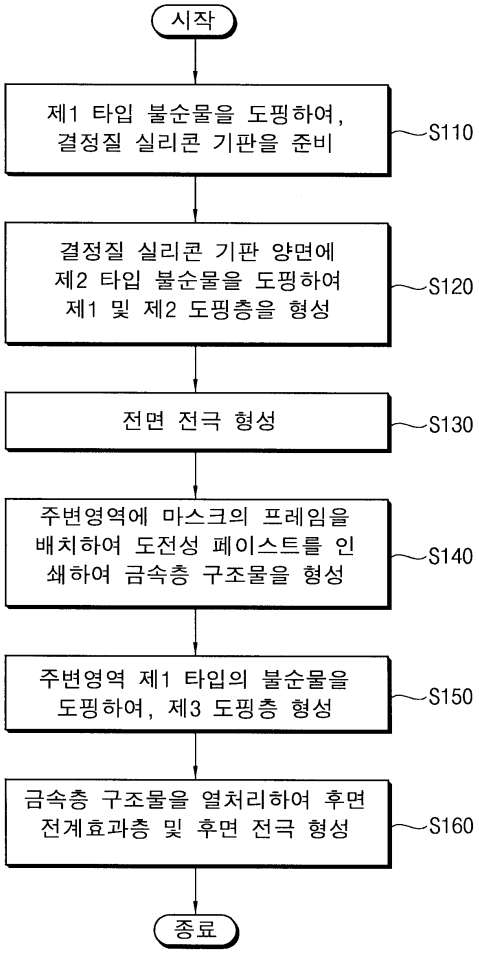
산업상 이용가능성

[0040] 상술한 본 발명에 따르면, 결정질 실리콘 기판의 주변 영역을 제1 타입의 불순물로 도핑하여 제3 도핑층을 형성할 경우 단락 전류, 개방 전압 및 충진율이 증가하여 전체적으로 태양 전지의 효율이 개선될 수 있다.

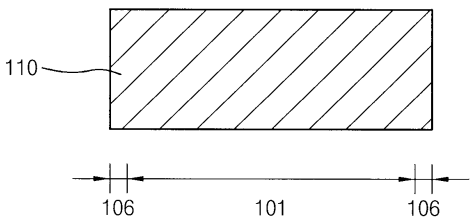
[0041] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면

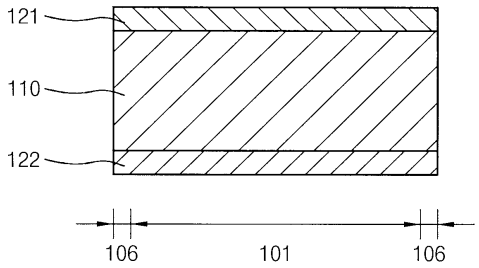
도면1


시작
제1 타입 불순물을 도핑하여, 결정질 실리콘 기판을 준비
S110
결정질 실리콘 기판 양면에 제2 타입 불순물을 도핑하여 제1 및 제2 도핑층을 형성
S120
전면 전극 형성
S130
주변영역에 마스크의 프레임을 배치하여 도전성 페이스트를 인쇄하여 금속층 구조물을 형성
S140
주변영역 제1 타입의 불순물을 도핑하여, 제3 도핑층 형성
S150
금속층 구조물을 열처리하여 후면 전계효과층 및 후면 전극 형성
S160
종료

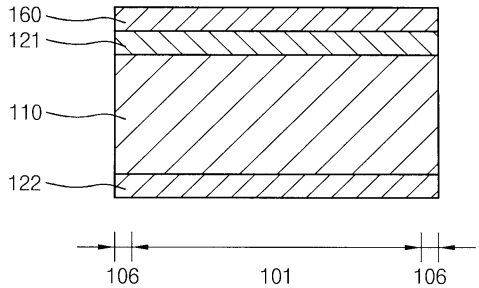
도면2


110
106
101
106

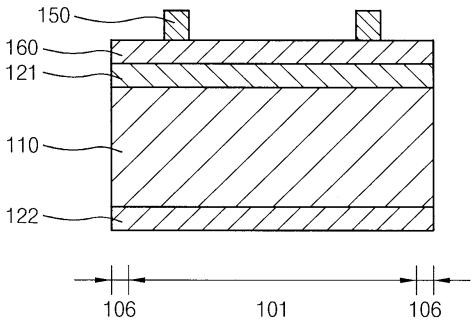
도면3



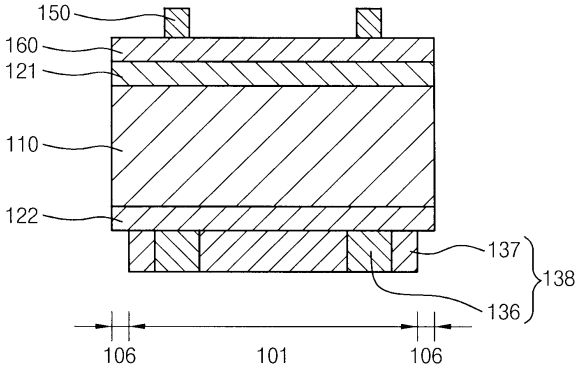
도면4



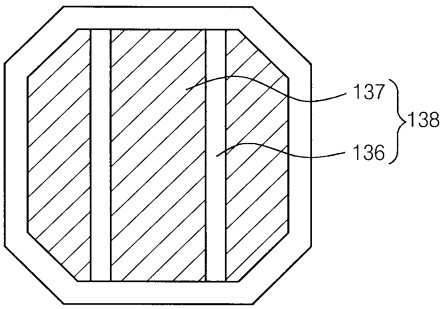
도면5



도면6a



도면6b



도면7

