

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410004627.0

[51] Int. Cl.

H01L 21/52 (2006.01)

H01L 21/3205 (2006.01)

H01L 21/314 (2006.01)

H01L 21/768 (2006.01)

[45] 授权公告日 2009 年 6 月 17 日

[11] 授权公告号 CN 100501954C

[22] 申请日 2004.2.20

US6019839A 2000.2.1

[21] 申请号 200410004627.0

KR2002 - 0002812Z 2002.1.10

[30] 优先权

JP2000 - 58484A 2000.2.25

[32] 2003.2.21 [33] KR [31] 10 - 2003 - 0011101

审查员 高伟

[73] 专利权人 海力士半导体有限公司

[74] 专利代理机构 北京集佳知识产权代理有限公司

地址 韩国京畿道

代理人 王学强

[72] 发明人 李文根 李泰权 梁俊模 朴兑洙  
李润植

权利要求书 3 页 说明书 15 页 附图 21 页

[56] 参考文献

CN1195189A 1998.10.7

KR2002 - 0002812A 2002.1.10

KR2002 - 0003001A 2002.1.10

JP2000 - 299295A 2000.10.24

JP9 - 191053A 1997.7.23

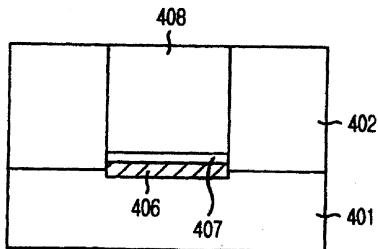
JP8 - 191053A 1996.7.23

[54] 发明名称

具有外延的 C49—硅化钛 ( $TiSi_2$ ) 层的半导体装置及其制造方法

[57] 摘要

本发明是关于一种具有 C49 相的外延生长硅化钛层的半导体装置及其制造方法。此硅化钛层具有预定而不转换该钛层相的界面能量，因此，可防止钛层凝块及沟纹现象的发生。该半导体装置包括：硅层；形成在该硅层上的绝缘层，其中打通部分的绝缘层以形成曝露出部分硅层的接触孔；外延生长的硅化钛层，其具有 C49 相且会形成在该已布置于该接触孔内的经曝露出的硅基材上；及金属层，其形成在该硅化钛层的表面上。



1. 一种用来制造半导体装置的方法，其步骤包括：  
    提供已完成预定加工的硅衬底；  
    在所述硅衬底上形成绝缘层；  
    通过打开部分所述绝缘层直至暴露出所述硅衬底的表面而形成接触孔；  
    通过使用经缓冲的氧化蚀刻剂或氢氟酸的湿式清洁方法和使用三氟化氮的干式清洁方法的其中之一来清洁所述硅衬底；  
    在包含氮的气体环境中，对所述硅衬底的表面进行等离子体处理；  
    通过使用物理气相沉积技术在所述硅衬底上沉积钛层；及  
    通过利用热处理使所述硅衬底与已沉积的钛层反应，以形成具有 C49 相的外延生长的硅化钛层，  
    其中所述等离子体处理在 400℃ 至 450℃ 的温度范围、3 托尔至 5 托尔的压力范围内并且采用 400 瓦至 500 瓦的功率进行 30 秒至 60 秒。
2. 如权利要求 1 所述的方法，其中所述等离子体处理使用氮等离子体处理或氨等离子体处理来进行。
3. 如权利要求 1 所述的方法，其中所述物理气相沉积技术为离子金属等离子体技术。
4. 如权利要求 1 所述的方法，其中所述热处理在氮环境中进行，从而在所述钛层表面上形成氮化钛层。
5. 如权利要求 1 所述的方法，其中所述热处理为快速热加工和炉退火中的一种。
6. 如权利要求 4 所述的方法，其中所述热处理为快速热加工和炉退火中的一种。
7. 如权利要求 1 所述的方法，其中所述热处理包括下列步骤：  
    在 670℃ 至 850℃ 的温度范围内进行第一快速热加工 20 秒至 30 秒；  
    及

在 850℃至 900℃的温度范围下进行第二快速热加工 20 秒至 30 秒。

8. 如权利要求 4 所述的方法，其中所述热处理步骤包括：

在 670℃至 850℃的温度范围下进行第一快速热加工 20 秒至 30 秒；

及

在 850℃至 900℃的温度范围下进行第二快速热加工 20 秒至 30 秒。

9. 一种制造半导体装置的方法，其步骤包括：

提供已完成预定加工的硅衬底；

通过使用经缓冲的氧化蚀刻剂或氢氟酸的湿式清洁方法和使用三氟化氮的干式清洁方法的其中之一来清洁所述硅衬底；及

流入 Ti 来源气体及还原气体，通过使用化学气相沉积技术，利用与硅衬底的表面反应和气相反应来外延生长具有 C49 相的硅化钛层，

其中所述化学气相沉积技术在约 650℃的温度和约 5 托尔的压力下进行。

10. 如权利要求 9 所述的方法，其中所述化学气相沉积技术使用四氯化钛及氢作为沉积气体。

11. 如权利要求 9 所述的方法，其中所述化学气相沉积技术使用四氯化钛、氢及硅烷作为沉积气体。

12. 如权利要求 9 所述的方法，其中所述化学气相沉积技术使用四氯化钛及硅烷作为沉积气体。

13. 如权利要求 10 所述的方法，其中所使用的化学气相沉积技术是采用 200 瓦至 800 瓦的功率进行的等离子体增强化学气相沉积技术。

14. 如权利要求 11 所述的方法，其中所使用的化学气相沉积技术是采用 200 瓦至 800 瓦的功率进行的等离子体增强化学气相沉积技术。

15. 如权利要求 12 所述的方法，其中所使用的化学气相沉积技术是采用 200 瓦至 800 瓦的功率进行的等离子体增强化学气相沉积技术。

16. 一种制造半导体装置的方法，其步骤包括：

将已经完成预定处理的硅衬底加载到用于原子层沉积技术的舱中；

- 
- 通过使用经缓冲的氧化蚀刻剂或氢氟酸的湿式清洁方法和使用三氟化氮的干式清洁方法的其中之一来清洁所述硅衬底；  
使钛来源气体流入所述舱；  
从所述舱中清除未反应的钛来源气体；  
使还原气体流入所述舱；  
从所述舱中清除反应气体；以及  
重复所述钛来源气体流入的步骤到所述清除反应气体的步骤数次，以使用原子层沉积技术形成具有 C49 相的外延生长硅化钛层，所述原子层沉积技术在 400℃至 700℃的温度和 0.1 托尔至 10 托尔的压力下进行。
17. 如权利要求 16 所述的方法，其中所述钛来源气体包括四氯化钛，所述还原气体包括氢或硅烷。
18. 如权利要求 16 所述的方法，其中所述原子层沉积技术使用等离子体。

## 具有外延的 C49-硅化钛( $TiSi_2$ )层的半导体装置及其制造方法

### 技术领域

本发明涉及一种半导体装置及其制造方法；特别是涉及一种具有 C49 相的外延生长的硅化钛( $TiSi_2$ )层的半导体装置及其制造方法。

### 背景技术

通常来说，以金属来形成位线或电容器，以改善半导体装置的性能。同时，在硅衬底与该金属间或在硅层与该金属间的接触区域中形成硅化钛( $TiSi_2$ )层，以减低接触电阻。

利用已知的方法所形成的  $TiSi_2$  层具有多晶结构，而随后的高温加工(诸如硼-磷-硅酸盐玻璃(BPSG)流动加工或电容器形成加工)会使该  $TiSi_2$  层的相从 C49 转变成 C59。此相转变会产生凝块(agglomeration)及沟纹(grooving)现象，其因此会劣化该装置特性，例如，发生漏电流。下文中，具有 C49 相的  $TiSi_2$  层系指 C49- $TiSi_2$  层，同时具有 C54 相的  $TiSi_2$  层系指 C54- $TiSi_2$  层。第 1A 图为具有  $TiSi_2$  层的已知半导体装置的截面图，及第 1B 图为制造具有  $TiSi_2$  层的已知半导体装置的相关加工的流程图。

参照第 1A 及 1B 图，在步骤 S101 处形成已完成预定加工的硅衬底或硅层 101。然后，在步骤 S102 中，经由物理气相沉积(PVD)技术在硅衬底 101 上沉积钛(Ti)。

其次，在步骤 S103 中，于氮( $N_2$ )环境中进行的快速热加工(RTP)使该已沉积的 Ti 在与硅衬底 101 的界面表面处金属硅化，而形成  $TiSi_2$  层 102。同时，在该已沉积的 Ti 表面侧形成氮化钛( $TiN$ )层 103。在步骤 S104 中，在该  $TiN$  层 103 上形成由铝(Al)或钨(W)制得的金属层 104。于此，该金属层 104 可用做位线、电容器、储存节点、连接金属线或接触栓。

此时，可以一个步骤或二个步骤来进行该 RTP。特别是，可依该 RTP

的加工温度及所沉积的 Ti 厚度来决定 TiSi<sub>2</sub> 层 102 具有 C49 或 C54 相。即使在 Ti 沉积期间形成 C49-TiSi<sub>2</sub> 层，其也会在随后的高温加工期间转变成热力学稳定的 C54-TiSi<sub>2</sub> 层。BPSG 流动或电容器热处理即为随后的高温加工实例。

但是，C54-TiSi<sub>2</sub> 层与硅衬底具有比 C49-TiSi<sub>2</sub> 层与硅衬底更高的界面能，因此，具有 C54 相的 TiSi<sub>2</sub> 层会由于在随后的高温加工期间产生新的晶核及晶粒生长而凝块。结果，接触电阻及漏电流会增加。

同样地，在 C54-TiSi<sub>2</sub> 层中会发生将造成晶粒尺寸减小而减低热力学能量的沟纹现象。由于此沟纹现象，该 C54-TiSi<sub>2</sub> 层的厚度会变得更不均匀，因此增加 TiSi<sub>2</sub> 层的粗糙度。因此，沟纹现象变成增加接触电阻及漏电流的因素。

因此，为了在 TiSi<sub>2</sub> 层与硅衬底间维持该接触的低接触电阻，重要的是形成热力学稳定的 TiSi<sub>2</sub> 层，以便在随后的高温加工期间不发生其它的 TiSi<sub>2</sub> 层相转变及凝块。形成此与硅衬底具有低界面能的 TiSi<sub>2</sub> 层可能是获得上述效果的唯一方法。

## 发明内容

因此，本发明的目的是提供一种能够防止硅化钛(TiSi<sub>2</sub>)层凝块及沟纹化的半导体装置，该目的可通过外延生长具有 C49 相及低界面能的 TiSi<sub>2</sub> 层而达成，该 TiSi<sub>2</sub> 层不会在高温加工期间产生 TiSi<sub>2</sub> 层的相转变；及提供其制造方法。

因此，本发明的另一个目的是提供一种具有外延生长的 TiSi<sub>2</sub> 层的半导体装置，该 TiSi<sub>2</sub> 层具有 C49 相及低界面能，因此可减低漏电流及接触电阻；及其制造方法。

根据本发明的一个方面，提供一种半导体装置，其包括：硅层；在该硅层上形成的绝缘层，其中打开部分绝缘层以形成暴露出部分硅层的接触孔；外延生长的硅化钛层，其具有 C49 相且形成在位于接触孔内的

暴露的硅衬底上；及金属层，其形成在硅化钛层的上表面上。

根据本发明的另一方面，也提供一种半导体装置，其包括：硅衬底；装置隔离层，其局部形成在该硅衬底中且限定场区（field region）与有源区域(active region)；金属氧化物半导体(MOS)晶体管，其在该硅衬底的有源区域中形成且包括栅极及源极/漏极扩散区域；及硅化钛层，其具有 C49 相且在位于每个源极/漏极扩散区域上方的硅衬底表面上外延生长，其中所述硅化钛层是通过物理气相沉积技术、化学气相沉积技术和原子层沉积技术的其中之一而形成。。

根据本发明的又一方面，也提供一种用来制造半导体装置的方法，其步骤包括：提供已完成预定加工的硅衬底；在所述硅衬底上形成绝缘层；通过打开部分绝缘层直至暴露出硅衬底表面而形成接触孔；在包含氮的气体环境中对该硅衬底表面进行等离子体处理；使用物理气相沉积(PVD)技术在该硅衬底上沉积钛层；和通过利用热处理使硅衬底与已沉积的钛层反应，以形成具有 C49 相的外延生长的硅化钛层。

根据本发明的再一方面，也提供一种用来制造半导体装置的方法，其步骤包括：形成装置隔离层，其用来在硅衬底中限定场区与有源区域；在该硅衬底的有源区域中形成包含源极/漏极扩散区域的晶体管；在包含氮的气体环境中对位于每个源极/漏极区上方的硅衬底进行等离子体处理；使用 PVD 技术在该硅衬底上沉积钛层；通过利用热处理使硅衬底与沉积的钛层反应，以形成具有 C49 相的外延生长的硅化钛层；和移除未反应的钛层。

根据本发明的又一方面，也提供一种用来制造半导体装置的方法，其步骤包括：提供已完成预定加工的硅衬底；通过使用经缓冲的氧化蚀刻剂或氢氟酸的湿式清洁方法和通过使用三氟化氮的干式清洁方法来清洁所述硅衬底；以及流入 Ti 来源气体及还原气体，通过使用化学气相沉积技术，利用与硅衬底的表面反应及气相反应而外延生长具有 C49 相的硅化钛层。

根据本发明的其它方面，也提供一种用来制造半导体装置的方法，其步骤包括：(a)将已完成预定加工的硅衬底加载至用于原子层沉积(ALD)技术的舱中；(b)使钛来源气体流入该舱；(c)从该舱中清除未反应的钛来源气体；(d)使还原气体流入该舱；(e)从该舱中清除反应气体；及(f)重复步骤(a)至(e)数次，以使用 ALD 技术形成具有 C49 相的外延生长的硅化钛层。

## 附图说明

根据下述优选实施方案并结合附图，将使得本发明的上述及其它目的及特征更加明显。

第 1A 图为具有硅化钛( $TiSi_2$ )层的已知半导体装置的截面图；

第 1B 图为制造具有  $TiSi_2$  层的已知半导体装置的相关加工流程图；

第 2A 图为根据本发明的具有 C49 相的外延生长的  $TiSi_2$  层(下文中指为 C49- $TiSi_2$  层)的半导体装置的接触结构；

第 2B 图为根据本发明的含有外延生长的 C49- $TiSi_2$  层的半导体装置的金属氧化物半导体(MOS)晶体管结构；

第 3A 至 3E 图为根据本发明的截面图，其示出含有外延生长的 C49- $TiSi_2$  层的半导体装置的 MOS 晶体管结构，该  $TiSi_2$  层可在自对位金属硅化物(salicide)加工期间通过使用物理气相沉积(PVD)技术来形成；

第 4A 至 4E 图为根据本发明的截面图，其示出含有外延生长的 C49- $TiSi_2$  层的半导体装置的接触结构，该  $TiSi_2$  层通过在接触加工期间使用 PVD 技术来形成；

第 5 图为根据本发明通过 PVD 技术来形成外延生长的 C49- $TiSi_2$  层的形成步骤的流程图；

第 6 图为 X-射线衍射(XRD)分析图，其关于在沉积该 Ti 层前进行  $N_2$  等离子体处理约 30 秒与约 60 秒及不进行  $N_2$  等离子体处理的实例；

第 7A 图为透射电子显微镜(TEM)显微图，其示出包含在未施加  $N_2$

等离子体处理的样品中的 TiSi<sub>2</sub> 层相的精细结构；

第 7B 图为 TEM 显微图，其显示出包含在施加约 60 秒的 N<sub>2</sub> 等离子体处理的样品中的 TiSi<sub>2</sub> 层相的精细结构；

第 8A 及 8B 图为高分辨率透射电镜(HRTEM)的显微图，其显示出在硅衬底与 TiSi<sub>2</sub> 层间的界面；

第 9 图为 XRD 分析图，其显示出 TiSi<sub>2</sub> 层结构随快速热加工(RTP)温度的变化；

第 10 图为根据本发明利用化学气相沉积(CVD)技术形成的外延生长的 C49-TiSi<sub>2</sub> 层的截面图；

第 11A 图为 HRTEM 显微图，其显示出通过使用 CVD 技术而形成的外延生长的 C49-TiSi<sub>2</sub> 层，所述 CVD 技术在温度约 650℃ 及压力约 5 托尔下进行；

第 11B 图为第 11A 图所示的 C49-TiSi<sub>2</sub> 层的 TEM 显微图；

第 12 图为通过 CVD 技术所形成的外延生长的 C49-TiSi<sub>2</sub> 层在进行热处理期间的结构变化图；及

第 13A 至 13F 图为根据本发明通过原子层沉积(ALD)技术所形成的外延生长的 C49-TiSi<sub>2</sub> 层的截面图。

#### 组件符号说明

101 硅衬底或硅层

102 TiSi<sub>2</sub> 层

103 氮化钛层

104 金属层

201 硅衬底

202 绝缘层

203 C49-TiSi<sub>2</sub> 层

204 金属层

251 硅衬底

- 
- 252 场氧化物层
  - 253 栅极
  - 254 源极/漏极扩散区域
  - 255 外延生长的 C<sub>49</sub>-TiSi<sub>2</sub> 层
  - 301 硅衬底
  - 302 场氧化层
  - 303 栅绝缘层
  - 304 栅极  
绝缘层
  - 306 源极/漏极区
  - 307 氮捕捉层
  - 308 钛层
  - 309 外延生长的 C<sub>49</sub>-TiSi<sub>2</sub> 层
  - 401 硅衬底或硅层
  - 402 绝缘层
  - 403 接触孔
  - 404 氮捕捉层
  - 405 钛层
  - 406 外延生长的 C<sub>49</sub>-TiSi<sub>2</sub> 层
  - 407 氮化钛(TiN)层
  - 408 金属层
  - 1001 硅衬底或硅层
  - 1002 外延生长的 C<sub>49</sub>-TiSi<sub>2</sub> 层
  - 1301 硅衬底
  - 1302 TiCl<sub>4</sub> 气体分子
  - 1303 H<sub>2</sub> 气体分子
  - 1304 金属硅化物层

1305

## 具体实施方式

下文中，将参考附图详细解释在硅衬底或硅层上形成具有 C49 相的外延生长硅化钛( $TiSi_2$ )层(下文中指为 C49- $TiSi_2$  层)的方法。

第 2A 图显示出半导体装置的接触结构，其中金属层 204 通过由打开绝缘层 202 而形成的接触孔来与硅衬底 201 接触。在作为动态随机存取存储器(DRAM)装置的该半导体装置中，位线接触、电容器存储节点接触、连接金属线接触及接触栓的形成与上述实例相符合。

参照第 2A 图，打开绝缘层 202 直到暴露出硅衬底或单晶硅层 201 表面，由此形成接触孔。然后，在硅衬底 201 的已暴露出的表面上形成外延生长的 C49- $TiSi_2$  层 203，且在该外延生长的 C49- $TiSi_2$  层 203 上部形成金属层 204。该金属层 204 可由铝或钨制得，且可包含在金属层 204 与外延生长 C49- $TiSi_2$  层 203 间的界面表面处所形成的阻障金属层，诸如 TiN 层，以防止原子在硅衬底 201 与金属层 204 间扩散。

第 2B 图示出具有 C49- $TiSi_2$  层的金属氧化物半导体(MOS)晶体管的半导体装置，该  $TiSi_2$  层形成为自对位的金属硅化物层(下文中简写为自对位金属硅化物层)。场氧化物层 252 可限定硅衬底 251 中的场区与有源区域，且可在硅衬底 251 的有源区域中形成由栅极 253 与源极/漏极扩散区域 254 所构成的 MOS 晶体管。该外延生长的 C49- $TiSi_2$  层 255 则形成在与源极/漏极扩散区域 254 相对应的硅衬底 251 表面上。

在第 2A 及 2B 图二者所示的结构中，每个外延生长的 C49- $TiSi_2$  层，示为 203 或 255，皆具有(060)平面，因此，C49- $TiSi_2$  层 203 或 255 的(060)平面的晶格常数非常接近硅的(100)平面。因此，若在硅衬底 201 或 251 的(100)平面上形成该 C49- $TiSi_2$  层 203 或 255 的(060)平面，可获得能量稳定的半相配的外延生长。

上述的外延生长的 C49- $TiSi_2$  层 203 或 255 与硅衬底 201 或 251 形成半相配界而且会产生失配位错(misfit dislocation)，从而减少在硅衬底 201

或 251 与 C49-TiSi<sub>2</sub> 层 203 或 255 间的界面处的转变能。当 TiSi<sub>2</sub> 层 201 或 255 的相从 C49 转变成 C54 时，在 C54 相中发现的晶核通常绕着晶界的高能量区域形成。但是，该外延生长 TiSi<sub>2</sub> 层 203 或 255 不具有晶界而是与硅衬底 201 或 251 形成界面。因为硅衬底 201 或 251 与 C49-TiSi<sub>2</sub> 层 203 或 255 间的界面可通过形成呈半相配状态而具有最小能级，与具有多晶结构的 C49-TiSi<sub>2</sub> 层比较，其在 C54 相中几乎不产生晶核。因此，那些诸如从 C49 至 C54 的相转变、C54-TiSi<sub>2</sub> 层的晶核的产生及生长、TiSi<sub>2</sub> 层的凝块及沟纹现象等问题不会出现。最后，其可改善硅衬底 201 与 C49-TiSi<sub>2</sub> 层 203 或 255 间的接触电阻且减低漏电流。

下文中，将更详细地描述用来形成外延生长的 C49-TiSi<sub>2</sub> 层的方法。同样地，于此提供 C49-TiSi<sub>2</sub> 层对半导体存储器装置诸如动态随机存取存储器(DRAM))的不同应用的说明。

根据本发明，形成 C49-TiSi<sub>2</sub> 层的方法可通过使用物理气相沉积(PVD)技术、化学气相沉积(CVD)技术及原子层沉积(ALD)技术来进行。

第 3A 至 3E 图为具有外延生长的 C49-TiSi<sub>2</sub> 层的 MOS 晶体管结构的半导体装置截面图，该 TiSi<sub>2</sub> 层可根据本发明通过在自对位金属硅化物加工期间使用 PVD 技术来形成。

参照第 3A 图，在硅衬底 301 中形成场氧化层 302 以限定场区及有源区域。在硅衬底 301 的有源区域中，可形成典型的 MOS 晶体管，其包括栅绝缘层 303、栅极 304、覆盖在栅极 304 的上表面及侧边的绝缘层 305 与源极/漏极区 306。

参照第 3B 图，与每个源极/漏极区 306 扩散区域相符合的硅衬底 301 表面可经由湿式清洁方法(其使用经缓冲的氧化蚀刻剂(BOE)或氢氟酸(HF))或经由干式清洁方法(其使用碱，如三氟化氮(NF<sub>3</sub>))来清洁。之后，透过 N<sub>2</sub> 等离子体或氨(NH<sub>3</sub>)等离子体处理，在位于硅衬底 301 的源极/漏极区 306 扩散区域的表面上形成氮(N<sub>2</sub>)捕捉层 307，此等离子体处理可在温度范围从约 400°C 至约 450°C、压力范围从约 3 托尔至约 5 托尔及功率

范围从约 400 瓦至约 500 瓦下进行约 30 秒至 60 秒。该 N<sub>2</sub> 捕捉层 307 可通过渗透进入硅晶格的晶格空位处且被捕捉在其中的氮离子所形成。作为参考，硅具有如钻石般的立方结构，且该晶格空位存在于 0、3/4 及 1/4 的位置处。

参照第 3C 图，使用离子金属等离子体(IMP)技术(其为一种 PVD 技术型式)，将钛(Ti)层 308 沉积在上述建构的结构的整个表面上。此时，该钛层 308 的厚度范围从约 50Å 至约 300Å。

参照第 3D 图，进行用于金属硅化反应(silicidation)的快速热加工(RTP)，以形成外延生长的 C49-TiSi<sub>2</sub> 层 309。可以一个步骤或二个步骤来进行该 RTP，若以二个步骤来进行 RTP，则在温度范围从约 670°C 至约 850°C 下进行第一步骤约 20 秒至约 30 秒，同时在温度范围从约 850°C 至约 900°C 下进行第二步骤约 20 秒至约 30 秒。

在本发明的此优选实施方案中，在形成氮捕捉层 307 后进行该金属硅化反应。因此，氮捕捉层 307 可防止硅及钛扩散，从而减慢金属硅化物的形成速率。亦即，在氮等离子体处理期间通过将氮吸收到硅衬底 301 上而形成的不稳定的氮化硅(SiN<sub>x</sub>)层，或在钛沉积期间通过钛与氮间的反应而形成的不稳定的氮化钛(TiN<sub>x</sub>)层，可抑制在硅与钛间的相互扩散。此受阻碍的相互扩散进一步抑制该金属硅化物反应。结果，在硅衬底 301 处缓慢发生该金属硅化反应，特别是在源极 / 漏极扩散区域 306 处，因此可在该金属硅化反应期间达成能量最稳定的外延生长。之后，如第 3E 图所示，移除未反应的钛层 308，由此通过应用自对位金属硅化物加工来完成该 MOS 晶体管的形成。

第 4A 至 4E 图为提供外延生长的 C49-TiSi<sub>2</sub> 层的半导体装置的接触结构的截面图，该 TiSi<sub>2</sub> 层可根据本发明通过 PVD 技术在金属接触加工期间形成。

参照第 4A 图，蚀刻在硅衬底或硅层 401 上形成的绝缘层 402，以形成暴露出硅衬底 401 的部分表面的接触孔 403。该绝缘层 402 可为单层或

堆叠层。

参照第 4B 图，经由湿式清洁方法(使用 BOE 或 HF)或干式清洁方法(使用 NF<sub>3</sub>)来清洁该暴露出的硅衬底 401 表面。然后，经由 N<sub>2</sub> 等离子体或 NH<sub>3</sub> 等离子体处理在该暴露出的硅衬底 401 表面上形成氮捕捉层 404，所述等离子体处理通过使用功率范围从约 400 瓦至约 500 瓦进行约 30 秒至约 60 秒。

参照第 4C 图，通过使用 IMP 技术(其为一种 PVD 技术型式)在该氮捕捉层 404 上形成钛层 405。此时，该钛层 405 的厚度范围从约 50Å 至约 300 Å。

如第 4D 图所示，然后在氮环境中对上述所产生的结构进行 RTP。在 RTP 后，通过金属硅化反应来在与硅衬底 401 的界面处形成外延生长的 C49-TiSi<sub>2</sub> 层 406，同时从该钛层 405 的表面形成氮化钛(TiN)层 407。氮化钛层 407 功能可作为用来抑制/防止原子在金属层 408(其将沉积在该氮化钛层 407 上)与硅衬底 401 间相互扩散的阻障层。

于此，可以一个步骤或二个步骤来进行该 RTP。在以二个步骤进行的实例中，在温度范围从约 670°C 至约 850°C 下进行第一步骤约 20 秒至约 30 秒，同时在温度范围从约 850°C 至约 900°C 下进行第二步骤约 20 秒至约 30 秒。

其次，如图 4E 所示，将该金属层 408 填入接触孔 403。金属层 408 可为位线、电容器的电极、栓或连接金属线。

在本发明描述于第 4A 至 4E 图的优选实施方案中，在形成钛层后，继该氮捕捉层形成后，通过使用 PVD 技术来进行该金属硅化反应。因此，可抑制硅及钛扩散，因而缓慢地进行金属硅化反应。此缓慢金属硅化的结果，可在该金属硅化反应期间形成能量最稳定的外延生长的 C49-TiSi<sub>2</sub> 层。此外，该阻障金属层(其为该氮化钛层)亦可在该金属硅化反应期间通过 RTP 形成。

第 5 图为流程图，其显示出根据本发明使用 PVD 技术来形成该经外

延生长的 C49-TiSi<sub>2</sub> 层的步骤。

如图所示，使用 PVD 技术来形成外延生长的 C49-TiSi<sub>2</sub> 层的加工包括如下的步骤。在步骤 S501 中，制备已完成预定加工的硅衬底或硅层。在步骤 S502 中，于包含氮气体的气体环境中对该硅衬底表面施加等离子体处理。在步骤 S503 中，经由使用 PVD 技术将钛沉积在该经氮等离子体处理的硅衬底上。最后，在步骤 S504 中，进行热加工以形成该外延生长的 C49-TiSi<sub>2</sub> 层。于此，本发明的优选实施方案示出使用 RTP 作为热加工方法。但是，仍然可采用炉退火取代 RTP 而作为热加工方法。阻障金属(例如，TiN 层)的形成依是否维持该氮环境而定。

第 6 至 9 图为提供外延生长的 C49-TiSi<sub>2</sub> 层的样品的分析资料，该层可根据本发明通过使用 PVD 技术来形成。特别是，该样品可通过一系列的加工来制备。首先，清洁位于(001)平面处的硅衬底的表面以移除自然氧化物层。然后，在约 410 瓦的射频(RF)电压下以 N<sub>2</sub> 等离子体处理该硅衬底表面，以便让氮(N<sub>2</sub>)离子吸附到该硅衬底的表面上。之后，使用 IMP 将钛(Ti)沉积至约 20 纳米的厚度。在氮环境中，于从约 670°C 至约 850°C 的温度范围进行 RTP 约 20 秒，以形成金属硅化物。

更特别的是，第 6 图为 X-射线衍射仪(XRD)分析图，其关于在沉积 Ti 层前进行 N<sub>2</sub> 等离子体处理约 30 秒及约 60 秒和不进行 N<sub>2</sub> 等离子体处理的实例。于此，进行 N<sub>2</sub> 等离子体处理约 30 秒及约 60 秒的第一实例分别表示为 B 及 C。不进行 N<sub>2</sub> 等离子体处理的实例表示为 A。如图所示，对实例 A 来说，已观察到氮化钛(TiN)及 C54-TiSi<sub>2</sub> 层的(311)平面的波峰。但是，对实例 B 及 C 来说，已观察到 TiN 的(111)平面及 C49-TiSi<sub>2</sub> 层的(060)平面的波峰。此结果显示出氮等离子体处理会改变硅衬底的表面状态，此会影响 TiSi<sub>2</sub> 的相层与 TiSi<sub>2</sub> 层的相转变。

第 7A 图为透射电子显微镜(TEM)显微图，其示出包含在未施加 N<sub>2</sub> 等离子体处理的样品中的 TiSi<sub>2</sub> 层的精细结构相。第 7B 图为 TEM 显微图，其示出包含在已施加约 60 秒的 N<sub>2</sub> 等离子体处理的样品中的 TiSi<sub>2</sub> 层的精

细结构相。

参照第 7A 及 7B 图，在未进行 N<sub>2</sub> 等离子体处理的实例中，所形成的具有 C54 相的 TiSi<sub>2</sub> 层与氮化钛层(参照 XRD 结果)其各自的厚度范围为从约 15 纳米至约 30 纳米与约 10 纳米。同样地，可观察到晶界沟纹现象。相反的是，对进行 N<sub>2</sub> 等离子体处理约 60 秒的实例来说，所形成的 TiSi<sub>2</sub> 层不均匀。反而会在硅衬底内形成岛。同样地，该氮化钛层的厚度大约为没有施加 N<sub>2</sub> 等离子体处理而形成的氮化钛层的厚度的两倍。从电子衍射图案来看，这些岛已证实为在 C49 相中发现的结构。虽然某些岛会依该岛的型式而偏斜，可观察到的是该 TiSi<sub>2</sub> 岛的(060)平面具有与硅的(020)平面平行外延生长的关系。此结果与上文所示的 XRD 分析结果相符合。在该硅衬底与 TiSi<sub>2</sub> 岛间的取向关系表示如下：

(060)[001]TiSi<sub>2</sub>//(002)[110]Si。

第 8A 及 8B 图为显示出在硅衬底与 TiSi<sub>2</sub> 层间的界面的高分辨率透射电镜(HRTEM)的显微图。特别是，第 8A 图表示不进行 N<sub>2</sub> 等离子体处理的实例，而第 8B 图表示进行 N<sub>2</sub> 等离子体处理约 60 秒的实例。如第 8A 图所示，若 TiSi<sub>2</sub> 层在随机方向的关系下形成，则在 TiSi<sub>2</sub> 层与硅衬底间的界面处可观察到莫尔(Moire)干涉条纹图案。这些莫尔干涉条纹图案显示在区域 B 中。该莫尔干涉条纹为一种反差，其在硅衬底与 TiSi<sub>2</sub> 层的晶格叠置时形成。在硅衬底与 TiSi<sub>2</sub> 层间的大部分的界面中，形成莫尔干涉条纹图案。但是，在区域 A 中，可观察到由晶格中的张力所产生的反差。

另一方面，如第 8B 图所示，随着施加 N<sub>2</sub> 等离子体处理已产生周期性的失配界面位错。此失配界面位错的产生可将在外延生长期间由于在硅衬底与 TiSi<sub>2</sub> 层间的晶格常数差异所造成的界面转变能降低。

第 9 图为 XRD 分析图，其显示出 TiSi<sub>2</sub> 层根据 RTP 温度在结构上的变化。典型的 C49 相具有随机的方向，但是特别具有主要为(131)平面与(060)平面的重点方向。因此，不可能直接观察到变成 C54 相的相转变。

但是，对由 N<sub>2</sub> 等离子体处理而定型的 C49 相来说，其具有(060)平面的重点方向。为此理由，C49 相将通过随后的热处理(例如 RTP)转变成 C54 相。为了直接观察到该相转变，乃在温度约 900°C、约 1000°C、约 1050 °C 及约 1100°C 下进行热处理约 20 秒。如第 9 图所示，C54 相的波峰在该样品以温度约 1000°C 进行 RTP 处理时开始观察到。在温度约 1050°C 的 RTP 时，C49 相消失而转变成 C54 相和 TiN 层的相；在温度约 1100°C 的 RTP 时，仅余留 TiN 层，因为 C54 相分解而变成 TiN 层。最后，该外延生长的 TiSi<sub>2</sub> 层的 C49 相可存在直到约 1000°C 的热处理温度而没有相转变。因此，可排除由随后的热处理所造成发生凝块及沟纹现象的机会。

第 10 图为利用化学气相沉积(CVD)技术来形成外延生长的 C49-TiSi<sub>2</sub> 层的截面图。使用 CVD 技术来形成外延生长的 C49-TiSi<sub>2</sub> 层的方法可随上述自对位金属硅化物形成加工与接触孔形成加工而施加。在本发明的优选实施方案中，该外延生长的 C49-TiSi<sub>2</sub> 层可通过使用等离子体增强化学气相沉积(PECVD)技术在硅衬底上形成。

如图使，提供已完成预定加工的硅衬底或硅层 1001，且可经由湿式清洁方法(使用 BOE 或 HF)或干式清洁方法(使用 NF<sub>3</sub>)来清洁硅衬底 1001。然后，流入四氯化钛(TiCl<sub>4</sub>)气体与氢(H<sub>2</sub>)气体，各自作为钛的来源气体与还原气体。TiCl<sub>4</sub> 气体与 H<sub>2</sub> 气体会与硅衬底 1001 反应而形成外延生长的 C49-TiSi<sub>2</sub> 层 1002。在从约 550°C 至约 800°C 的温度范围、从约 1 托尔至约 20 托尔的压力范围且提供从约 200 瓦至约 800 瓦的功率范围内进行该 PECVD 技术。同时，可使用在上文提到的 TiCl<sub>4</sub>/H<sub>2</sub> 气体作为沉积气体，且可向此处加入硅烷(SiH<sub>4</sub>)气体(其可作为硅的来源气体与还原气体)。换句话说，可使用 TiCl<sub>4</sub>/SiH<sub>4</sub>/H<sub>2</sub> 气体或 TiCl<sub>4</sub>/SiH<sub>4</sub> 气体。

第 11A 图为 HRTEM 显微图，其显示出使用在温度约 650°C 及压力约 5 托尔下所进行的 CVD 技术而形成的外延生长的 C49-TiSi<sub>2</sub> 层。此时，可在该 CVD 技术中使用 TiCl<sub>4</sub>/H<sub>2</sub> 沉积气体。第 11B 图为其 TEM 显微图。

参照第 11A 图，在硅衬底与 C49-TiSi<sub>2</sub> 层间的界面中已产生失配位错。

同样地，在该 C49-TiSi<sub>2</sub> 层中不存在晶界。因此，在硅衬底与 TiSi<sub>2</sub> 层间的界面处具有最小的转变能，这是因为其以半相配方式形成。结果，不发生外延生长的 C49-TiSi<sub>2</sub> 层的相转变。此外，不发生凝块及沟纹现象。

参照第 11B 图，在使用 CVD 沉积 TiSi<sub>2</sub> 层同时，该(060)平面大部分具有 C49 相。部分 TiSi<sub>2</sub> 层具有未反应的 Ti 相。但是，此未反应的 Ti 相会由随后的热处理而转换成 C49 相。此时，预存在的 C49 相不会转变成 C54 相。

第 12 图为通过 CVD 技术所形成的外延生长 C49-TiSi<sub>2</sub> 层在进行热处理期间的结构变化图。甚至在约 800°C 的热处理温度下，该外延生长 C49-TiSi<sub>2</sub> 层仍然存在而不形成 C54-TiSi<sub>2</sub> 层。换句话说，通过 CVD 技术所形成的外延生长 C49-TiSi<sub>2</sub> 层可在热处理期间于最高约 800°C 下稳定地存在。

第 13A 至 13F 图为根据本发明的优选实施方案，以原子层沉积(ALD)技术为基础来形成外延生长 C49-TiSi<sub>2</sub> 层的方法的截面图。通过 ALD 技术形成的外延生长 C49-TiSi<sub>2</sub> 层亦可应用至上述自对位金属硅化物形成加工及接触孔形成加工。

参照第 13A 至 13C 图，将已完成预定加工的硅衬底 1301 加载至 ALD 所用的舱(无显示)中。然后，如第 13B 图所显示，使 TiCl<sub>4</sub> 气体(其为 Ti 来源气体)流入该舱中，以使 TiCl<sub>4</sub> 气体分子 1302 吸附到硅衬底 1301 上。之后，进行清除加工以清除未吸附及不稳定吸附的 TiCl<sub>4</sub> 分子。

参照第 13D 图，使诸如 H<sub>2</sub> 气体的还原气体流入该舱，且使 H<sub>2</sub> 气体分子 1303 吸附以使已吸附的 TiCl<sub>4</sub> 气体分子 1302 去氧化。在此去氧化反应后，仅余留 Ti 层且与来自硅衬底 1301 的硅反应，以形成金属硅化物层 1304。其次，如第 13E 图使，之后进行清除加工，以清除未反应的反应气体及来自上述反应的副产物。

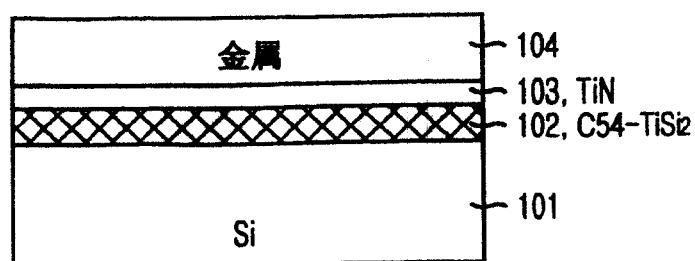
通过重复地进行从第 13A 至 13E 图所示出的步骤，可在硅衬底 1301 上形成具有 C49 相的外延生长 TiSi<sub>2</sub> 层 1304。此外延生长的 C49-TiSi<sub>2</sub> 层

1304 显示在第 13F 图。

该利用 ALD 技术的外延生长 C49-TiSi<sub>2</sub> 层 1304 可在温度范围从约 400°C 至约 700°C 及压力范围从约 0.1 托尔至约 10 托尔下形成。此时，可使用等离子体。同样地，该优选实施方案显示出使用 H<sub>2</sub> 气体作为还原气体的实例。但是，亦可使用包含硅的气体(例如，SiH<sub>4</sub>)作为还原气体。

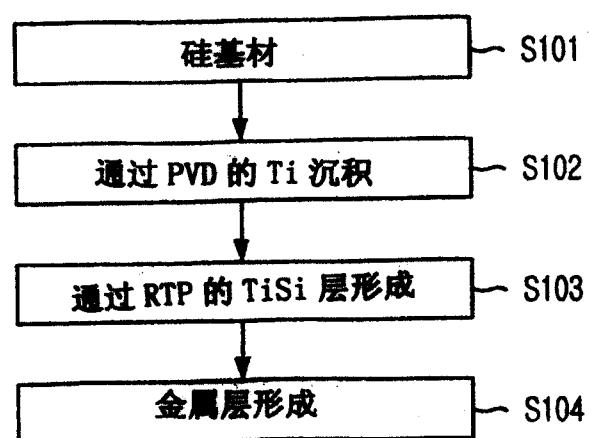
根据本发明，凝块及沟纹现象的发生可通过形成具有低界面能的外延生长 C49-TiSi<sub>2</sub> 层而阻碍，这导致在热处理期间在硅衬底或硅层上无 TiSi<sub>2</sub> 层的相转变。此效应可进一步提供另一减低在硅层与 C49-TiSi<sub>2</sub> 层间的接触电阻与漏电流的效果。

虽然本发明已以某些相关的优选实施方案来说明，然而对于本领域的技术人员来说很明显，可以对本发明做各种变化和修改而不偏离本发明的权利要求所要保护的范围。



(已知技术)

图 1A



(已知技术)

图 1B

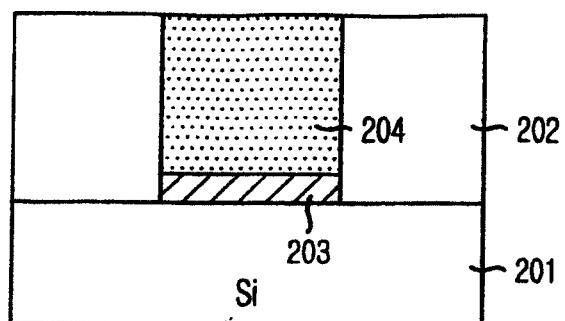


图 2A

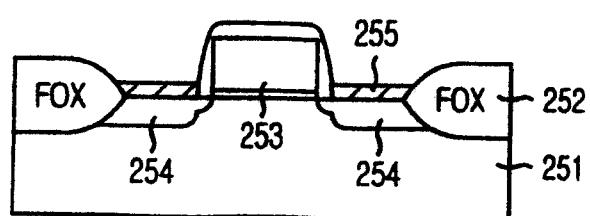


图 2B

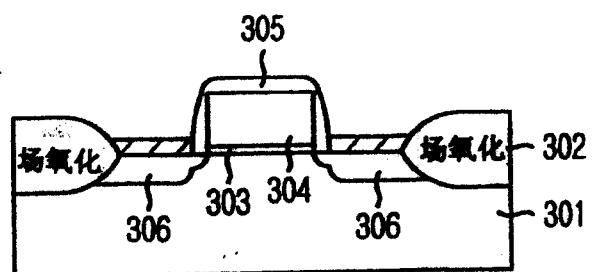


图 3A

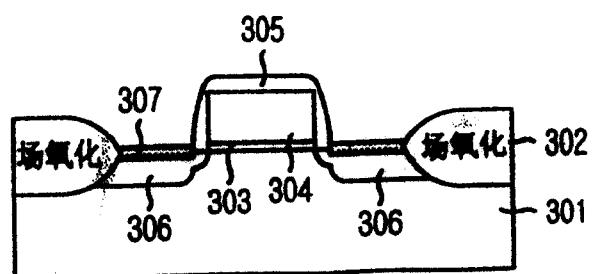


图 3B

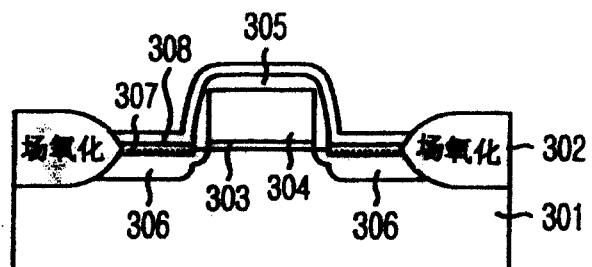


图 3C

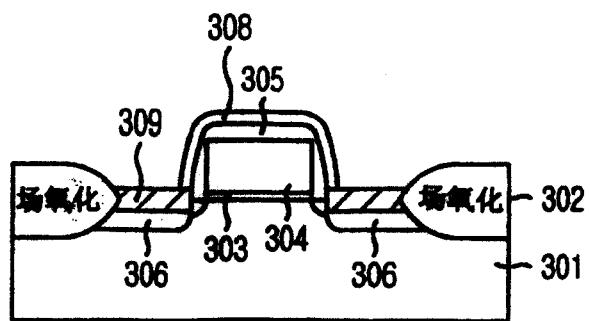


图 3D

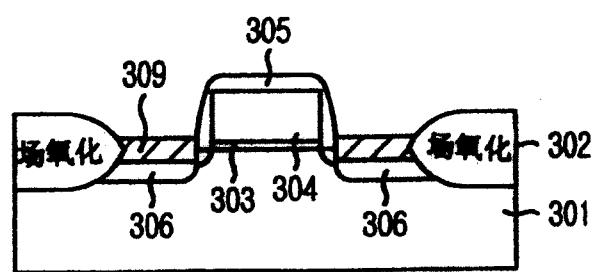


图 3E

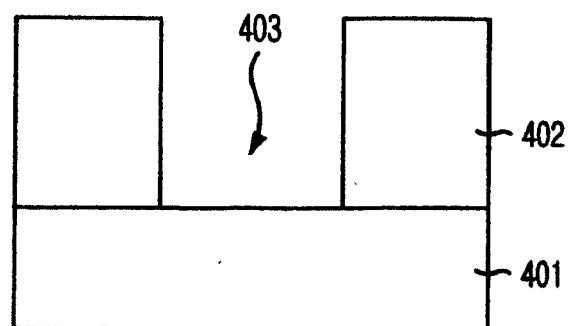


图 4A

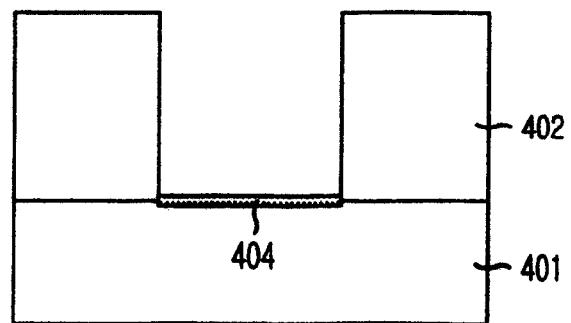


图 4B

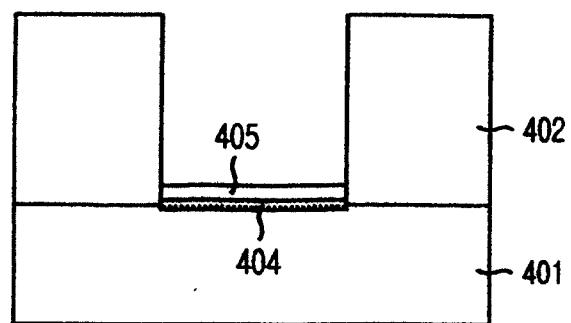


图 4C

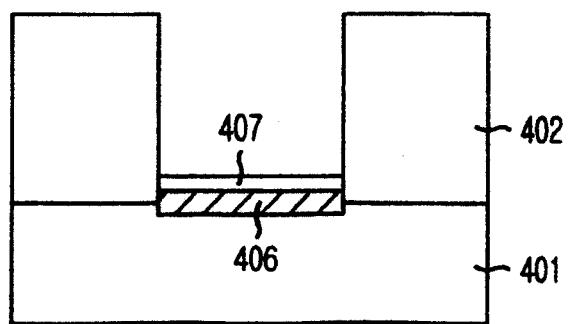


图 4D

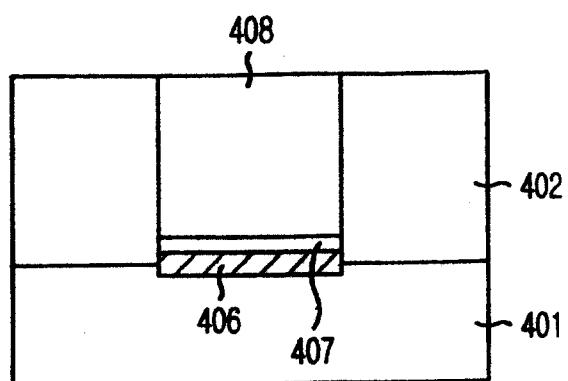


图 4E

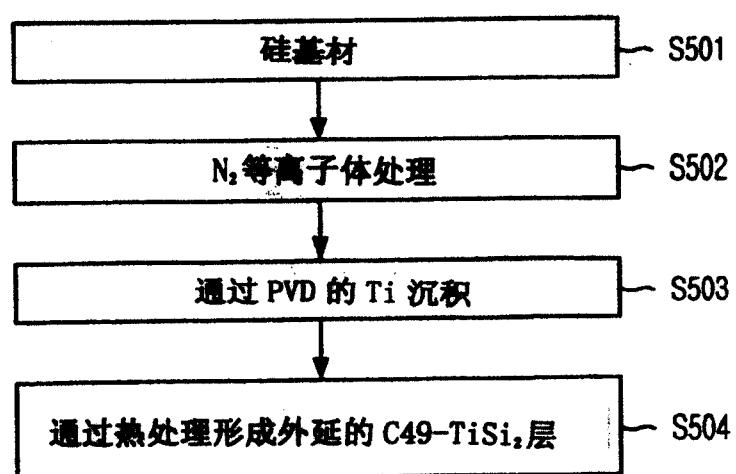


图 5

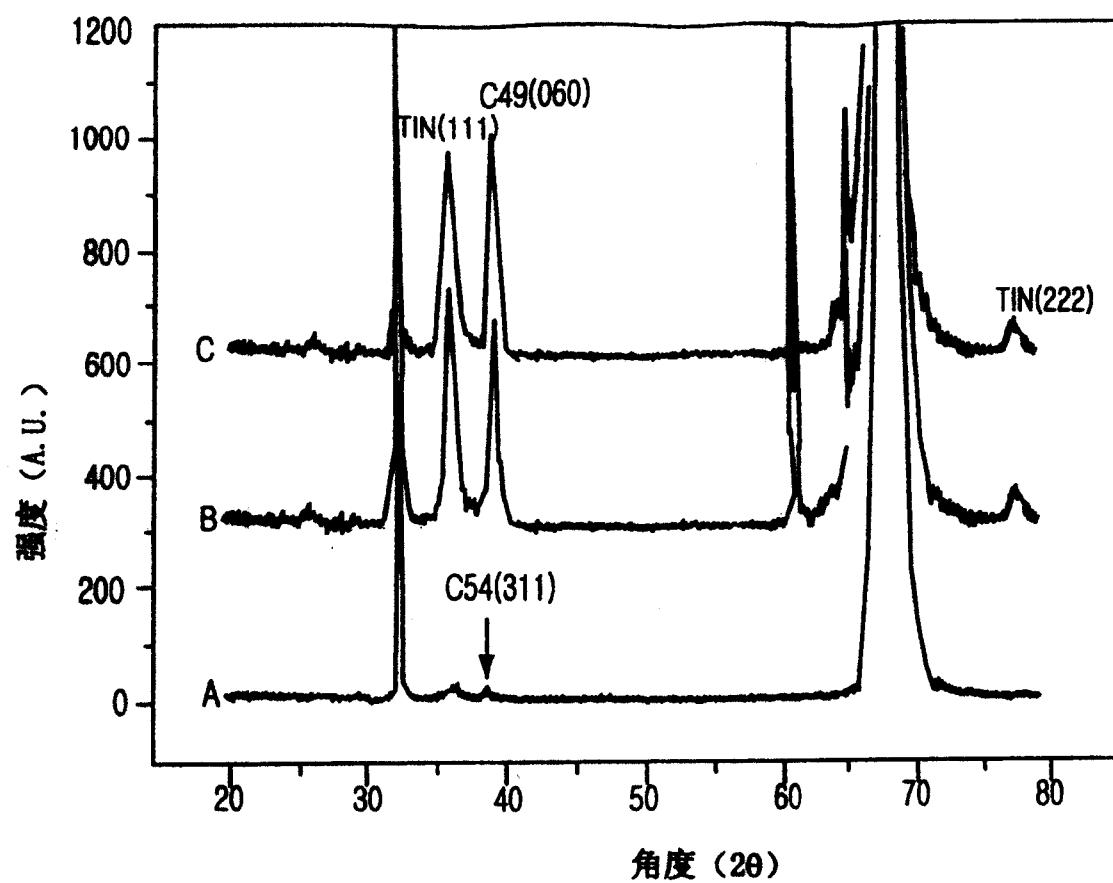


图 6



图 7A

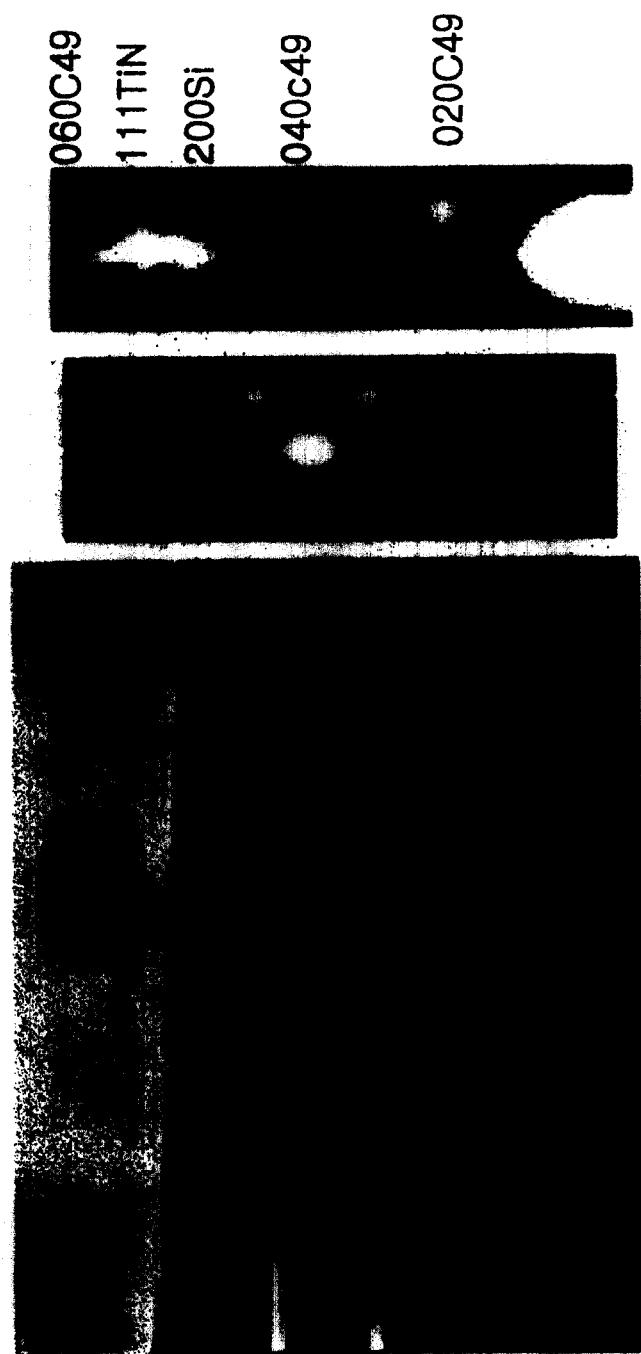


图 7B

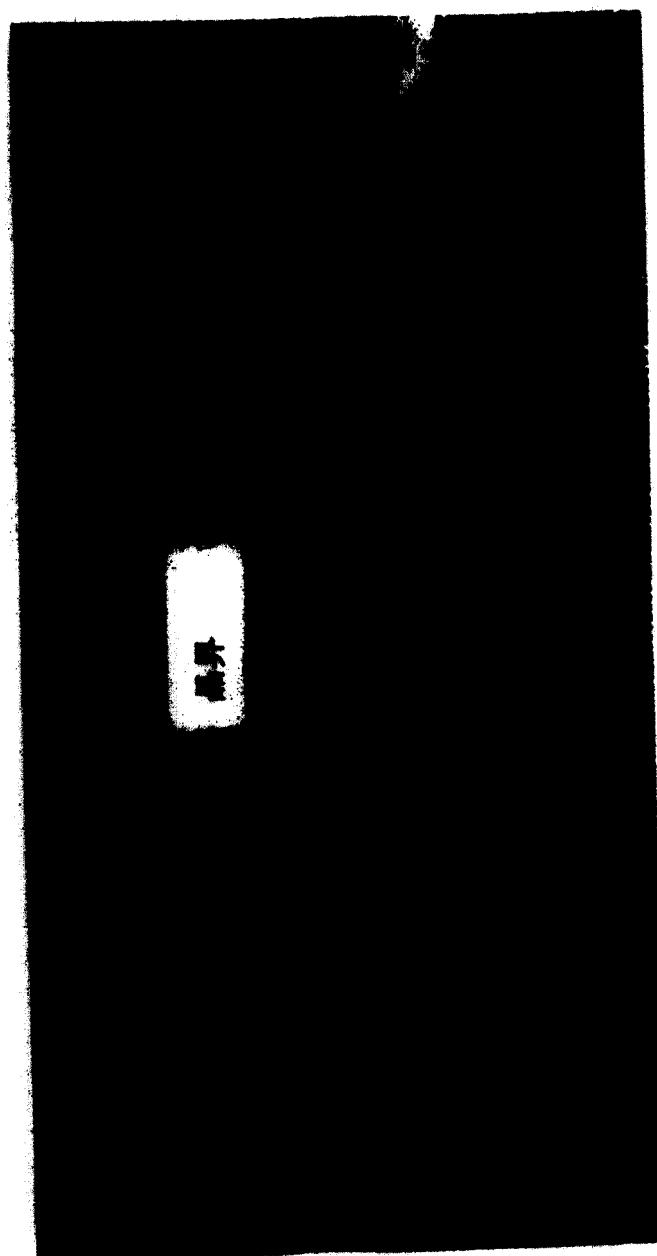


图 8A

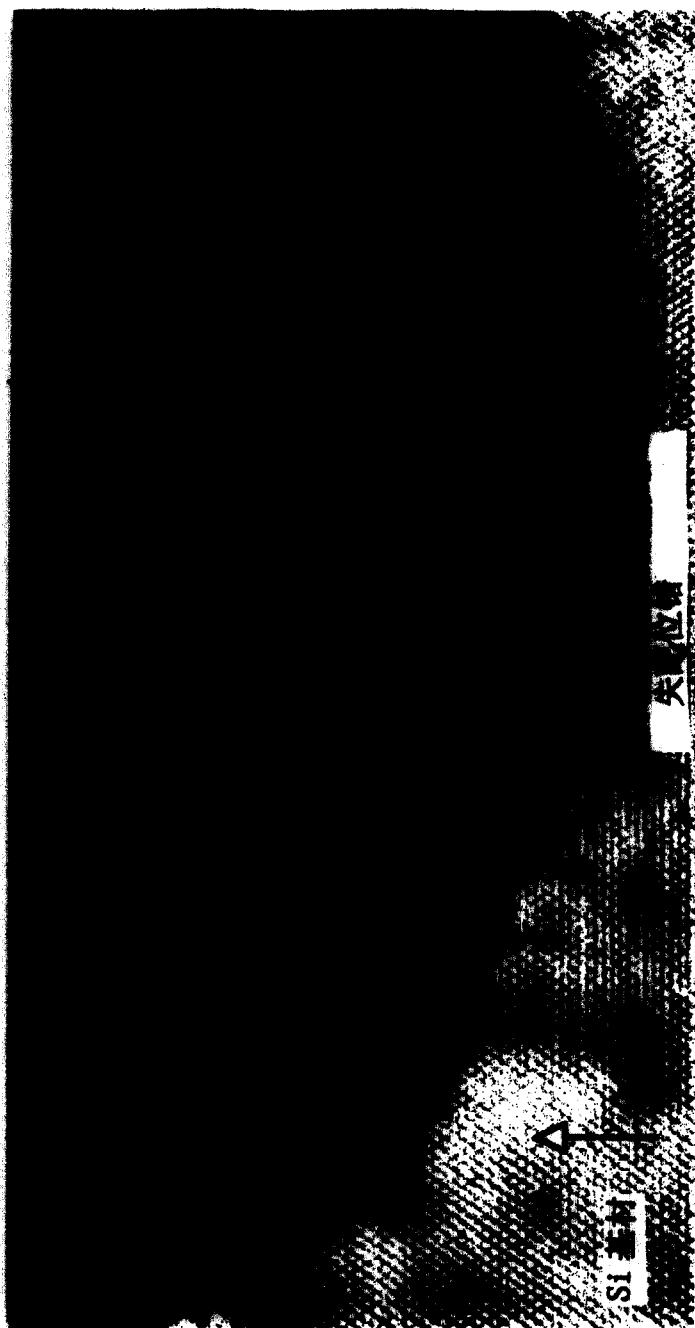


图 8B

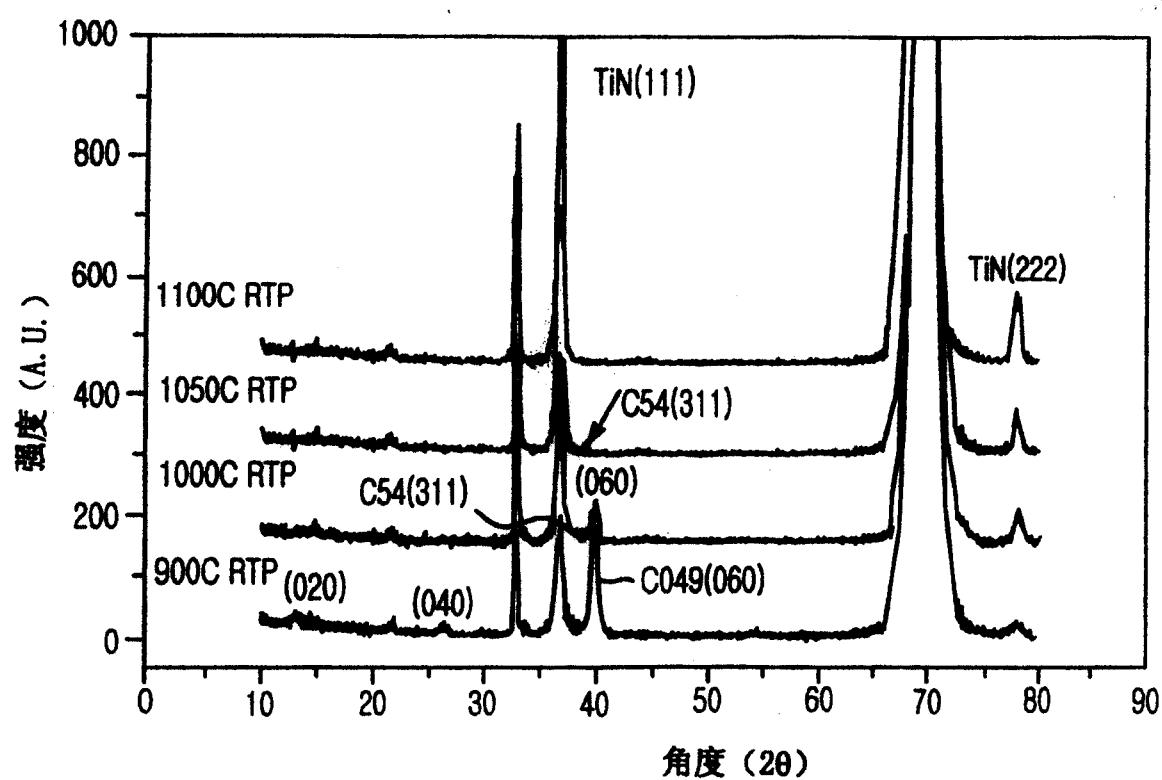


图 9

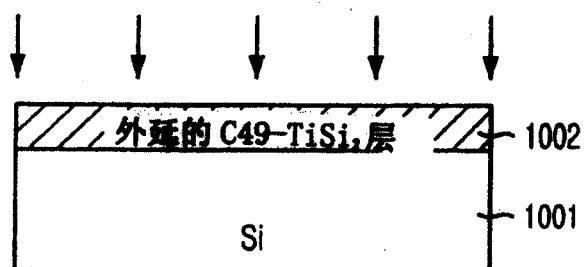


图 10

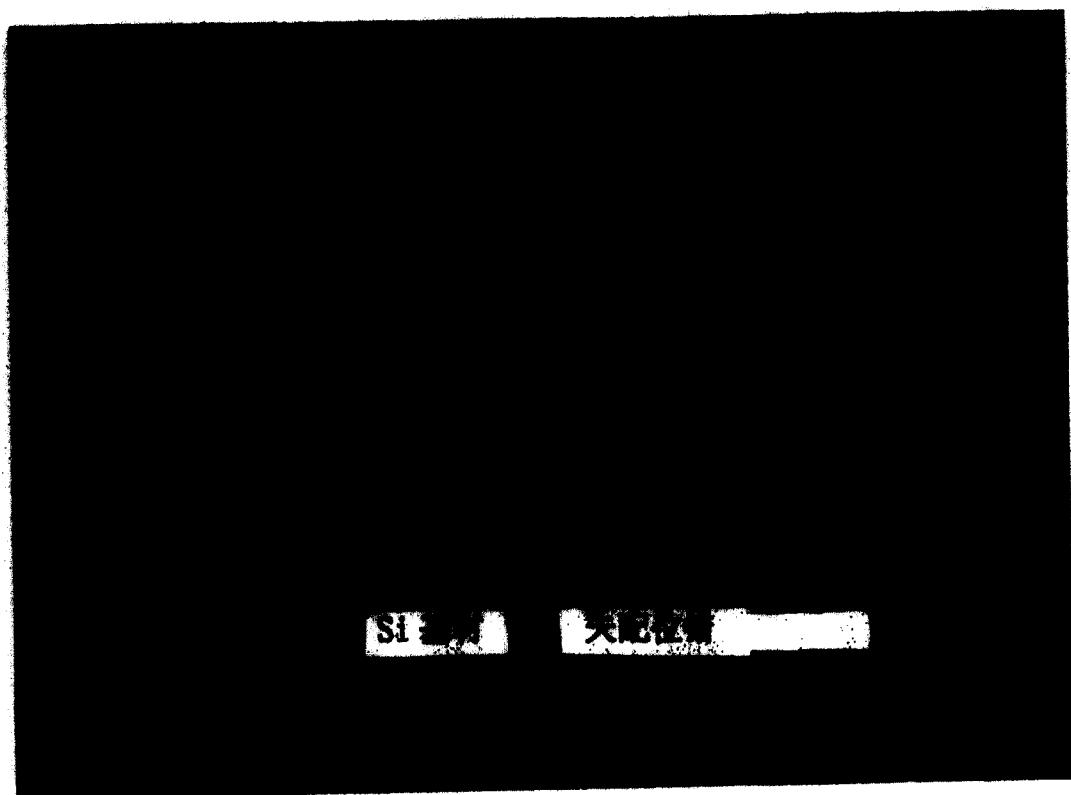


图 11A

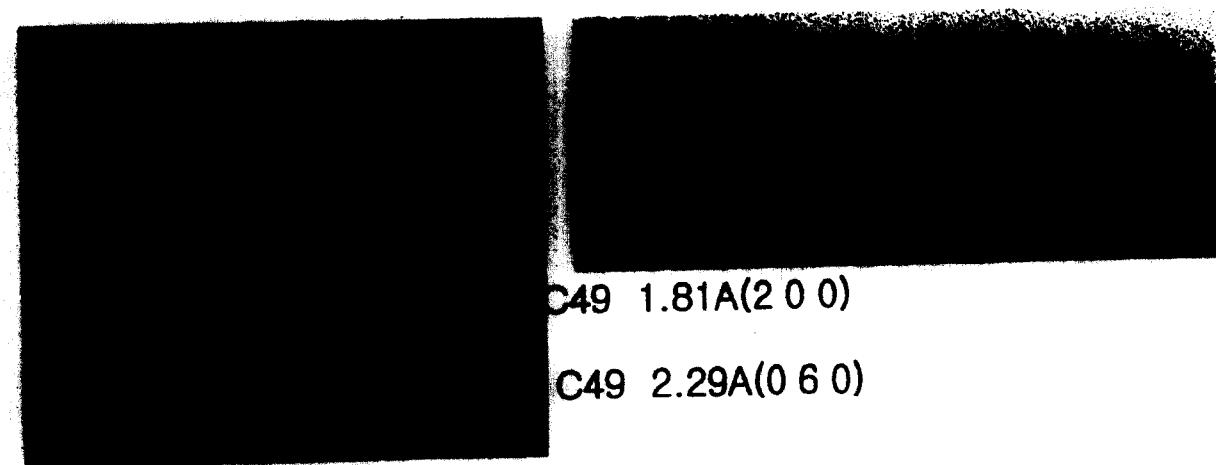


图 11B

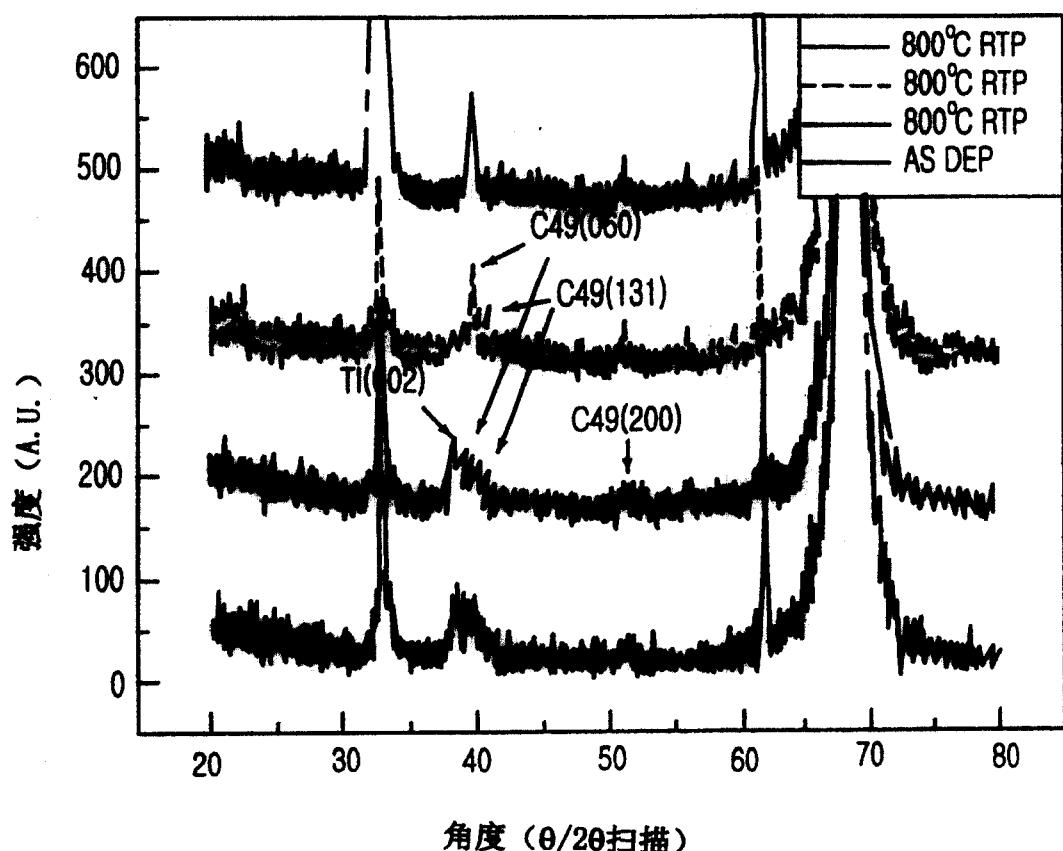


图 12



图 13A

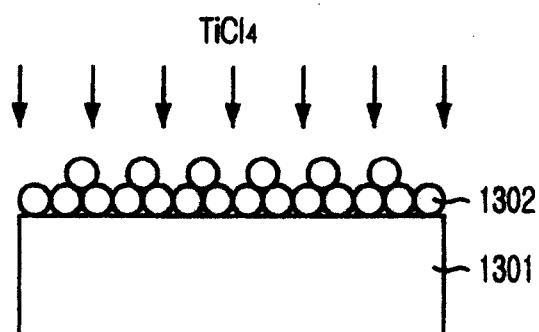


图 13B

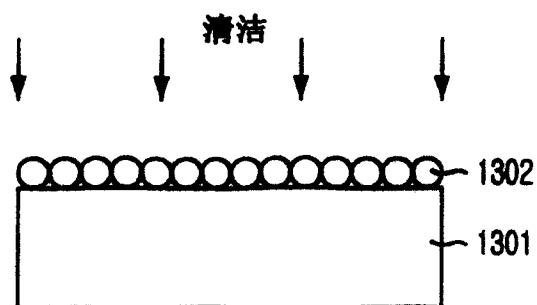


图 13C

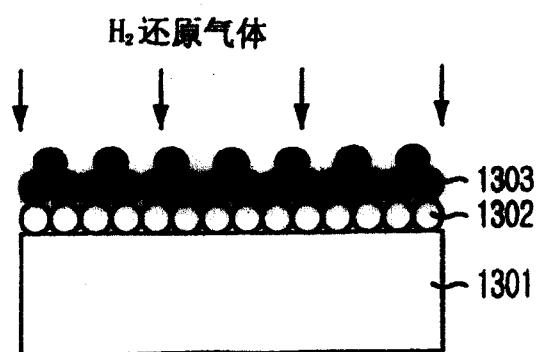


图 13D

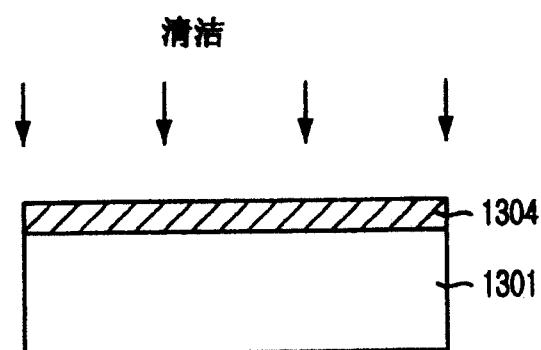


图 13E

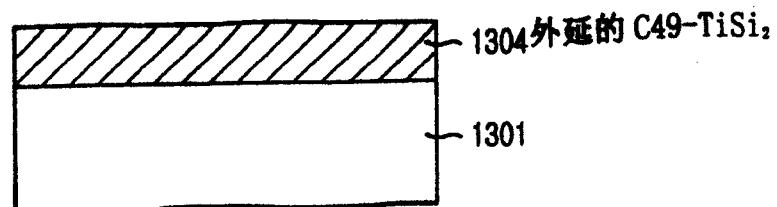


图 13F