

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6227644号
(P6227644)

(45) 発行日 平成29年11月8日 (2017. 11. 8)

(24) 登録日 平成29年10月20日 (2017. 10. 20)

(51) Int. Cl.	F I
A 6 1 N 1/37 (2006. 01)	A 6 1 N 1/37
H O 1 L 21/822 (2006. 01)	H O 1 L 27/04 H
H O 1 L 27/04 (2006. 01)	H O 1 L 27/06 3 1 1 A
H O 1 L 27/06 (2006. 01)	H O 1 L 27/06 3 1 1 C

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2015-523134 (P2015-523134)	(73) 特許権者	505003528
(86) (22) 出願日	平成25年7月11日 (2013. 7. 11)		カーディアック ペースメーカーズ, イ
(65) 公表番号	特表2015-524298 (P2015-524298A)		ンコーポレイテッド
(43) 公表日	平成27年8月24日 (2015. 8. 24)		アメリカ合衆国 5 5 1 1 2 - 5 7 9 8
(86) 国際出願番号	PCT/US2013/050032		ミネソタ, セントポール, ハムライン
(87) 国際公開番号	W02014/014733		アベニュー ノース 4 1 0 0
(87) 国際公開日	平成26年1月23日 (2014. 1. 23)	(74) 代理人	100105957
審査請求日	平成28年7月7日 (2016. 7. 7)		弁理士 恩田 誠
(31) 優先権主張番号	61/673, 330	(74) 代理人	100068755
(32) 優先日	平成24年7月19日 (2012. 7. 19)		弁理士 恩田 博宣
(33) 優先権主張国	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳

最終頁に続く

(54) 【発明の名称】 植込み型医療装置の静電気放電保護回路

(57) 【特許請求の範囲】

【請求項 1】

植込み型医療装置であって、
ハウジングと、
前記ハウジングに含まれている集積回路とを備え、
前記集積回路は、静電気放電 (E S D) 保護回路を含み、
前記静電気放電 (E S D) 保護回路は、
制御入力を介して受信した制御信号に応答して、第 1 電源ノードを第 2 電源ノードに選択的に電気結合するように構成されている能動回路と、
前記第 1 電源ノードと前記能動回路の前記制御入力との間に電気結合されている第 1 受動回路と、
前記第 2 電源ノードと前記能動回路の前記制御入力との間に電気結合されている第 2 受動回路とを含み、
前記第 1 または第 2 の受動回路のうちの少なくとも 1 つは、直列構成、並列構成、または直列および並列構成の組合せのコンデンサのアレイを含み、前記コンデンサのアレイの少なくとも 1 つのコンデンサは、集積回路の単結晶領域にあるか、またはポリシリコン領域間に配置される誘電体を含み、

前記第 1 および第 2 の受動回路は、特定の時定数を規定するように構成され、

前記第 1 および第 2 の受動回路は、印加される E S D に応答して前記特定の時定数を使用して前記制御信号を前記制御入力に供給するように構成され、

10

20

前記能動回路は、前記制御信号に応答して実質的に非導通モードから実質的に導通モードへと切り替えて、前記第 1 および第 2 の電源ノード間に印加される E S D の分路を提供するように構成されている、植込み型医療装置。

【請求項 2】

前記第 1 受動回路は、直列および並列構成のコンデンサのアレイを含み、

前記第 2 受動回路は、レジスタを含む、請求項 1 に記載の植込み型医療装置。

【請求項 3】

前記第 1 または第 2 の受動回路のうちの少なくとも 1 つは、直列構成の少なくとも 2 つのコンデンサのアレイを含む、請求項 1 または 2 に記載の植込み型医療装置。

【請求項 4】

前記第 1 または第 2 の受動回路のうちの少なくとも 1 つは、並列構成の少なくとも 2 つのコンデンサのアレイを含む、請求項 1 から 3 のいずれか 1 項に記載の植込み型医療装置。

【請求項 5】

前記能動回路は、前記第 1 電源ノードを前記第 2 電源ノードに結合するように構成されているシャント電界効果トランジスタ (F E T) を含む、請求項 1 から 4 のいずれか 1 項に記載の植込み型医療装置。

【請求項 6】

前記能動回路は、前記シャント F E T のゲートに結合されている駆動回路を含み、

前記制御入力は、前記駆動回路の入力を有する、請求項 5 の植込み型医療装置。

【請求項 7】

前記駆動回路は、相補型トランジスタペアを含む、請求項 6 に記載の植込み型医療装置。

【請求項 8】

前記第 1 電源ノードは、第 1 D C 供給電圧を含み、

前記第 2 電源ノードは、第 2 D C 供給電圧を含み、

前記第 1 D C 供給電圧は、前記第 2 D C 供給電圧に対して極性が正である、請求項 1 から 7 のいずれか 1 項に記載の植込み型医療装置。

【請求項 9】

前記第 2 電源ノードは、基準ノードを有する、請求項 8 に記載の植込み型医療装置。

【請求項 10】

前記植込み型医療装置は、導電性ハウジングを備え、

前記基準ノードは、前記ハウジングに電気結合されている、請求項 9 に記載の植込み型医療装置。

【請求項 11】

前記植込み型医療装置は、前記ハウジングに結合されている誘電体部を備え、

前記誘電体部は、前記誘電体部上またはその内部に電極を含み、

前記集積回路は、ボンドパッドを含み、

前記電極は、前記ボンドパッドに電気結合され、

前記集積回路は、前記ボンドパッドと少なくとも 1 つの電源ノードとの間に少なくとも 1 つの E S D クランプ回路を含む、請求項 10 に記載の植込み型医療装置。

【請求項 12】

前記第 1 受動回路は、直列および並列構成のコンデンサのアレイを含み、

前記第 2 受動回路は、レジスタを含み、

前記第 1 または第 2 の受動回路の 1 以上は、少なくとも第 1 および第 2 のコンデンサを含み、

前記第 1 コンデンサは、集積回路基板の単結晶領域に誘電体を有するコンデンサ誘電体を含み、

前記第 2 コンデンサは、集積回路のポリシリコン領域間に配置されるコンデンサ誘電体を含む、請求項 1 に記載の植込み型医療装置。

10

20

30

40

50

【請求項 13】

植込み型医療装置で静電気放電（ESD）保護を提供する方法であって、
ハウジングを形成すること、
前記ハウジング内に集積回路を形成することを備え、
前記集積回路は、静電気放電（ESD）保護回路を含み、
前記集積回路を形成することは、
制御入力を介して受信した制御信号に応答して、第1電源ノードを第2電源ノードに選択的に電気結合するように構成されている能動回路を形成すること、
前記第1電源ノードと前記能動回路の前記制御入力との間で電気結合する第1受動回路を形成すること、
前記第2電源ノードと前記能動回路の前記制御入力との間で電気結合する第2受動回路を形成することを含み、
前記第1受動回路を形成すること、および前記第2受動回路を形成することのうちの少なくとも1つは、直列構成、並列構成、または直列および並列構成の組合せでコンデンサのアレイを形成することを含み、前記コンデンサのアレイの少なくとも1つのコンデンサは、集積回路の単結晶領域にあるか、またはポリシリコン領域間に配置される誘電体を含み、
前記第1および第2の受動回路は、特定の時定数を規定するように構成され、
前記第1および第2の受動回路は、印加されるESDに응答して前記規定の時定数を使用して前記制御信号を前記制御入力に供給するように構成され、
前記能動回路は、前記制御信号に응答して実質的に非導通モードから実質的に導通モードに切り替えて、前記第1および第2の電源ノード間に印加されるESDの分路を提供するように構成されている、方法。

【発明の詳細な説明】

【背景技術】

【0001】

電子集積回路は、数千または数百ものトランジスタ、レジスタ、コンデンサ、配線または他の機器など、多数の機器を含むことができる。静電蓄積したエネルギーは、放電されると、当該回路に含まれている電氣的オーバーストレスになった機器によるなどして、集積回路を損傷することがある。例えば、電界効果トランジスタ（FET：Field Effect Transistor）またはコンデンサは、ESD（ElectroStatic Discharge）事象に対する酸化物または他の誘電体層の脆弱性によるなど、当該ESD事象に特に敏感になるおそれがある。ESDは集積回路の製造中、取扱い中、流通中、最終使用中、または他の場合に発生するおそれがある。装置、包装または人は損傷を引き起こす量の当該電荷を静電集積して蓄積するおそれがあり、その電荷がさらに集積回路を通るかもしくは集積回路付近の経路を介して不用意に放電するおそれがある。あるアプローチでは、「接地した」もしくは導電性の電気ワークステーションまたは包装を用いるなどして、静電蓄積したエネルギーを消散させる予防的な取扱い措置を取ることができるが、当該措置は一般に集積回路に対するESDに起因する損傷の恐れをなくすのではなく、低減するだけである。

【発明の概要】

【課題を解決するための手段】

【0002】

一般に、集積回路は集積回路機器パッケージの一部として含まれている1以上の導体に電氣的および機械的接続を提供するためなど、1以上のボンドパッドを含むことができる。当該ボンドパッドは入力または出力（I/O）ということができ、ボンドパッドノードと1以上の電源ノードとの間を結合するなど、集積回路の一部として、または集積回路の外部に含まれている静電気放電（ESD）クランプ回路に結合することができる。このようなクランプ回路は、例えば、ボンドパッドと電源ノードとの間に印加される電圧を特定の電圧範囲内に制限することができる。

【 0 0 0 3 】

あるアプローチでは、I / O 保護に追加するなど、1 以上の E S D 保護回路を、2 以上の電源ノード間など、集積回路の一部として含むことができる。E S D 保護回路はトランジスタなどの能動素子と、レジスタおよびコンデンサを含むような検出回路とを含むことができる。このような検出回路は、能動素子が E S D 事象の継続期間中に導通になるように能動素子をトリガするためなど、能動素子の制御入力に結合することができる。例えば、このような能動素子は、2 以上の電源ノード間など、エネルギー消散または E S D エネルギーの分路を提供することができる。E S D によりトリガされた分路は電源ノードに結合されている他の回路系の電氣的オーバーストレスを防止することができる。複数の電源ノードを有する集積回路の実施例では（例、「複数のパワードメイン」の実施例）、E S D 保護回路のアレイを使って、E S D 保護回路のアレイのそれぞれの電源ノード間に印加される E S D に起因する電圧または他の電氣的過渡現象によるなどの電氣的オーバーストレスを低減または阻止することができる。

10

【 0 0 0 4 】

本発明者らは、特に、E S D 保護回路の一部として含まれている検出回路の構成が E S D 保護回路の信頼性に影響することを認識した。例えば、単一のコンデンサを含む検出回路は、少なくとも部分的にはコンデンサの経時絶縁破壊（T D D B : T i m e - D e p e n d e n t D i e l e c t r i c B r e a k d o w n）によるなど、故障するおそれがある。T D D B は故障しているコンデンサを電氣的短絡として挙動させるおそれがある。本発明者らは、当該経時絶縁破壊率は、コンデンサに印加される動作電圧（例、「使用電圧」）によって影響を受ける可能性があることも認識した。例えば、使用電圧が高くなると、T D D B はコンデンサの寿命全体にわたってより急速に発生するおそれがある。1 以上の集積回路を有する植込み型医療装置を含め植込み型のアプリケーションでは、T D D B による E S D 保護回路の故障は、植込み型機器の早期のバッテリー枯渇などの望ましくない影響を生じるおそれがある。

20

【 0 0 0 5 】

したがって、本発明者らは、特に、2 以上のコンデンサを直列構成、並列構成、または直列および並列構成の組合せで含む検出回路を具備するなど、2 以上のコンデンサを含むアレイを E S D 保護回路の一部として含むことができると認識した。当該直列、並列、または直列・並列コンデンサ構成は、1 以上の、短絡コンデンサ故障（例、T D D B による）、開回路コンデンサ故障（例、配線故障による）、「漏えい」もしくは「損失」コンデンサ故障（例、コンデンサ等価直列抵抗もしくは漏れ抵抗が指定範囲外の場合）、または1 以上の他の故障モードの存在下で確実な E S D 保護回路の動作を提供するなど、冗長性を提供することができる。

30

【 0 0 0 6 】

本概要は、本特許出願の主題の概要を提供することを意図している。本発明の排他的または網羅的な説明を提供することを意図するものではない。本特許出願に関する詳しい情報を提供するために詳細な説明を記載する。

【図面の簡単な説明】

【 0 0 0 7 】

40

【図 1】全体として、植込み型医療装置に含まれている集積回路の一部として含むことができるなど、静電気放電（E S D）保護回路を含むことができる実施例を示す。

【図 2】全体として、複数の「パワードメイン」を有する集積回路の一部として含むことができるなど、E S D 保護回路のアレイの実施例を示す。

【図 3】全体として、ハウジングおよび誘電体ヘッダアセンブリを含むことができるなど、植込み型医療装置を含むことができる実施例を示す。

【図 4 A】全体として、並列構成で 2 以上のコンデンサを有する検出回路を含む E S D 保護回路の少なくとも一部の実施例を示す。

【図 4 B】全体として、直列構成で 2 以上のコンデンサを有する検出回路を含む E S D 保護回路の少なくとも一部の実施例を示す。

50

【図４Ｃ】全体として、直列・並列構成で２以上のコンデンサを有する検出回路を含むＥＳＤ保護回路の少なくとも一部の実施例を示す。

【図５】全体として、メタルオンリーマスク調整を用いるなどして、所望の静電容量または抵抗を選択するために使用することのできる１以上の金属特徴部を含むことができるなど、ＥＳＤ保護回路の一部として含むことのできる検出回路の少なくとも一部の実施例を示す。

【図６】全体として、植込み型医療装置の一部として含むことができるなど、２以上のコンデンサ機器と電界効果トランジスタ（ＦＥＴ）機器とを含むことができる集積回路の少なくとも一部の断面図を示す。

【図７Ａ】全体として、シャント装置と駆動回路とを具備する能動回路を含むことのできるＥＳＤ保護回路の少なくとも一部の実施例を示す。

10

【図７Ｂ】全体として、ＦＥＴシャント装置および相補型ＦＥＴ駆動回路を含むことのできるＥＳＤ保護回路の少なくとも一部の実施例を示す。

【図８】全体として、植込み型医療装置用など、集積回路を形成するステップを含むことができる、方法などのテクニックを示す。

【発明を実施するための形態】

【０００８】

必ずしも縮尺通りに描かれていない図面において、同じ番号は異なる図において同様な構成要素を示していることがある。異なる文字の接尾辞を有する同じ番号は、同様な構成要素の異なる事例を表すことがある。図面は、一般に、制限ではなく例として、本書に述べる様々な実施形態を図示する。

20

【０００９】

図１は、全体として、植込み型医療装置（例、図３に図示するような植込み型医療装置３００）に含まれている集積回路の一部として含むことができるなど、静電気放電（ＥＳＤ）保護回路１０２を含むことのできる実施例１００を示す。図１の実施例では、ＥＳＤ保護回路１０２は、能動回路１０６の制御入力「Ｃ」と（例、基準「ＲＥＦ」に対する電圧 V_P の）第１電源ノードとの間に結合されている第１受動回路などの第１回路「 Z_1 」を含むことができる。ＥＳＤ保護回路１０２は、能動回路１０６の制御入力Ｃと（例、基準「ＲＥＦ」に対する電圧 V_N の）第２電源ノードとの間に結合されている第２受動回路などの第２回路「 Z_2 」を含むことができる。ある実施例において、 V_N は、ＲＥＦと同じ電位など、 V_P よりも小さいＤＣ電位であることができる。

30

【００１０】

ある実施例では、第１および第２の回路 Z_1 および Z_2 の組合せが検出回路を提供することができる。検出回路は、制御入力Ｃを介して、能動回路１０６を実質的に非導通モード（例、「カットオフ」）から実質的に導通モード（例、「オン状態」）に移行または切替えるように能動回路１０６をトリガするように構成することができる。このように、 V_P と V_N 間のＥＳＤ電圧過渡現象などのエネルギーは、能動回路１０６を介してクランプ、分路、またはその他の方法で消散することができる。トリガされると、能動回路１０６は制御入力Ｃに結合されている電圧を介して、第１または第２の電源ノード V_P または V_N のうちの１以上に結合することのできる他の「下流の」回路系１０４を保護することができる。ある実施例では、能動回路１０６は、図７Ａから図７Ｂの例示的な実施例で図示するものなど、１以上のトランジスタまたは駆動回路を含むことができる。

40

【００１１】

ある実施例では、第１または第２の回路 Z_1 または Z_2 のうちの１以上は、レジスタ、コンデンサまたはインダクタなどの１以上の受動素子を含むことができる。当該受動素子は、能動植込み型医療装置に含まれるなど、集積回路１００の一部として含むことができる。例えば、図４Ａから図４Ｃ、または図５に図示するように、 Z_1 または Z_2 のうちの１以上は、アレイに含まれている単一のコンデンサが故障した場合に、ＥＳＤ保護回路１０２の信頼性を高めるためのコンデンサアレイを含むことができる。

【００１２】

50

パッド108など、1以上の入力または出力パッドも、第1クランプ D_1 （例、第1ダイオード）、または第2クランプ D_2 （例、第2ダイオード）を含め、パッド108と各電源ノードとの間に結合されているクランプ回路110を用いて、ESD事象から保護することができる。当該クランプ回路は、ESD保護回路102によって提供される電源「レール（rail）」保護に加えて含むことができる。

【0013】

図2は、全体として、複数の「パワードメイン（power domain）」を有する集積回路の一部として含むことができるなどの、ESD保護回路のアレイ200Aの実施例を示す。一般に、2つの電源ノード（例、正電圧および基準）を使用する場合、図1に図示するものなどの単一のESD保護回路102を使用することができる。（例、アナログまたは混合モード集積回路で各「パワードメイン」を供給するためなど）3以上の電源ノードを使用する場合、保護回路のアレイ200Aを使用することができる。例えば、第1ESD保護回路102Aは第1電源ノード V_1 と第2電源ノード V_2 との間に結合することができる。第2ESD保護回路102Bは第2電源ノード V_2 と第3電源ノード V_3 との間に結合することができ、第3ESD保護回路102Cは第3電源ノード V_3 と第1電源ノード V_1 との間に結合することができる。このように、各電源ノード間に結合されている（または2つの電源ノードと共同の）ESD過渡現象は、各ESD保護回路102A、102Bまたは102Cによってさらに消散または分路することができる。図3の例示的な実施例では3つのノードだけを図示しているが、このようなアレイ200Aは4以上の電源ノードを収容するように適切に拡大することができる。

【0014】

図3は、全体として、ハウジング210および誘電体部220を含むことができるなど、能動植込み型医療装置（IMD：Implantable Medical Device）300を含むことができる実施例を示す。IMD300は、植込み型モニタ、植込み型ペースメーカ、植込み型除細動器（ICD：Implantable Cardioverter-Defibrillator）、心臓再同期（CRT：Cardiac Resynchronization Therapy）装置、神経刺激機器（または1以上の他の生理的刺激、治療もしくは監視機能を含めて）、これらのうち1以上を含むことができる。

【0015】

ある実施例では、IMD300は、IMD300に対して遠位に配置されている1以上の電極を含め、1以上の植込み型リードアセンブリに結合することができる。例えば、1以上の血管内または皮下に植え込まれたリードは、IMD300に含まれている回路200Bに、誘電体部220上もしくは誘電体部220内に配置されているコネクタブロック250を介して結合できるであろう（例、誘電体部220およびコネクタブロック250は「ヘッダ」を具備することができる）。ハウジング210または固定電極240のうちの1以上を、回路200Bに結合するなどして、IMD300の一部として含むことができる。ハウジング210は、チタン製などの、ハーメチックシールを施した導電性ハウジング（hermetically-sealed conductive housing）を含むことができる。ハウジング210は電氣的結合230を介して回路200Bに電気接続することができる。回路200Bは、図1から図2の実施例もしくは他のところで図示するようなESD保護回路102を含んで、ハウジング210、コネクタブロック250または電極240のうちの1以上を介して回路200Bに不用意に結合されるおそれのある電気蓄積エネルギーを消散することができる。ある実施例では、ハウジング210、電極240またはコネクタブロック250のうちの1以上の電位に相当する基準電位（例、「接地」または「REF」電位）を規定することができる。

【0016】

図4Aは、全体として、並列構成の第1コンデンサ C_{p1} および第2コンデンサ C_{p2} などの2以上のコンデンサと、レジスタ R_1 とを有する検出回路を含むことができるESD保護回路400の少なくとも一部の実施例を示す。図4Aでは、レジスタ R_1 の抵抗を

乗じた並列静電容量 C_{P1} および C_{P2} の合計によって決定する時定数を、能動回路 106 の制御入力で規定することができる。このような検出回路構成は第 1 電源ノード V_{PX} と第 2 電源ノード V_{NX} との間に発生する電氣的過渡現象（例、ESD 事象）をトリガ制御入力 C に結合するハイパス構成にすることができる。 C_{P1} または C_{P2} のうちの一方が開回路を生じさせるように故障しても、残りのコンデンサはまだハイパス構成を提供できるが、（増加したハイパスカットオフ周波数（high-pass cut-off frequency））に対応して時定数の継続時間が減少するなど）時定数はそれに応じて減少することがある。しかし、 C_{P1} または C_{P2} のうちの一方が短絡を生じさせるように故障する場合、能動回路 106 は望ましくない連続トリガ状態になることがある。

【0017】

図 4 B は、全体として、直列構成の第 1 コンデンサ C_{S1} および第 2 コンデンサ C_{S2} などの 2 以上のコンデンサを有する検出回路を含むことができる ESD 保護回路 400 の少なくとも一部の実施例を示す。図 4 B では、1 を直列静電容量 C_{S1} および C_{S2} の逆数の合計で割り、レジスタ R_1 の抵抗を乗じて決定する時定数を、能動回路 106 の制御入力で規定できる。このような検出回路構成は、図 4 A の例示的な実施例のように、ハイパス構成も提供することができる。 C_{S1} または C_{S2} のうちの一方が TDDB によるなど短絡または低抵抗を生じさせるように故障しても、残りのコンデンサはまだハイパス構成を提供することができる、それに応じて時定数が増加する（例、ハイパスカットオフ周波数を減少させながら、時定数を長くすることができる）。このように、短絡または低抵抗（例、高い漏えい）コンデンサ故障モードの場合、単一のコンデンサが故障した場合に周波数が低くても制御入力をトリガすることがある代わりに、当初指定されたハイパス周波数範囲を保つことができる。 C_{S1} または C_{S2} のうちの一方が開回路を生じさせるように故障する場合、検出回路は能動回路 106 の制御入力のトリガをさせないようにすることができる。

【0018】

図 4 C は、全体として、直列と並列（例、直列・並列）構成の 2 以上のコンデンサを有する検出回路を含むことができる ESD 保護回路 400 C の少なくとも一部の実施例を示す。本発明者らは、特に、直列および並列両方のコンデンサを含むコンデンサアレイは、短絡および開回路の両故障モードに対し冗長性を提供できることを認識した。ある実施例では、第 1 から第 4 のコンデンサ C_1 から C_4 を含むなどの（または 1 以上の他の構成）、アレイ内のコンデンサが、それぞれ特定の静電容量値または使用電圧定格を含むことができる。使用電圧定格はアレイ内の複数の直列の「段階」に対応して下げることができる。例えば、特定の単一（または複数）の短絡故障状態により、各コンデンサに流れる電圧が対応する使用電圧定格を必ず超えるわけではない。

【0019】

ある例示的な実施例では、第 1 電源ノード V_{PX} と第 2 電源ノード V_{NX} との電圧差は約 12 ボルトにすることができる。各コンデンサの使用電圧範囲は、12 ボルトを超えて指定することができる。図 4 C の実施例では、コンデンサ C_1 から C_4 の直列抵抗がほぼ等しいと仮定すると、携帯動作中（ambulatory operation）（例、非故障操作シナリオ）で各コンデンサで約 6 ボルトの電圧が低下するであろう。単一の短絡故障の場合、故障により短絡しない残りのコンデンサに 12 ボルトを印加できる。例えば、コンデンサ C_2 が故障して短絡すると、コンデンサ C_1 および C_3 に V_{PX} と V_{NX} との電圧差が印加されるであろう（例、コンデンサ C_1 および C_3 に、6 V ではなく約 12 ボルトが印加されるであろう）。コンデンサ C_4 は C_2 の短絡故障により迂回されるであろう。コンデンサ C_1 および C_3 はまだ確実に動作することができる、この例示的な実施例では少なくとも 12 V に定格される。図 6 の例示的な実施例に示すように、各コンデンサに異なるコンデンサ誘電材料またはコンデンサ構成を用いるなどすることによっても、冗長性を提供することができる。

【0020】

図 5 は、全体として、1 以上の導電性特徴部 M_1 から M_4 と、第 1 コンデンサ C_{A1} ま

10

20

30

40

50

たは第2コンデンサ C_{A2} を含むなどのコンデンサのアレイ、または第1レジスタ R_1 または第2レジスタ R_2 などのレジスタのアレイとを含むことのできるESD保護回路の一部として含むことのできる検出回路の少なくとも一部の実施例を示す。導電性特徴部 M_1 から M_4 は、集積回路の製作前または製作中に、メタルオンリーマスク調整(metal-only mask adjustment)を用いるなど、所望の静電容量または抵抗を選択するために使用できる金属または1以上の他の導電材料を含むことができる。例えば、集積回路の他の層を変更する必要なく、様々な導電性(例、メタライゼーション層(metallization layer))特徴部 M_1 から M_4 を含むかもしくは省くことによって、検出回路に所望の時定数(図1、図2もしくは図4Aから図4Cの実施例で述べるような)を選択することができる。

【0021】

図6は、全体として、植込み型医療装置の一部として含むことのできる2以上のコンデンサ、または電界効果トランジスタ(FET)機器を含むことができる集積回路600の少なくとも一部の断面図を示す。FET機器628は上記の実施例および他のところで述べる能動回路106の一部として含むことができる。例えば、FET機器628は、基板602の型とは逆の(または、ある実施例では、より大きなウェルもしくはFET機器628を囲むエピタキシャル成長領域の導電型とは逆の)導電型を含め、各第1および第2のウェル領域604Aおよび604Bを含むことができる。当該ウェル領域604Aおよび604Bはソース領域またはドレイン領域として指定することができる。ゲート誘電体616は、ウェル領域604Aおよび604Bの一部とやや側方に重なるなどして、形成することができる。ゲート616誘電体上に金属またはポリシリコン端子などの導電端子を形成して、ゲート端子614を設けることができる。ウェル領域604Aおよび604Bの1以上、またはゲート端子614は、上記または以下の他の実施例で述べるESD保護回路を提供するためなど、集積回路600の他の部分に電気結合することができる。

【0022】

図6に図示する実施例では、第1コンデンサは、(例、二酸化ケイ素(SiO_2)もしくは1以上の他の材料を含む)誘電体層608上に成長または蒸着されている第1ポリシリコン端子612を具備する(もしくは1以上の他の導電材料を含む)ポリ-ポリコンデンサ630を含むことができる。このような誘電体層608は半導体基板602の一部の上に配置することができ、または半導体基板602の一部を具備することができる。コンデンサ誘電材料610は、化学気相成長法、スピノン法、スパッタリング法を用いて、または1以上の他の手法を用いて、第1ポリシリコン端子612上に形成することができる。第2ポリシリコン端子606は、例えば、第1ポリシリコン端子612の反対(例、図6に図示するように、上)に、コンデンサ誘電材料610が第1および第2のポリシリコン端子612および606を分離した状態で形成することができる。

【0023】

第2コンデンサは単結晶シリコン上誘電体構成626を含むことができる。例えば、基板602は、正(p型)ドーピング不純物など、第1導電型を含むことができる。ウェル領域624はn型またはp型のドーピング不純物を含むことができる。第2コンデンサは、FET機器628の一部として形成されるゲート誘電体616と同様な態様などで、基板602上に形成される熱成長または「自然」酸化物層620を含むことができる。単結晶シリコン上誘電体構成626を含む第2コンデンサは、n型またはp型のドーピング不純物を含むなど、それぞれ第1および第2のウェル領域604Cおよび604Dを含むことができる。単結晶領域(monocrystalline region)上での酸化物層620の成長は酸化物層620への欠陥伝搬を低減または阻止することができ、ポリ-ポリコンデンサ630と比較してTDDBに対する脆弱性を低減する。ポリ-ポリコンデンサ630と異なり、単結晶シリコン上誘電体構成626はエンハンスメントモードまたは空乏モード機器として製作することができ、静電容量は、単結晶シリコン上誘電体構成626の基板602と端子618との間に印加される電圧の極性および大きさに、非線形依存などで依存させることができる。

【0024】

10

20

30

40

50

コンデンサのアレイは、ポリ - ポリコンデンサ 630 構成、もしくは単結晶シリコン上誘電体構成 626 を含む 1 以上のコンデンサ、または 1 以上の他の構成を用いるなどして形成することができる。1 以上の導電層（例、1 以上のメタライゼーション層）を形成もしくは蒸着して、単結晶シリコン上誘電体構成 626 に、ポリ - ポリコンデンサ 630、FET 機器 628、または第 2 コンデンサのうちの 1 以上間で電氣的な相互接続を提供することができる。

【0025】

図 7A は、全体として、シャント装置 (shunt device) および駆動回路 760 を具備する能動回路 706A を含むことができる ESD 保護回路 700A の少なくとも一部の実施例を示す。上記他の実施例で述べたように、図 1 または図 2 の能動回路 106 は単一の機器である必要はない。例えば、図 6 に図示する FET 機器 628 は、劣化なく複数の ESD 事象を確実に分路するために指定することができる。バイポーラ接合トランジスタ、接合形 FET、または IGBT (Insulated Gate Bipolar Transistor) のうちの 1 以上など、1 以上の他の能動回路を使用することができる。

【0026】

したがって、ある実施例では、ESD 事象中に能動回路 706A を導通モードに確実にトリガするために、能動回路 706A の制御入力（例、ゲート）に結合するなど、1 以上の駆動回路を使用することができる。このような駆動回路は、図 7B の例示的な実施例に図示する相補型トランジスタペアなど、1 以上のトランジスタを含むことができる。1 以上の反転または非反転駆動構成など、他の構成を使用することができる。例えば、反転構成では、入力 170 は、高い電圧から低い電圧への電圧遷移に応答して、能動回路 706A をトリガすることができる。このような反転実施例では、図 4A から図 4C または図 5 の実施例のコンデンサの位置はレジスタと交換されることになり、レジスタに対する位置はコンデンサと交換されることになろう。一般に、駆動回路 760 が反転であろうと、または非反転であろうと、能動回路 706A（例、シャント装置）は携帯動作中に非導通モードにすることができ、駆動回路 760 によって導通モードに切り替えて、当該導通モードを少なくとも ESD 事象の継続期間中保持することができる。

【0027】

図 7B は、全体として、FET シャント装置 706B と、第 1 導電型を有する第 1 FET 機器 760A（例、PMOS (P-channel MOS) 素子）および第 2 導電型を有する第 2 FET 機器 760B（例、NMOS (N-channel MOS) 機器）を含む相補型 FET 駆動回路とを含むことができる ESD 保護回路の少なくとも一部の実施例を示す。図 7B の実施例では、駆動回路は反転構成を含むことができ、特定の電圧閾値を通過する高電圧から低電圧への電圧遷移に応答してシャント装置 706B をトリガする。

【0028】

図 8 は、全体として、802 で植込み型医療装置 (IMD) のハウジングを形成するステップと、図 1、図 2、図 3、図 4A から図 4C、図 5、図 6、図 7A から図 7B の実施例または他のところで述べる ESD 保護回路の一部など、ハウジングに配置できる回路を形成するステップとを含むことができる方法などのテクニック 800 を示す。例えば、804 で、1 以上のトランジスタを含む能動回路を形成することができ、能動回路は制御入力を介して受信する制御信号に応答して、第 1 電源ノードを第 2 電源ノードに選択的に電気結合するように構成されている。

【0029】

806 で、第 1 受動回路を形成でき、第 1 受動回路は第 1 電源ノードと能動回路の制御入力とを電気結合した。808 で、第 2 受動回路を形成することができる。第 2 受動回路は、第 2 電源ノードと能動回路の制御入力間で電気結合することができる。ある実施例では、第 1 または第 2 の受動回路を形成するステップのうちの少なくとも一方は、直列構成、並列構成、または直列および並列構成の組合せでコンデンサのアレイを形成するステップを含む。ある実施例では、第 1 および第 2 の受動回路は特定の時定数を規定するように

10

20

30

40

50

構成することができ、印加される E S D に応答して、第 1 および第 2 の受動回路は特定の時定数を使用して制御信号を制御入力に提供するように構成することができ、能動回路は制御信号に応答して実質的に非導通モードから実質的に導通モードに切り替えて、第 1 および第 2 の電源ノード間に印加される E S D の分路を提供するよう構成することができる。

様々な注記および実施例

実施例 1 は、ハウジングとハウジングに含まれている集積回路とを具備する植込み型医療装置を含むことができ、または植込み型医療装置である主題（例、装置、方法、作用を行う手段、もしくは機器で行うとき、機器に作用を行わせることができる命令を含む機器読取可能媒体）を含むまたは使用することができ、該集積回路は静電気放電（E S D）保護回路を具備しており、該静電気放電（E S D）保護回路は、制御入力を介して受信した制御信号に応答して、第 1 電源ノードを第 2 電源ノードに選択的に電気結合するように構成されている能動回路と、該第 1 電源ノードと該能動回路の制御入力との間で電気結合する第 1 受動回路と、該第 2 電源ノードと該能動回路の制御入力との間で電気結合する第 2 受動回路とを含み、該第 1 または第 2 の受動回路のうちの少なくとも 1 つは直列構成、並列構成、または直列および並列構成の組合せのコンデンサのアレイを含む。実施例 1 では、第 1 および第 2 の受動回路は特定の時定数を規定するように構成されており、印加される E S D に応答して、第 1 および第 2 の受動回路は特定の時定数を使用して制御信号を制御入力に提供するように構成されており、能動回路は、制御信号に応答して実質的に非導通モードから実質的に導通モードに切り替えて、第 1 および第 2 の電源ノード間に印加される E S D の分路を提供するように構成されている。

【0030】

実施例 2 は、実施例 1 の主題を含み、またはそれと任意で組み合わせて、直列および並列構成のコンデンサのアレイを含む第 1 受動回路、レジスタを含む第 2 受動回路を任意で含むことができる。

【0031】

実施例 3 は、実施例 1 または 2 の 1 つもしくはそのいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、第 1 または第 2 の受動回路のうちの少なくとも 1 つが直列構成の少なくとも 2 つのコンデンサのアレイを含むことを任意で含むことができる。

【0032】

実施例 4 は、実施例 1 から 3 の 1 つもしくはそのいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、第 1 または第 2 の受動回路のうちの少なくとも 1 つが並列構成の少なくとも 2 つのコンデンサのアレイを含むことを任意で含むことができる。

【0033】

実施例 5 は、実施例 1 から 4 の 1 つもしくはいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、第 1 または第 2 の受動回路の 1 以上に含まれている第 1 コンデンサが、集積回路基板の単結晶領域に誘電体を含むコンデンサ誘電体を具備することを任意で含むことができる。

【0034】

実施例 6 は、実施例 5 の主題を含み、またはそれと任意で組み合わせて、第 1 または第 2 の受動回路の 1 以上に含まれている第 2 コンデンサが、集積回路のポリシリコン領域間に配置されているコンデンサ誘電体を具備することを任意で含むことができる。

【0035】

実施例 7 は、実施例 1 から 6 のうちの 1 つもしくはそのあらゆる組合せの主題を含み、またはそれと任意で組み合わせて、第 1 電源ノードを第 2 電源ノードに結合するように構成されているシャント電界効果トランジスタ（F E T）を具備する能動回路を任意で含むことができる。

【0036】

実施例 8 は、実施例 7 の主題を含み、またはそれと任意で組み合わせて、能動回路がシャント F E T のゲートに結合されている駆動回路を具備し、制御入力駆動回路の入力を

10

20

30

40

50

具備することを任意で含むことができる。

【0037】

実施例9は、実施例8の主題を含み、またはそれと任意で組み合わせて、相補型トランジスタペアを具備する駆動回路を任意で含むことができる。

実施例10は、実施例1から9のうちの1つもしくはそのいずれかの組み合わせの主題を含み、またはそれと任意で組み合わせて、第1電源ノードが第1DC供給電圧を具備し、第2電源ノードが第2DC供給電圧を具備し、第1DC供給電圧が第2DC供給電圧に対して極性が正になることを任意で含むことができる。

【0038】

実施例11は、実施例10の主題を含み、またはそれと任意で組み合わせて、基準ノードを具備する第2電源ノードを任意で含むことができる。

10

実施例12は、実施例11の主題を含み、またはそれと任意で組み合わせて、導電性ハウジング、基準ノードがハウジングに電気結合されることを任意で含むことができる。

【0039】

実施例13は、実施例12の主題を含み、またはそれと任意で組み合わせて、ハウジングに結合されている誘電体部、誘電体部が誘電体部上もしくはその内部に電極を含み、集積回路がボンドパッドを具備し、電極がボンドパッドに電気結合されており、集積回路がボンドパッドと少なくとも1つの電源ノードとの間に少なくとも1つのESDクランプ回路を具備することを任意で含むことができる。

【0040】

20

実施例14は、実施例1から13のうちの1つもしくはそのいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、ハウジングとハウジングに含まれている集積回路とを具備する植込み型医療装置を含むことのできる主題（例、装置、方法、作用を行う手段、もしくは機械で行うときに、機械に作用を行わせることのできる命令を含む機械読取可能媒体）であって、該集積回路は静電気放電（ESD）保護回路を具備し、該静電気放電（ESD）保護回路は、制御入力を介して受信した制御信号に応答して、第1電源ノードを第2電源ノードに選択的に電気結合するように構成されている能動回路と、該第1電源ノードと該能動回路の制御入力間で電気結合する第1受動回路と、該第2電源ノードと該能動回路の制御入力間で電気結合する第2受動回路とを含んでおり、該第1受動回路が直列および並列構成のコンデンサのアレイを含み、該第2受動回路がレジスタを含み、該第1および第2の受動回路が特定の時定数を規定するように構成されて、印加されるESDに応答して、該第1および第2の受動回路が特定の時定数を使用して制御信号を制御入力に提供するように構成され、該能動回路が制御信号に応答して実質的に非導通モードから実質的に導通モードに切り替えて、該第1および第2の電源ノード間に印加されるESDの分路を提供するように構成され、該第1または第2の受動回路の1以上に含まれている第1コンデンサが集積回路基板の単結晶領域上に誘電体を具備するコンデンサ誘電体を含み、該第1または第2の受動回路の1以上に含まれている第2コンデンサが集積回路のポリシリコン領域間に配置されるコンデンサ誘電体を含む該主題を含むことができる。

30

【0041】

実施例15は、実施例1から14のうちの1つもしくはそのいずれかの組合せの主題を含み、またはそれと任意に組み合わせて、植込み型医療装置で静電気放電（ESD）保護を提供する方法を含むことができるなど、主題（例、装置、方法、作用を行う手段、または機械で行ったときに、機械に作用を行わせることのできる命令を含む機械読取可能媒体）であって、該方法はハウジングを形成するステップと、静電気放電（ESD）保護回路を含む集積回路をハウジング内に形成するステップであって、該集積回路を形成するステップが制御入力を介して受信した制御信号に応答して第1電源ノードを第2電源ノードに選択的に電気結合するように構成されている能動回路を形成するステップを具備する形成ステップと、第1電源ノードと能動回路の制御入力との間で電気結合する第1受動回路を形成するステップと、第2電源ノードと能動回路の制御入力との間で電気結合する第2受動回路を形成するステップとを具備し、該第1または第2の受動回路を形成するステップ

40

50

のうちの少なくとも1つは直列構成、並列構成、もしくは直列および並列構成の組合せでコンデンサのアレイの形成するステップを含み、該第1および第2の受動回路は特定の時定数を規定するように構成されており、印加されたESDに応答して、該第1および第2の受動回路は特定の時定数を使用して制御信号を制御入力に提供するように構成されており、該能動回路は制御信号に応答して実質的に非導通モードから実質的に導通モードに切り替えて、第1および第2の電源ノード間に印加されるESDの分路を提供するように構成されている該主題を含むことができる。

【0042】

実施例16は、実施例15の主題を含み、またはそれと任意で組み合わせて、第1受動回路を形成するステップが直列および並列構成のコンデンサのアレイを形成するステップを含み、第2受動回路を形成するステップがレジスタを形成するステップを含むことを任意で含むことができる。

10

【0043】

実施例17は、実施例15または16のうちの1つもしくはそのいずれかの組み合わせの主題を含み、またはそれと任意で組み合わせて、第1または第2の受動回路のうちの少なくとも1つを形成するステップが直列構成の少なくとも2つのコンデンサのアレイを形成するステップを含むことを任意で含むことができる。

【0044】

実施例18は、実施例15から17のうちの1つもしくはそのいずれかの組み合わせの主題を含み、またはそれと任意で組み合わせて、第1または第2の受動回路のうちの少なくとも1つを形成するステップが並列構成の少なくとも2つのコンデンサのアレイを形成するステップを含むことを任意で含むことができる。

20

【0045】

実施例19は、実施例15から18のうちの1つもしくはそのいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、第1または第2の受動回路のうちの1以上に含まれる第1コンデンサを形成するステップが集積回路基板の単結晶領域に誘電体を具備するコンデンサ誘電体を形成するステップを含むことを任意で含むことができる。

【0046】

実施例20は、実施例15から19のうちの1つもしくはそのいずれかの組合せの主題を含み、またはそれと任意で組み合わせて、第1または第2の受動回路のうちの1以上に含まれる第2コンデンサを形成するステップが集積回路のポリシリコン領域間に配置されるコンデンサ誘電体を形成するステップを含むことを任意で含むことができる。

30

【0047】

以上の非制限的な実施例のそれぞれは単独で行うことができ、または他の実施例の1以上との様々な順列もしくは組合せで組み合わせることができる。

上記詳細な説明は、詳細な説明の一部を成す添付の図面の参照を含む。図面は、例示として、本発明を実施できる具体的な実施形態を示す。これらの実施形態は本明細書において「実施例」ともいう。当該実施例は図示または説明する要素とは別の要素を含むことができる。しかし、本発明者らは、図示または説明する要素のみが提供される実施例も企図している。また、本発明者らは、特定の実施例（もしくはその1以上の側面）、またはここに図示もしくは説明する他の実施例（もしくはその1以上の側面）に関して、図示もしくは説明する要素（もしくはその1以上の側面）のあらゆる組合せまたは順列を用いた実施例も企図している。

40

【0048】

本書と参照によりそのように組み込まれた文書との間に矛盾した使用がある場合、本書の使用が優先する。

本書において、「1つの」という用語は、特許文書で一般的なように、他の「少なくとも1つの」もしくは「1以上の」の例もしくは使用とは独立して、1つまたは1より多くを含むために使用される。本書において、「または、もしくは」という用語は非排他的であることをいうために使用され、または別途示されない限り、「AまたはB」は「Aであ

50

るがBではない」、「BであるがAではない」および「AおよびB」を含むように使用される。以下の請求項において、「含む」および「具備する」という用語は非限定的であり、すなわち、請求項でその用語の後に列挙されている要素の他に要素を含むシステム、機器、物品、組成、配合またはプロセスは、なおその請求項の範囲内にあると見なされる。さらに、以下の請求項において、「第1」、「第2」および「第3」等の用語は単なる符号として使用しており、その対象に対して数値的要件を課すことを意図するものではない。

【0049】

ここに説明する方法の実施例は、少なくとも部分的に機械またはコンピュータに実装できる。いくつかの実施例は、上記実施例で説明される方法を行うように電子機器を構成するように動作可能な命令で符号化されたコンピュータ読取可能媒体または機械読取可能媒体を含むことができる。当該方法の実装は、マイクロコード、アセンブリ言語コード、高水準言語コードまたは同様なものなどのコードを含むことができる。当該コードは様々な方法を行うためのコンピュータ読取可能命令を含むことができる。コードはコンピュータプログラム製品の一部を形成してもよい。また、ある実施例では、コードは、実行中または他の時などに、1以上の揮発性、非一時的、または不揮発性の有形コンピュータ読取可能媒体に有形に格納することができる。これらの有形コンピュータ読取可能媒体の実施例には、ハードディスク、取り外し可能磁気ディスク、取り外し可能光学ディスク（例、コンパクトディスクおよびデジタルビデオディスク）、磁気カセット、メモリーカードもしくはスティック、ランダムアクセスメモリ（RAM）、読み出し専用メモリ（ROM）、および同様なものを含むことができるが、これらに限定されない。

【0050】

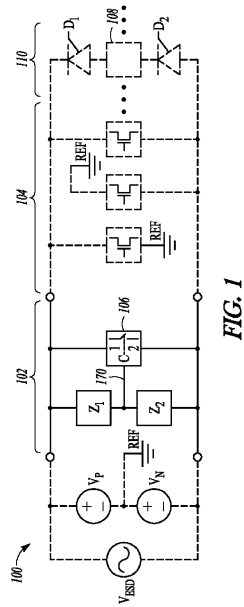
上記の説明は例示的なものであり、制限的なものではない。例えば、前述の実施例（もしくはその1以上の側面）は互いに組み合わせて使用してもよい。上記説明を検討した当業者などは、他の実施形態を使用することができる。これは請求項の範囲もしくは意味を解釈または制限するために使用されないという了解の下に提出される。また、上記詳細な説明において、本開示を効率化するために様々な特徴をまとめていることがある。これは請求されていない開示された特徴がいずれかの請求項に必須であると意図しているものとして解釈すべきではない。むしろ、発明の主題は具体的に開示される実施形態のすべての特徴にあるとは限らない。したがって、以下の請求項はこれにより実施例または実施形態として詳細な説明に組み込まれ、各請求項は個別の実施形態として単独で成り立ち、当該実施形態は様々な組合せまたは順列で互いに組み合わせることができることが企図されている。本発明の範囲は、請求項に権利が与えられる均等物の全範囲とともに、添付の請求項を参照して判断されるべきである。

10

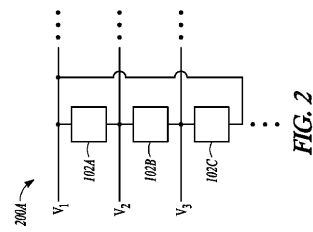
20

30

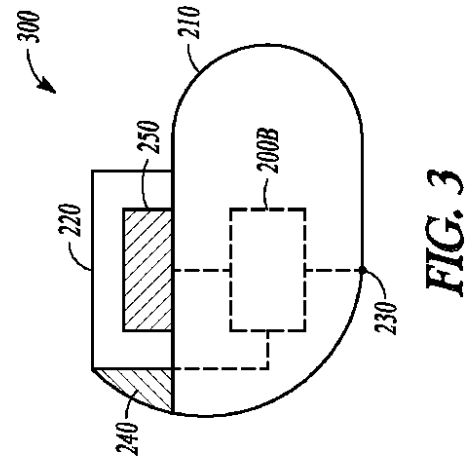
【図 1】



【図 2】



【図 3】



【図 4 A】

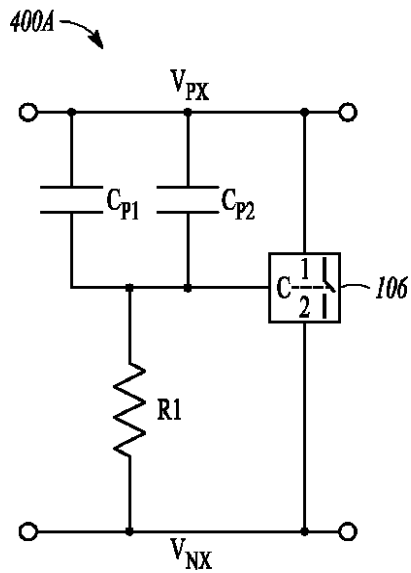


FIG. 4A

【図 4 B】

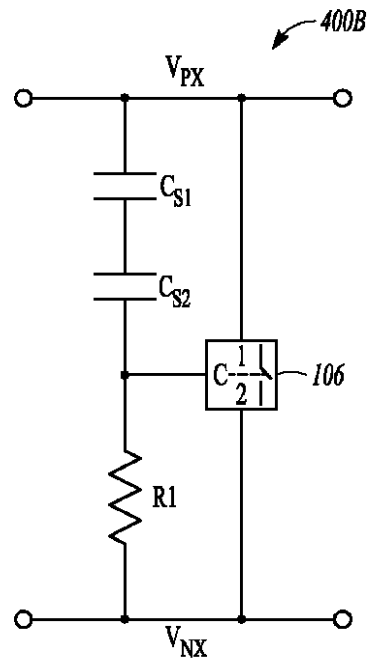


FIG. 4B

【図 4 C】

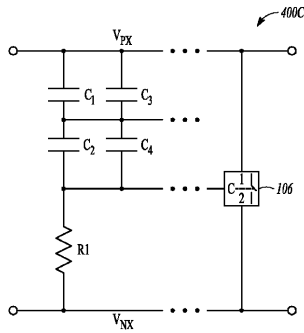


FIG. 4C

【図 5】

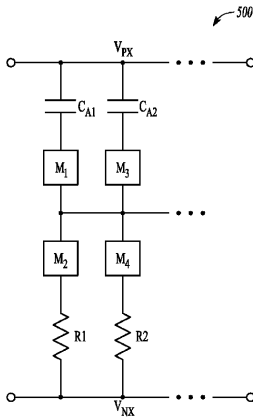


FIG. 5

【図 7 B】

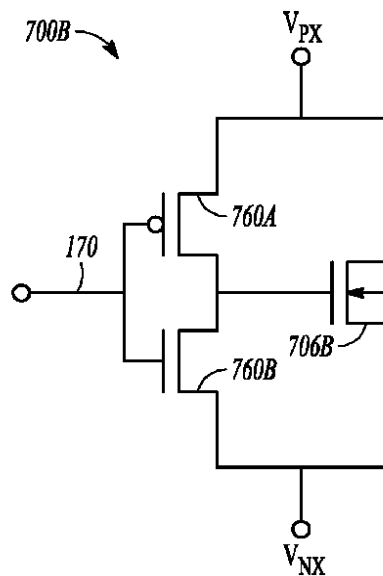


FIG. 7B

【図 6】

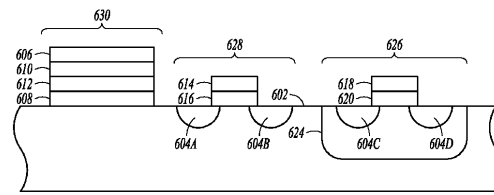


FIG. 6

【図 7 A】

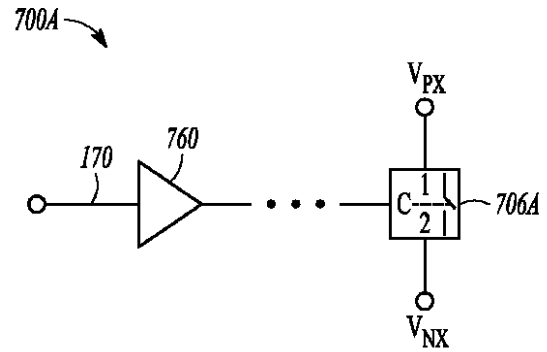
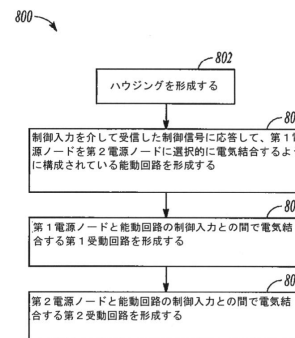


FIG. 7A

【図 8】



フロントページの続き

- (72)発明者 マイレ、キース アール .
アメリカ合衆国 5 5 1 1 2 ミネソタ州 ニュー ブライトン ノース パイク レイク コー
ト 1 3 8 0
- (72)発明者 ジュファー、ランス イー .
アメリカ合衆国 5 5 0 1 4 ミネソタ州 リノ レイクス イースト シャドー レイク ドラ
イブ 6 7 0 1
- (72)発明者 リンダー、ウィリアム ジェイ .
アメリカ合衆国 5 5 4 2 2 ミネソタ州 ゴールデン バレー カイル アベニュー ノース
2 6 4 0
- (72)発明者 バルツェウスキ、ロン エイ .
アメリカ合衆国 5 5 4 3 7 ミネソタ州 ブルーミントン ノースウッド リッジ 5 5 5 0
- (72)発明者 ステスマン、ニコラス ジェイ .
アメリカ合衆国 5 5 4 1 9 ミネソタ州 ミネアポリス ガーフィールド アベニュー エス .
4 4 4 5
- (72)発明者 ジャンセン、マーク デュアン
アメリカ合衆国 5 5 4 4 3 ミネソタ州 ブルックリン パーク テルフォード ベイ 9 2 1
9

審査官 宮崎 敏長

- (56)参考文献 国際公開第 2 0 1 2 / 0 0 3 1 2 4 (W O , A 2)
特開 2 0 0 9 - 0 2 1 3 3 2 (J P , A)
特表平 1 0 - 5 0 6 2 3 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

A 6 1 N	1 / 1 8	-	A 6 1 N	1 / 3 9
H 0 1 L	2 7 / 0 4	-	H 0 1 L	2 7 / 0 9 8