



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2007년10월12일  
 (11) 등록번호 10-0766383  
 (24) 등록일자 2007년10월05일

(51) Int. Cl.

G11C 7/06 (2006.01) G11C 7/08 (2006.01)

(21) 출원번호 10-2006-0076802

(22) 출원일자 2006년08월14일

심사청구일자 2006년08월14일

(56) 선행기술조사문헌

KR20010048997 A

(뒷면에 계속)

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

하성주

서울 송파구 가락동 가락 시영 아파트 105동 206호

(74) 대리인

김성남

전체 청구항 수 : 총 42 항

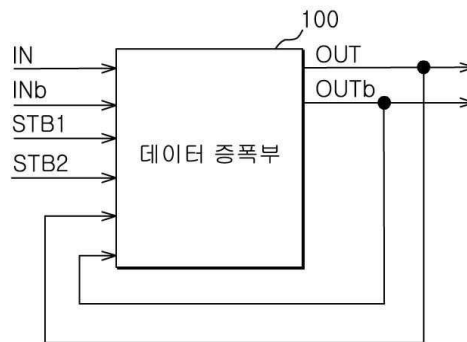
심사관 : 윤난영

**(54) 반도체 메모리 장치의 증폭 회로**

**(57) 요약**

본 발명의 일 실시예에 따른 반도체 메모리 장치의 증폭 회로는, 제어 신호에 응답하여, 업 데이터 신호 및 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 업 신호 및 다운 신호를 출력하며, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 상기 업 신호 및 상기 다운 신호를 증폭하는 동작을 반복하는 데이터 증폭 수단을 포함한다.

**대표도** - 도2



(56) 선행기술조사문헌  
KR20030002504 A  
KR19970003224 A

---

**특허청구의 범위**

**청구항 1**

제어 신호에 응답하여, 업 데이터 신호 및 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 업 신호 및 다운 신호를 출력하며, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 상기 업 신호 및 상기 다운 신호를 증폭하는 동작을 반복하는 데이터 증폭 수단을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 2**

제 1 항에 있어서,

상기 데이터 증폭 수단은,

상기 제어 신호에 응답하고, 초기 동작 시 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하고 초기 동작 후 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 상기 업 신호를 출력하는 업 신호 증폭부; 및

상기 제어 신호에 응답하고, 초기 동작 시 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하고 초기 동작 후 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 상기 다운 신호를 출력하는 다운 신호 증폭부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 3**

제 2 항에 있어서,

상기 제어 신호에 응답하여, 상기 업 신호 증폭부의 출력 단 및 상기 다운 신호 증폭부의 출력 단을 프리차지시키는 프리차지부를 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 4**

제 2 항 또는 제 3 항에 있어서,

상기 제어 신호는 활성화 구간이 다른 제 1 제어 신호 및 제 2 제어 신호를 포함하고,

상기 업 신호 증폭부는,

상기 제 1 제어 신호에 응답하여 구동되고, 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하여 전류 변화량을 가지는 제 1 비교부;

상기 제 2 제어 신호에 응답하여 구동 되고, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 전류 변화량을 가지는 제 2 비교부; 및

상기 제 1 비교부와 상기 제 2 비교부가 연결된 제 1 노드 및 제 2 노드에 동일 전류를 인가하는 제 1 전류 미러부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 5**

제 4 항에 있어서,

상기 업 신호 증폭부는,

상기 제 1 노드 또는 상기 제 2 노드에서 선택적으로 상기 업 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 6**

제 5 항에 있어서,

상기 다운 신호 증폭부는,

상기 제 1 제어 신호에 응답하여 구동되고, 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하여 전류 변화량을 가지는 제 3 비교부;

상기 제 2 제어 신호에 응답하여 구동 되고, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 전류 변화량을 가지는 제 4 비교부; 및

상기 제 3 비교부와 상기 제 4 비교부가 연결된 제 3 노드 및 제 4 노드에 동일 전류를 인가하는 제 2 전류 미러부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

#### 청구항 7

제 6 항에 있어서,

상기 다운 신호 증폭부는,

상기 3 노드 또는 상기 제 4 노드에서 선택적으로 상기 다운 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

#### 청구항 8

제 4 항에 있어서,

상기 제 1 비교부는,

게이트 단이 상기 제 1 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 상기 다운 데이터 신호를 입력받고 드레인 단이 상기 제 1 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 상기 업 데이터 신호를 입력받고 드레인 단이 상기 제 2 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

#### 청구항 9

제 4항에 있어서,

상기 제 2 비교부는,

게이트 단이 상기 제 2 제어 신호를 입력받고 소스 단이 상기 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 피드백 되는 상기 업 신호를 입력받고 드레인 단이 상기 제 2 노드에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 피드백 되는 상기 다운 신호를 입력받고 드레인 단이 상기 제 1 노드에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

#### 청구항 10

제 4 항에 있어서,

상기 제 1 전류 미러부는,

소스 단이 파워 전압을 인가받고 드레인 단이 상기 제 1 노드에 연결되는 제 1 피모스 트랜지스터; 및

소스 단이 상기 파워 전압을 인가받고 게이트 단이 상기 제 1 피모스 트랜지스터의 게이트 단 및 상기 제 2 노드에 연결되며 드레인 단이 상기 제 2 노드에 연결되는 제 2 피모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 11**

제 10 항에 있어서,

상기 파워 전압은 외부 전압임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 12**

제 6 항에 있어서,

상기 제 3 비교부는,

게이트 단이 상기 제 1 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 상기 업 데이터 신호를 입력받고 드레인 단이 상기 제 3 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 상기 다운 데이터 신호를 입력받고 드레인 단이 상기 제 4 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 13**

제 6항에 있어서,

상기 제 4 비교부는,

게이트 단이 상기 제 2 제어 신호를 입력받고 소스 단이 상기 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 피드백 되는 상기 다운 신호를 입력받고 드레인 단이 상기 제 4 노드에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 피드백 되는 상기 업 신호를 입력받고 드레인 단이 상기 제 3 노드에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 14**

제 6 항에 있어서,

상기 제 2 전류 미러부는,

소스 단이 파워 전압을 인가받고 드레인 단이 상기 제 3 노드에 연결되는 제 1 피모스 트랜지스터; 및

소스 단이 상기 파워 전압을 인가받고 게이트 단이 상기 제 1 피모스 트랜지스터의 게이트 단 및 상기 제 4 노드에 연결되며 드레인 단이 상기 제 4 노드에 연결되는 제 2 피모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 15**

제 14 항에 있어서,

상기 파워 전압은 외부 전압임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 16**

제 3 항에 있어서,

상기 프리차지부는,

입력 단이 상기 제어 신호를 입력받는 낸드 게이트; 및

게이트 단이 상기 낸드 게이트의 출력 단에 각각 연결되고 서로 직렬로 연결된 복수 개의 트랜지스터를 구비하고, 복수 개의 상기 트랜지스터의 양끝에서 파워 전압을 인가받는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 17**

제 16 항에 있어서,

상기 프리차지부는,

상기 트랜지스터의 접속 단이 상기 업 신호 증폭부의 출력 단 및 상기 다운 신호 증폭부의 출력 단에 연결되는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 18**

제 16 항에 있어서,

상기 파워 전압은 외부 전압임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 19**

제어 신호에 응답하고, 업 데이터 신호 및 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 업 신호를 출력하고 피드백 되는 다운 신호 및 피드백 되는 상기 업 신호의 비교 결과에 응답하여 상기 업 신호를 더 증폭시켜 출력하는 업 신호 증폭 수단; 및

상기 제어 신호에 응답하고, 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 상기 다운 신호를 출력하고 피드백 되는 상기 다운 신호 및 피드백 되는 상기 업 신호의 비교 결과에 응답하여 상기 다운 신호를 더 증폭시켜 출력하는 다운 신호 증폭 수단;

을 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 20**

제 19 항에 있어서,

상기 제어 신호에 응답하여, 상기 업 신호 증폭 수단의 출력 단 및 상기 다운 신호 증폭 수단의 출력 단을 프리차지시키는 프리차지 수단을 추가로 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 21**

제 19 항 또는 제 20 항에 있어서,

상기 제어 신호는 활성화 구간이 다른 제 1 제어 신호 및 제 2 제어 신호를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 22**

제 21 항에 있어서,

상기 업 신호 증폭 수단은,

상기 제 1 제어 신호에 응답하여, 상기 업 데이터 신호 및 상기 다운 데이터 신호를 비교하는 제 1 비교부;

상기 제 2 제어 신호에 응답하여, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호를 비교하는 제 2 비교부; 및

상기 제 1 비교부 및 상기 제 2 비교부가 연결되는 제 1 노드 및 제 2 노드에 동일 전류를 인가하는 제 1 전류 미러부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 23**

제 22 항에 있어서,

상기 업 신호 증폭 수단은,

상기 제 1 비교부, 상기 제 2 비교부 및 상기 제 1 전류 미러부를 포함하는 차동 증폭기임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 24**

제 22 항에 있어서,

상기 다운 신호 증폭 수단은,

상기 제 1 제어 신호에 응답하여, 상기 업 데이터 신호 및 상기 다운 데이터 신호를 비교하는 제 3 비교부;

상기 제 2 제어 신호에 응답하여, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호를 비교하는 제 4 비교부; 및

상기 제 3 비교부 및 상기 제 4 비교부가 연결되는 제 3 노드 및 제 4 노드에 동일 전류를 인가하는 제 2 전류 미러부;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 25**

제 24 항에 있어서,

상기 다운 신호 증폭 수단은,

상기 제 3 비교부, 상기 제 4 비교부 및 상기 제 2 전류 미러부를 포함하는 차동 증폭기임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 26**

제 22 항에 있어서,

상기 제 1 비교부는,

상기 제 1 제어 신호에 응답하고, 상기 업 데이터 신호 및 상기 다운 데이터 신호에 응답하여 상기 제 1 노드 및 상기 제 2 노드의 전류를 변화시키는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 27**

제 22 항에 있어서,

상기 제 2 비교부는,

상기 제 2 제어 신호에 응답하고, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호에 응답하여 상기 제 1 노드 및 상기 제 2 노드의 전류를 변화시키는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 28**

제 22 항에 있어서,

상기 업 신호 증폭 수단은,

상기 제 1 노드 또는 상기 제 2 노드에서 선택적으로 상기 업 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 29**

제 24 항에 있어서,

상기 제 3 비교부는,

상기 제 1 제어 신호에 응답하고, 상기 업 데이터 신호 및 상기 다운 데이터 신호에 응답하여 상기 제 3 노드

및 상기 제 4 노드의 전류를 변화시키는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 30**

제 24 항에 있어서,

상기 제 4 비교부는,

상기 제 2 제어 신호에 응답하고, 상기 업 신호 및 상기 다운 신호에 응답하여 상기 제 3 노드 및 상기 제 4 노드의 전류를 변화시키는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 31**

제 24 항에 있어서,

상기 다운 신호 증폭 수단은,

상기 제 3 노드 또는 상기 제 4 노드에서 상기 다운 신호를 출력하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 32**

제 26 항에 있어서,

상기 제 1 비교부는,

게이트 단이 상기 제 1 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 상기 다운 데이터 신호를 입력받고 드레인 단이 상기 제 1 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 상기 업 데이터 신호를 입력받고 드레인 단이 상기 제 2 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 33**

제 27 항에 있어서,

상기 제 2 비교부는,

게이트 단이 상기 제 2 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 피드백 되는 상기 업 신호를 입력받고 드레인 단이 상기 제 2 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 피드백 되는 상기 다운 신호를 입력받고 드레인 단이 상기 제 1 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 34**

제 22 항에 있어서,

상기 제 1 전류 미러부는,

소스 단이 파워 전압을 인가받고 드레인 단이 상기 제 1 노드에 연결되는 제 1 피모스 트랜지스터; 및

소스 단이 상기 파워 전압을 인가받고 게이트 단이 상기 제 1 피모스 트랜지스터의 게이트 단 및 상기 제 2 노드에 연결되며 드레인 단이 상기 제 2 노드에 연결되는 제 2 피모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 35**



제 34 항에 있어서,

상기 파워 전압은 외부 전압임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 36**

제 29 항에 있어서,

상기 제 3 비교부는,

게이트 단이 상기 제 1 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 상기 업 데이터 신호를 입력받고 드레인 단이 상기 제 3 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 상기 다운 데이터 신호를 입력받고 드레인 단이 상기 제 4 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 37**

제 30 항에 있어서,

상기 제 4 비교부는,

게이트 단이 상기 제 2 제어 신호를 입력받고 소스 단이 접지 전압을 인가받는 제 1 엔모스 트랜지스터;

게이트 단이 피드백 되는 상기 다운 신호를 입력받고 드레인 단이 상기 제 4 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 2 엔모스 트랜지스터; 및

게이트 단이 피드백 되는 상기 업 신호를 입력받고 드레인 단이 상기 제 3 노드에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터의 드레인 단에 연결된 제 3 엔모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 38**

제 24 항에 있어서,

상기 제 2 전류 미러부는,

소스 단이 파워 전압을 인가받고 드레인 단이 상기 제 3 노드에 연결되는 제 1 피모스 트랜지스터; 및

소스 단이 상기 파워 전압을 인가받고 게이트 단이 상기 제 1 피모스 트랜지스터의 게이트 단 및 상기 제 4 노드에 연결되며 드레인 단이 상기 제 4 노드에 연결되는 제 2 피모스 트랜지스터;

를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 39**

제 38 항에 있어서,

상기 파워 전압은 외부 전압임을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 40**

제 20 항에 있어서,

상기 프리차지 수단은,

입력 단이 상기 제어 신호를 입력받는 낸드 게이트; 및

게이트 단이 상기 낸드 게이트의 출력 단에 각각 연결되고 서로 직렬로 연결된 복수 개의 트랜지스터를 구비하고, 복수 개의 상기 트랜지스터의 양끝에서 파워 전압을 인가받는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 41**

제 40 항에 있어서,

상기 프리차지 수단은,

상기 트랜지스터의 접속 단이 상기 업 신호 증폭 수단의 출력 단 및 상기 다운 신호 증폭 수단의 출력 단에 연결되는 것을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**청구항 42**

제 40 항에 있어서,

상기 파워 전압은 외부 전압입을 특징으로 하는 반도체 메모리 장치의 증폭 회로.

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <9> 본 발명은 반도체 메모리 장치의 증폭 회로에 관한 것으로, 보다 상세하게는 레벨 차이가 매우 작은 입력 데이터를 로직 레벨(logic level)로 증폭하는 반도체 메모리 장치의 증폭 회로에 관한 것이다.
- <10> 이하, 일반적인 반도체 메모리 장치의 증폭 회로를 도 1을 참조하여 설명하면 다음과 같다.
- <11> 도 1은 일반적인 반도체 메모리 장치의 증폭 회로를 나타내는 블록도이다.
- <12> 일반적인 반도체 메모리 장치의 증폭 회로는 제 1 제어 신호(STB1)에 응답하여 레벨 차이가 매우 작은 입력 데이터(IN, INb)를 일차로 증폭하여 제 1 업 신호(OUT1) 및 제 1 다운 신호(OUT1b)를 출력하는 제 1 증폭부(10); 및 제 2 제어 신호(STB2)에 응답하여 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)의 레벨 차를 다시 증폭하여 로직 레벨(logic level)의 제 2 업 신호(OUT2) 및 제 2 다운 신호(OUT2b)를 출력하는 제 2 증폭부(20)로 구성된다.
- <13> 상기 제 1 제어 신호(STB1)는 상기 제 1 증폭부(10)를 활성화시키는 신호이고, 상기 제 2 제어 신호(STB2)는 상기 제 2 증폭부(20)를 활성화시키는 신호이다.
- <14> 일반적인 반도체 메모리 장치의 증폭 회로는 상기 입력 데이터(IN, INb)의 레벨 차이가 매우 작은 경우 상기 제 1 증폭부(10)에서 상기 입력 데이터(IN, INb)의 레벨 차이를 일차로 증폭하고, 이후 상기 제 2 증폭부(20)에서 상기 제 1 증폭부(10)에서 출력되는 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)의 레벨 차이를 로직 레벨로 증폭시킨다.
- <15> 예를 들어, 상기 제 1 증폭부(10)는 쌍을 이루는 두 개의 차동 증폭기(Differential Amplifier)를 구비하여 하나의 차동 증폭기(Differential Amplifier)는 상기 입력 데이터(IN, INb)의 레벨 차를 증폭하여 상기 제 1 업 신호(OUT1)를 출력하고, 다른 하나의 차동 증폭기(Differential Amplifier)는 상기 입력 데이터(IN, INb)의 레벨 차를 증폭하여 상기 제 1 업 신호(OUT1)와 쌍을 이루는 상기 제 1 다운 신호(OUT1b)를 출력한다.
- <16> 상기 제 2 증폭부(20)는 크로스 커플드 증폭기(Cross Coupled Amplifier)를 구비하고 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)에 응답하여 상기 제 2 증폭부(20)의 내부적인 피드백(feedback) 동작에 의해서 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)의 레벨 차이를 증폭하여 로직 레벨의 상기 제 2 업 신호(OUT2) 및 상기 제 2 다운 신호(OUT2b)를 출력한다.
- <17> 즉, 상기 제 1 증폭부(10)는 상기 입력 데이터(IN, INb)의 미세한 레벨 차이를 감지하여 상기 제 2 증폭부(20)가 감지할 수 있도록 상기 입력 데이터(IN, INb)를 증폭하는 역할을 하고, 상기 제 2 증폭부(20)는 상기 제 1 증폭부(10)에서 출력된 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)를 로직 레벨(logic level)까지 증폭하는 역할을 한다.
- <18> 상기 제 1 증폭부(10)의 경우 입력 데이터(IN, INb)의 레벨 차이에 대해 자체 게인(gain) 만큼 증폭해 주는 것

이므로 오프셋(offset)이나 노이즈(noise)의 영향에도 비교적 안정적으로 증폭 동작을 수행할 수 있지만 상기 입력 데이터(IN, INb)의 신호가 약할 경우에 출력되는 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)가 로직 레벨(logic level)까지 증폭되지 못한다. 이에 비해 제 2 증폭부(20)의 경우 피드백(feedback)을 이용해 로직 레벨까지 증폭 할 수 있지만 오프셋(offset)이나 노이즈(noise)의 영향으로 잘못된 방향으로 피드백(feedback)이 일어나는 경우가 발생할 수 있다.

- <19> 일반적인 반도체 메모리 장치의 증폭 회로는 이러한 차동 증폭기(Differential Amplifier)와 크로스 커플드 증폭기(Cross Coupled Amplifier)의 장점들을 이용한다.
- <20> 즉, 상기 제 1 증폭부(10)에 구비되는 차동 증폭기(Differential Amplifier)가 입력되는 데이터를 안정적으로 자체 게인(gain) 만큼 증폭하고, 상기 제 1 증폭부(10)에서 출력되는 상기 제 1 업 신호(OUT1) 및 상기 제 1 다운 신호(OUT1b)를 제 2 증폭부(20)에 구비되는 크로스 커플드 증폭기(Cross Coupled Amplifier)가 로직 레벨까지 증폭하여 상기 제 2 업 신호(OUT2) 및 상기 제 2 다운 신호(OUT2b)를 출력하는 것이다. 하지만 하나의 신호를 증폭하기 위해 두개의 증폭 단계를 사용함으로써 회로 면적을 많이 차지 하는 문제가 있다. 특히 입출력 센스 앰프(Input/Output Sense Amplifier)와 같이 반도체 메모리에서 사용되는 수가 매우 많은 경우 반도체 메모리의 회로의 면적에 대한 부담이 커진다.

**발명이 이루고자 하는 기술적 과제**

- <21> 상술한 기술적 과제를 달성하기 위한 본 발명에 따른 반도체 메모리 장치의 증폭 회로는 차동 증폭기만을 구비하는 증폭부를 포함하여, 상기 증폭부가 입력 데이터를 증폭하여 출력하고, 출력된 데이터를 다시 상기 증폭부로 피드백 시켜 상기 증폭부에 의한 증폭 동작이 반복되도록 함으로써 종래의 반도체 메모리 장치의 증폭 회로와 같은 효과를 얻을 수 있어 종래의 증폭 장치의 면적을 줄일 수 있는 반도체 메모리 장치의 증폭 회로를 제공하는데 그 기술적 과제가 있다.

**발명의 구성 및 작용**

- <22> 상술한 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 반도체 메모리 장치의 증폭 회로는, 제어 신호에 응답하여, 업 데이터 신호 및 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 업 신호 및 다운 신호를 출력하며, 피드백 되는 상기 업 신호 및 피드백 되는 상기 다운 신호의 비교 결과에 응답하여 상기 업 신호 및 상기 다운 신호를 증폭하는 동작을 반복하는 데이터 증폭 수단을 포함한다.
- <23> 또한, 본 발명의 다른 실시예에 따른 반도체 메모리 장치의 증폭 회로는, 제어 신호에 응답하고, 업 데이터 신호 및 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 업 신호를 출력하고 피드백 되는 다운 신호 및 피드백 되는 상기 업 신호의 비교 결과에 응답하여 상기 업 신호를 더 증폭시켜 출력하는 업 신호 증폭 수단; 및 상기 제어 신호에 응답하고, 상기 업 데이터 신호 및 상기 다운 데이터 신호의 비교 결과에 응답하여 증폭되는 상기 다운 신호를 출력하고 피드백 되는 상기 다운 신호 및 피드백 되는 상기 업 신호의 비교 결과에 응답하여 상기 다운 신호를 더 증폭시켜 출력하는 다운 신호 증폭 수단을 포함한다.
- <24> 이하에서는 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.
- <25> 도 2는 본 발명에 따른 반도체 메모리 장치의 증폭 회로를 나타내는 블록도이다.
- <26> 본 발명에 따른 반도체 메모리 장치의 증폭 회로는 제어 신호(STB1, STB2)에 응답하여, 업 데이터 신호(IN) 및 다운 데이터 신호(INb)의 비교 결과에 응답하여 증폭되는 업 신호(OUT) 및 다운 신호(OUTb)를 출력하며, 피드백(feedback) 되는 상기 업 신호(OUT) 및 피드백(feedback) 되는 상기 다운 신호(OUTb)의 비교 결과에 응답하여 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 증폭하는 동작을 반복하는 데이터 증폭부(100)를 포함한다.
- <27> 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)는 쌍을 이루어 데이터를 가지고 입력되는 신호이며, 상기 업 신호(OUT) 및 상기 다운 신호(OUTb) 역시 쌍을 이루어 데이터를 가지고 출력되는 신호이다.
- <28> 도 3은 도 2에 도시된 데이터 증폭부를 나타내는 상세 블록도이다.
- <29> 상기 데이터 증폭부(100)는 상기 제어 신호(STB1, STB2)에 응답하고, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 비교 결과에 응답하여 증폭되는 상기 업 신호(OUT)를 출력하고 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)의 비교 결과에 응답하여 상기 업 신호(OUT)를 더 증폭하여 출력하는 업 신호 증폭부(110); 상기 제어 신호(STB1, STB2)에 응답하고, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 비교 결과에 응답하여 증폭되는 상기 다운 신호(OUTb)를 출력하고 피드백 되는 상기 업 신호

(OUT) 및 피드백 되는 상기 다운 신호(OUTb)의 비교 결과에 응답하여 상기 다운 신호(OUTb)를 더 증폭하여 출력하는 다운 신호 증폭부(130); 및 상기 제어 신호(STB1, STB2)에 응답하여, 상기 업 신호 증폭부(110)의 출력 단 및 상기 다운 신호 증폭부(130)의 출력 단을 프리차지(precharge) 시키는 프리차지부(150);를 포함한다.

- <30> 상기 제어 신호(STB1, STB2)는 활성화 구간이 다른 제 1 제어 신호(STB1) 및 제 2 제어 신호(STB2)를 포함한다.
- <31> 도 4는 도 3에 도시된 데이터 증폭부를 나타내는 회로도이다.
- <32> 상기 업 신호 증폭부(110)는 상기 제 1 제어 신호(STB1)에 응답하여 구동되고, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 비교 결과에 응답하여 전류 변화량을 가지는 제 1 비교부(111); 상기 제 2 제어 신호(STB2)에 응답하여 구동 되고, 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)의 비교 결과에 응답하여 전류 변화량을 가지는 제 2 비교부(113); 및 상기 제 1 비교부(111)와 상기 제 2 비교부(113)가 연결된 접속 단에 동일 전류를 인가하는 제 1 전류 미러부(115);를 포함한다.
- <33> 상기 다운 신호 증폭부(130)는 상기 제 1 제어 신호(STB1)에 응답하여 구동되고, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 비교 결과에 응답하여 전류 변화량을 가지는 제 3 비교부(131); 상기 제 2 제어 신호(STB2)에 응답하여 구동 되고, 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)의 비교 결과에 응답하여 전류 변화량을 가지는 제 4 비교부(133); 및 상기 제 3 비교부(131)와 상기 제 4 비교부(133)가 연결된 접속 단에 동일 전류를 인가하는 제 2 전류 미러부(135);를 포함한다.
- <34> 상기 제 1 비교부(111)는 게이트 단이 상기 제 1 제어 신호(STB1)를 입력받고 소스 단이 접지 전압(VSS)을 인가받는 제 1 엔모스(NMOS) 트랜지스터(N1); 게이트 단이 상기 다운 데이터 신호(INb)를 입력받고 드레인 단이 제 1 노드(Node\_A)에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터(N1)의 드레인 단에 연결된 제 2 엔모스 트랜지스터(N2); 및 게이트 단이 상기 업 데이터 신호(IN)를 입력받고 드레인 단이 제 2 노드(Node\_B)에 연결되며 소스 단이 상기 제 1 엔모스 트랜지스터(N1)의 드레인 단에 연결된 제 3 엔모스 트랜지스터(N3);를 포함한다.
- <35> 상기 제 2 비교부(113)는 게이트 단이 상기 제 2 제어 신호(STB2)를 입력받고 소스 단이 상기 접지 전압(VSS)을 인가받는 제 4 엔모스 트랜지스터(N4); 게이트 단이 피드백 되는 상기 업 신호(OUT)를 입력받고 드레인 단이 상기 제 2 노드(Node\_B)에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터(N4)의 드레인 단에 연결된 제 5 엔모스 트랜지스터(N5); 및 게이트 단이 피드백 되는 상기 다운 신호(OUTb)를 입력받고 드레인 단이 상기 제 1 노드(Node\_A)에 연결되며 소스 단이 상기 제 4 엔모스 트랜지스터(N4)의 드레인 단에 연결된 제 6 엔모스 트랜지스터(N6);를 포함한다.
- <36> 상기 제 1 전류 미러부(115)는 소스 단이 외부 전압(VDD)을 인가받고 드레인 단이 상기 제 1 노드(Node\_A)에 연결되는 제 1 피모스(PMOS) 트랜지스터(P1); 소스 단이 상기 외부 전압(VDD)을 인가받고 게이트 단이 상기 제 1 피모스 트랜지스터(P1)의 게이트 단 및 상기 제 2 노드(Node\_B)에 연결되며 드레인 단이 상기 제 2 노드(Node\_B)에 연결되는 제 2 피모스 트랜지스터(P2);를 포함한다.
- <37> 상기 제 1 노드(Node\_A) 및 상기 제 2 노드(Node\_B)는 상기 제 1 비교부(111), 상기 제 2 비교부(113) 및 상기 제 1 전류 미러부(115)가 서로 연결되는 접속 단이고, 본 발명에서는 상기 제 1 노드(Node\_A)에서 상기 업 신호(OUT)가 출력되지만 상기 제 2 노드(Node\_B)에서 상기 업 신호(OUT)가 출력되는 것도 가능성을 밝혀 둔다.
- <38> 상기 제 3 비교부(131)는 게이트 단이 상기 제 1 제어 신호(STB1)를 입력받고 소스 단이 상기 접지 전압(VSS)을 인가받는 제 7 엔모스(NMOS) 트랜지스터(N7); 게이트 단이 상기 업 데이터 신호(IN)를 입력받고 드레인 단이 제 3 노드(Node\_C)에 연결되며 소스 단이 상기 제 7 엔모스 트랜지스터(N7)의 드레인 단에 연결된 제 8 엔모스 트랜지스터(N8); 및 게이트 단이 상기 다운 데이터 신호(INb)를 입력받고 드레인 단이 제 4 노드(Node\_D)에 연결되며 소스 단이 상기 제 7 엔모스 트랜지스터(N7)의 드레인 단에 연결된 제 9 엔모스 트랜지스터(N9);를 포함한다.
- <39> 상기 제 4 비교부(133)는 게이트 단이 상기 제 2 제어 신호(STB2)를 입력받고 소스 단이 상기 접지 전압(VSS)을 인가받는 제 10 엔모스 트랜지스터(N10); 게이트 단이 피드백 되는 상기 다운 신호(OUTb)를 입력받고 드레인 단이 상기 제 4 노드(Node\_D)에 연결되며 소스 단이 상기 제 10 엔모스 트랜지스터(N10)의 드레인 단에 연결된 제 11 엔모스 트랜지스터(N11); 및 게이트 단이 피드백 되는 상기 업 신호(OUT)를 입력받고 드레인 단이 상기 제 3 노드(Node\_C)에 연결되며 소스 단이 상기 제 10 엔모스 트랜지스터(N10)의 드레인 단에 연결된 제 12 엔모스 트랜지스터(N12);를 포함한다.
- <40> 상기 제 2 전류 미러부(135)는 소스 단이 상기 외부 전압(VDD)을 인가받고 드레인 단이 상기 제 3 노드(Node\_

C)에 연결되는 제 3 피모스(PMOS) 트랜지스터(P3); 소스 단이 상기 외부 전압(VDD)을 인가받고 게이트 단이 상기 제 3 피모스 트랜지스터(P3)의 게이트 단 및 상기 제 4 노드(Node\_D)에 연결되며 드레인 단이 상기 제 4 노드(Node\_D)에 연결되는 제 4 피모스 트랜지스터(P4);를 포함한다.

- <41> 상기 제 3 노드(Node\_C) 및 상기 제 4 노드(Node\_D)는 상기 제 3 비교부(131), 상기 제 4 비교부(133) 및 상기 제 2 전류 미러부(135)가 서로 연결되는 접속 단이고, 본 발명에서는 상기 제 3 노드(Node\_C)에서 상기 다운 신호(OUTb)가 출력되지만 상기 제 4 노드(Node\_D)에서 상기 다운 신호(OUTb)가 출력되는 것도 가능성을 밝혀 둔다.
- <42> 상기 프리차지부(150)는 입력 단이 상기 제어 신호(STB1, STB2)를 입력받는 낸드 게이트(ND1); 및 게이트 단이 상기 낸드 게이트(ND1)의 출력 단에 연결되고 서로 직렬로 연결된 복수 개의 피모스 트랜지스터(P5 ~ P7)를 구비하고, 복수 개의 상기 피모스 트랜지스터(P5 ~ P7)의 양끝에서 외부 전압(VDD)을 인가받는다.
- <43> 상기 제 5 피모스 트랜지스터(P5) 및 상기 제 7 피모스 트랜지스터(P7)의 접속 단과 상기 제 6 피모스 트랜지스터(P6) 및 상기 제 7 피모스 트랜지스터(P7)의 접속 단은 상기 제 1 제어 신호(STB1) 및 상기 제 2 제어 신호(STB2)에 응답하여 상기 외부 전압(VDD)으로 프리차지(precharge)되거나 각각 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 출력한다.
- <44> 본 발명에서는 상기 제 1 전류 미러부(115), 상기 제 2 전류 미러부(135) 및 상기 프리차지부(150)에 상기 외부 전압(VDD)을 인가하여 실시하였지만, 설계자의 목적에 따라 인가되는 전압을 달리할 수 있으므로, 본 발명에 인가되는 전압을 상기 외부 전압(VDD)으로 한정하지 않음을 밝혀 둔다.
- <45> 도 4에 도시된 복수 개의 반전 수단(IV1 ~ IV4)은 상기 제어 신호(STB1, STB2)의 구동력을 높일 수 있고, 동작하고자 하는 회로의 목적에 따라 개수를 달리 할 수 있다.
- <46> 본 발명에 따른 반도체 메모리 장치의 증폭 회로의 동작을 도 2 내지 도 4를 참조하여 설명하면 다음과 같다.
- <47> 본 발명에 따른 반도체 메모리 장치의 증폭 회로는 최초로 입력되는 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)를 데이터 증폭부(100)에서 증폭하여 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 출력하고, 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 다시 상기 데이터 증폭부(100)에서 피드백(feedback) 받아 증폭함으로써, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 레벨 차이가 아주 작거나 상기 데이터 증폭부(100)에 구비되는 증폭기(Amplifier)의 게인(gain)이 아주 작은 경우에도 하나의 상기 데이터 증폭부(100)만으로도 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 로직 레벨(Logic Level)까지 증폭할 수 있다.
- <48> 상기 업 데이터 신호(IN)가 하이 레벨이고 상기 다운 데이터 신호(INb)가 로우 레벨이라고 가정하고 본 발명에 따른 반도체 메모리 장치의 증폭 회로를 보다 상세히 설명하면 다음과 같다.
- <49> 상기 제 1 제어 신호(STB1)가 활성화 되면 상기 제 1 엔모스 트랜지스터(N1) 및 상기 제 7 엔모스 트랜지스터(N7)가 턴-온(turn-on) 되어 상기 업 신호 증폭부(110) 및 상기 다운 신호 증폭부(130)는 활성화 된다.
- <50> 상기 업 신호 증폭부(110)는 상기 제 1 비교부(111)에서 상기 제 2 엔모스 트랜지스터(N2)와 상기 제 3 엔모스 트랜지스터(N3)를 통해 흐르는 전류 변화에 응답하여 상기 제 1 노드(Node\_A)의 레벨을 하이 레벨로 만든다. 즉, 상기 제 1 전류 미러부(115)에서 상기 제 1 노드(Node\_A) 및 상기 제 2 노드(Node\_B)로 동일 전류를 인가하여도 상기 제 3 엔모스 트랜지스터(N3)를 통해 흐르는 전류가 상기 제 2 엔모스 트랜지스터(N2)를 통해 흐르는 전류보다 많기 때문에 상기 제 1 노드(Node\_A)를 통해 하이 레벨의 상기 업 신호(OUT)를 출력한다.
- <51> 상기 다운 신호 증폭부(130)는 상기 제 3 비교부(131)에서 상기 제 8 엔모스 트랜지스터(N8)와 상기 제 9 엔모스 트랜지스터(N9)를 통해 흐르는 전류 변화에 응답하여 상기 제 3 노드(Node\_C)의 레벨을 로우 레벨로 만든다. 즉, 상기 제 8 엔모스 트랜지스터(N8)를 통해 흐르는 전류가 상기 제 9 엔모스 트랜지스터(N9)를 통해 흐르는 전류보다 많기 때문에 상기 제 3 노드(Node\_C)를 통해 로우 레벨의 상기 다운 신호(OUTb)를 출력한다.
- <52> 이후, 상기 제 1 제어 신호(STB1)가 활성화 된 상태에서 상기 제 2 제어 신호(STB2)가 활성화 되면, 상기 제 2 제어 신호(STB2)에 응답하여 상기 제 4 엔모스 트랜지스터(N4) 및 상기 제 10 엔모스 트랜지스터(N10)가 턴-온(turn-on) 된다.
- <53> 상기 제 1 제어 신호(STB1)가 활성화 되어 있기 때문에 상기 제 1 비교부(111) 및 상기 제 3 비교부(131)도 활성화 상태를 유지한다.
- <54> 상기 업 신호 증폭부(110)에서, 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)의 레벨



차이가 최초로 입력된 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)의 레벨 차이보다 크기 때문에, 상기 제 5 엔모스 트랜지스터(N5)를 통해 흐르는 전류와 상기 제 6 엔모스 트랜지스터(N6)를 통해 흐르는 전류의 차가 상기 제 3 엔모스 트랜지스터(N3)를 통해 흐르는 전류와 상기 제 2 엔모스 트랜지스터(N2)를 통해 흐르는 전류의 차보다 크게 되어 상기 제 1 노드(Node\_A)의 레벨은 더 높아지게 된다.

- <55> 한편, 상기 다운 신호 증폭부(130)에서는 상기 제 12 엔모스 트랜지스터(N12)를 통해 흐르는 전류와 상기 제 11 엔모스 트랜지스터(N11)를 통해 흐르는 전류의 차가 상기 제 8 엔모스 트랜지스터(N8)를 통해 흐르는 전류와 상기 제 9 엔모스 트랜지스터(N9)를 통해 흐르는 전류의 차보다 크게 되어 상기 제 3 노드(Node\_C)의 레벨이 더 낮아지게 된다.
- <56> 즉, 상기 업 신호 증폭부(110)는 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)에 응답하여 상기 업 신호(OUT)를 상기 외부 전압(VDD) 레벨까지 높이는 동작을 반복하고, 상기 다운 신호 증폭부(130)는 피드백 되는 상기 업 신호(OUT) 및 피드백 되는 상기 다운 신호(OUTb)에 응답하여 상기 다운 신호(OUTb)를 상기 접지 전압(VSS) 레벨까지 낮추는 동작을 반복한다.
- <57> 상기 제 1 제어 신호(STB1)가 비활성화 되고 상기 제 2 제어 신호(STB2)가 활성화 된 상태에서 상기 업 신호 증폭부(110) 및 상기 다운 신호 증폭부(130)는 상기 제 1 제어 신호(STB1) 및 상기 제 2 제어 신호(STB2)가 동시에 활성화 된 경우와 같이 동작하게 된다.
- <58> 상기 제어부(150)는 상기 제 1 제어 신호(STB1) 및 상기 제 2 제어 신호(STB2) 중 어느 하나의 신호라도 하이 레벨로 활성화 되면 제 1 반전 수단(IV1), 제 3 반전 수단(IV3)과 상기 낸드 게이트(ND1)를 통해 복수 개의 상기 피모스 트랜지스터(P5 ~ P7)를 턴-오프(turn-off) 시키고, 상기 제 1 제어 신호(STB1) 및 상기 제 2 제어 신호(STB2)가 모두 로우 레벨로 비활성화 되면 상기 제 1 반전 수단(IV1), 상기 제 3 반전 수단(IV3)과 상기 낸드 게이트(ND1)를 통해 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)가 출력되는 노드를 상기 외부 전압(VDD)으로 프리차지 시킨다.
- <59> 도 5는 종래의 반도체 메모리 장치의 증폭 회로와 본 발명에 따른 반도체 메모리 장치의 증폭 회로의 출력을 비교하는 타이밍도이다.
- <60> A 영역은 종래의 반도체 메모리 장치의 증폭 회로의 출력을 나타내는 타이밍도이고, B 영역은 본 발명에 따른 반도체 메모리 장치의 증폭 회로의 출력을 나타내는 타이밍도 이다.
- <61> 도 5에 도시된 바와 같이, 종래에 반도체 메모리 장치의 증폭 회로가 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)를 증폭하여 출력하는 상기 업 신호(OUT2) 및 상기 다운 신호(OUT2b)의 로직 레벨과 본 발명에 따른 반도체 메모리 장치의 증폭 회로가 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)를 증폭하여 출력하는 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)의 로직 레벨이 유사함을 알 수 있다. 즉 본 발명에서는 종래와 같은 증폭 특성을 유지하고 종래보다 회로의 면적을 줄일 수 있다.
- <62> 상기 설명한 바와 같이, 본 발명에 따른 반도체 메모리 장치의 증폭 회로는, 상기 업 데이터 신호(IN) 및 상기 다운 데이터 신호(INb)를 최초로 증폭하여 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)를 출력하고, 피드백(feedback) 되는 상기 업 신호(OUT) 및 피드백(feedback) 되는 상기 다운 신호(OUTb)를 비교하여 상기 업 신호(OUT) 및 상기 다운 신호(OUTb)로 증폭하는 동작을 반복함으로써, 차동 증폭 만으로 종래의 반도체 메모리 장치의 증폭 회로와 같이 동작하도록 하여 종래의 장점은 유지하면서 회로 면적을 줄일 수 있다.
- <63> 이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**발명의 효과**

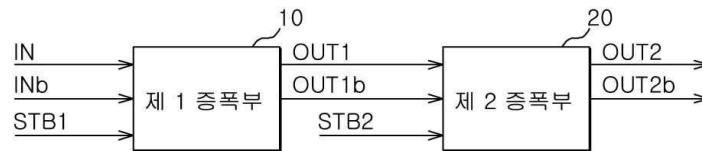
- <64> 본 발명에 따른 반도체 메모리 장치의 증폭 회로는, 증폭 수단으로부터 출력되는 데이터를 다시 피드백 시켜 증폭 시킴으로써 종래의 증폭 장치의 면적을 줄일 수 있는 효과를 수반한다.

**도면의 간단한 설명**

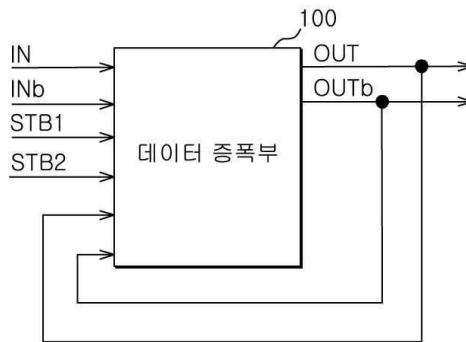
- <1> 도 1은 일반적인 반도체 메모리 장치의 증폭 회로를 나타내는 블록도,
- <2> 도 2는 본 발명에 따른 반도체 메모리 장치의 증폭 회로를 나타내는 블록도,
- <3> 도 3은 도 2에 도시된 데이터 증폭부를 나타내는 상세 블록도,
- <4> 도 4는 도 3에 도시된 데이터 증폭부를 나타내는 회로도,
- <5> 도 5는 종래의 반도체 메모리 장치의 증폭 회로와 본 발명에 따른 반도체 메모리 장치의 증폭 회로의 출력을 비교하는 타이밍도이다.
- <6> <도면의 주요 부분에 대한 부호 설명
- <7> 100 : 데이터 증폭부                      110 : 업 신호 증폭부
- <8> 130 : 다운 신호 증폭부                    150 : 제어부

**도면**

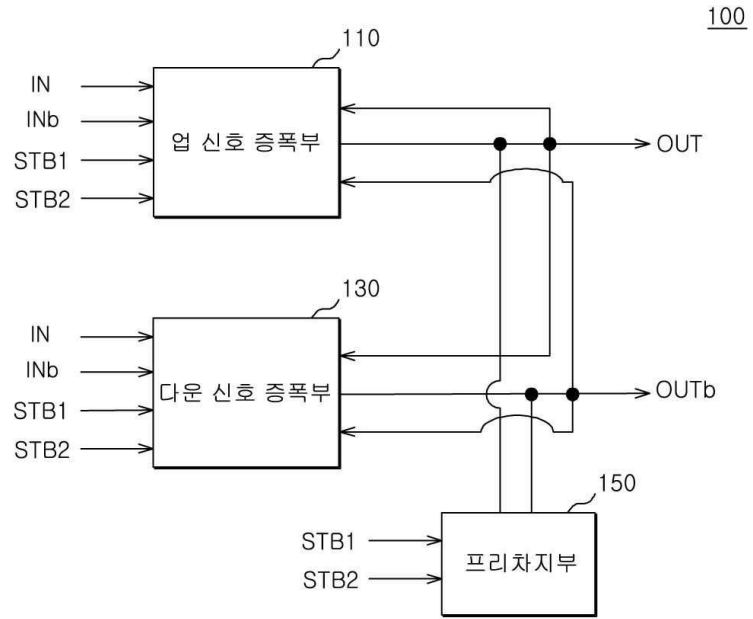
**도면1**



**도면2**

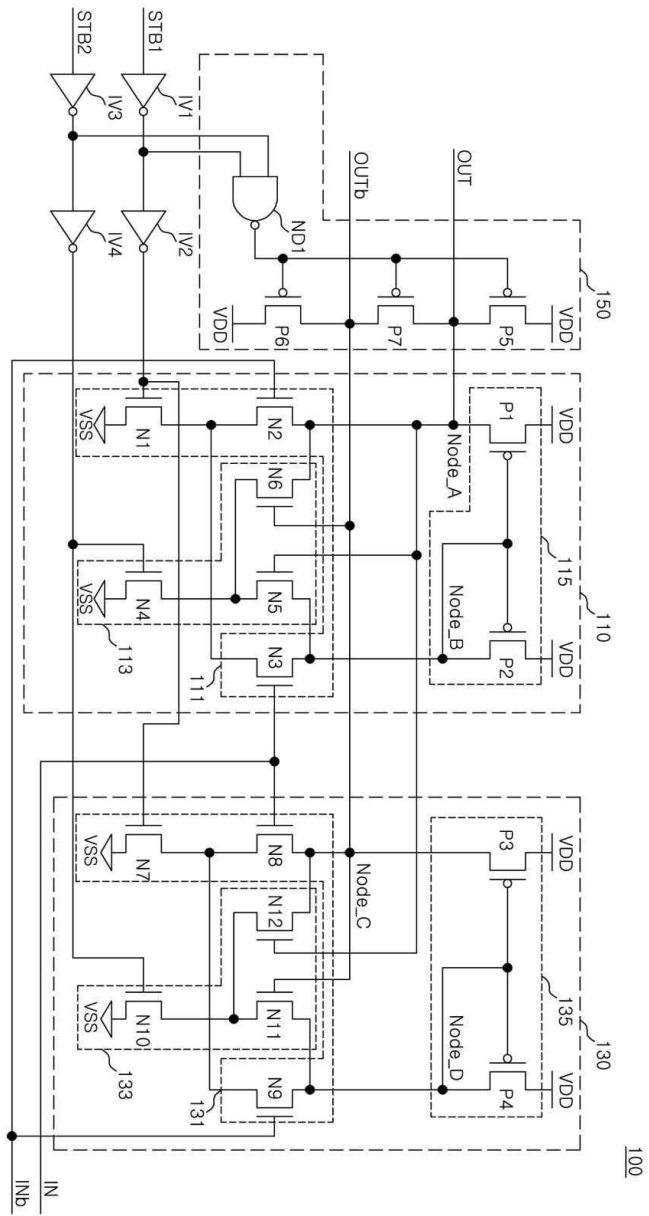


도면3





도면4



도면5

